

스퍼의 크기를 줄이기 위해 VCO 주기마다 전하가 전달되는 구조의 Feedforward 루프필터를 가진 위상고정루프

최혁환*

A Low Spur Phase-Locked Loop with FVCO-sampled Feedforward Loop-Filter

Hyek-hwan Choi*

Department of Electronic Engineering, Pukyong National University, Pusan 608-737, Korea

요 약

이 논문에서는 스퍼의 크기를 줄이기 위해 전압제어발진기(VCO)의 주기마다 전하가 전달되는 새로운 루프필터의 구조를 제안하였다. 일반적인 위상고정루프의 루프필터는 저항과 커패시터를 포함하고 있다. 제안한 루프필터는 커패시터와 스위치만으로도 안정적으로 동작한다. 회로는 1.8V 0.18 μ m CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하였고 회로의 동작을 검증하였다.

ABSTRACT

A low spur phase-locked loop (PLL) with FVCO-sampled feedforward loop-filter has been proposed. Conventional PLL has loop filter made of a resistor and capacitors. The proposed PLL is working stably with the filter consisted of capacitors and a switch. It has been designed with a 1.8V 0.18 μ m CMOS process and proved by simulation with HSPICE.

키워드 : 위상고정루프, Feedforward 루프필터

Key word : Phase-Locked Loop (PLL), Feedforward Loop Filter

접수일자 : 2013. 06. 04 심사완료일자 : 2013. 07. 03 게재확정일자 : 2013. 07. 25

* **Corresponding Author** Hyek-hwan Choi(E-mail:choihh@pknu.ac.kr, Tel:+82-51-629-6220)

Department of Electronic Engineering, Pukyong National University, Pusan 608-737, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.10.2387>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

정보통신 기술이 급속도로 발전함에 따라 최근 개발되고 있는 고속 데이터통신 시스템이나 이동통신 단말기 등을 비롯하여 대부분의 디지털 제품에는 주파수합성기를 필요로 한다. 주파수 합성기란 낮은 위상 잡음을 가지는 원하는 주파수의 신호를 만들어 내는 회로이다. 주파수 합성기에는 수정발진 방식, 믹서 방식, 위상 고정루프 방식 등이 있는데, 위상 고정루프 방식이 가격이 저렴하고 집적화가 쉽기 때문에 일반적으로 사용되고 있다.

위상 고정루프 (PLL)는 일반적으로 위상 주파수검출기(PFD), 전하펌프 (CP), 루프필터 (Loop Filter), 전압 제어발진기 (VCO)와 주파수분주기 (Divider)로 구성되어 있다[1]. 위상 고정루프에서 루프필터는 회로의 대역폭과 위상 고정 시간을 조절할 수 있다. 일반적으로 저항(R)과 커패시터(C)를 사용하여 LF (Loop Filter) 구조를 가지고 있는데, 출력 신호의 잡음을 더 많이 제거하기 위해 2차 루프필터 구조를 사용한다.

스퍼의 크기를 줄이기 위해 다양한 구조의 위상 고정루프가 발표되었다[2-3]. 또한 기존의 2차 RC 루프필터 구조에서 공정 변화에 민감한 저항을 없애고 커패시터로 만들어진 루프 필터를 가진 위상 고정루프가 만들어졌다. PFD에서 나오는 신호를 두 개의 CP와 다양한 스위치 구조를 사용하여 저항없이 커패시터만으로 안정적으로 동작하는 구조도 발표되었다[4-6]. 이 구조들은 두 개의 CP를 사용하고 각각의 커패시터를 동작시키도록 한다. 두 커패시터에 전하가 공급되는 시간을 다르게, 즉 지연시킴으로써 저항과 같은 역할을 하게 하였다[4]. 또 다른 구조들은 두 개의 CP가 하나는 루프필터의 저항과 같이 동작하고 다른 하나는 커패시터로 동작하도록 각각의 경로가 스위치를 통해 합쳐지도록 하여 일반적인 2차 루프필터처럼 안정적으로 동작하도록 하였다[5-6].

저항 없이 커패시터만으로 동작하는 구조는 기존의 2차 루프필터에서 저항의 자리에 스위치를 사용하여 기준주파수 신호가 이를 제어하도록 되어있다. 이로 인해 저항이 하던 역할을 이 스위치가 대체하여 동작하도록 하였다. 그러나 이는 크기가 큰 기준주파수 스퍼를 발생시킨다는 단점이 있다. 논문 [4-6]에 발표된 구조에 비해 간단하게 커패시터와 하나의 스위치만 사용하여

위상 고정루프 칩 크기를 줄일 수 있는 구조도 발표되었다[7]. 논문 [7]에서 제안된 루프 필터의 구조는 간단하여 칩의 크기를 줄일 수 있었지만, 스퍼의 크기를 줄일 수 없었다. 루프 필터 출력 전압이 반주기가 지난 다음 감소되므로, 즉 VCO 위상 변화를 일으키는 루프 필터의 출력 전압이 반주기 동안 유지되어 스퍼의 크기가 커지게 된다.

본 논문에서는 높은 출력주파수를 가진 전압제어발진기(VCO) 출력 신호가 루프필터의 입력 신호로 사용되는 구조를 제안하였다. 제안된 구조는 더 안정적으로 동작하며 기존 주파수 스퍼의 크기를 억제 할 수 있다.

제안한 위상 고정루프는 0.18 μ m CMOS 공정을 사용하여 HSPICE 시뮬레이션을 통해 결과를 검증하였다.

II. 제안된 위상 고정루프 설계

2.1. 루프필터

저항과 커패시터로 구성된 루프 필터의 구조는 그림 1의 (a)와 같다. UP/DN 신호가 발생하면, 두 신호에 따라 전하펌프에서 전류가 루프 필터로 흘러 루프 필터 출력 전압이 (VLF) 그림 1의 (b)와 같이 변한다.

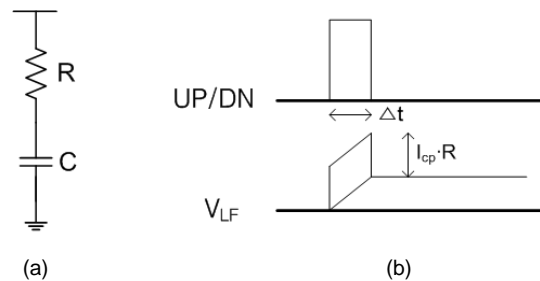


그림 1. (a) RC 루프필터 (b) 출력파형
Fig. 1 (a) RC Loop-Filter (b) Output waveform

이때 UP/DN 신호가 발생하는 시간을 Δt 라고 한다면, Δt 시간동안 발생하는 위상 변화를 아래와 같이 수식으로 나타낼 수 있다.

$$\Delta\Phi = K_{vco} \int_0^{\Delta t} I_{cp} \cdot R dt = K_{vco} I_{cp} R \Delta t \quad (1)$$

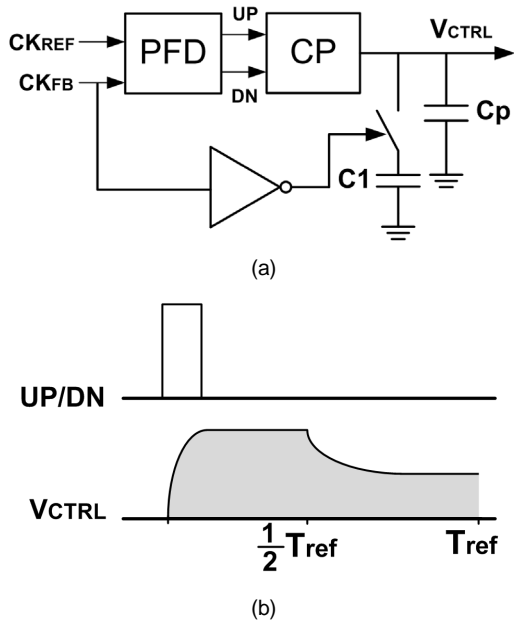


그림 2. Half-duty sampled-feedforward 루프필터
Fig. 2 Half-duty sampled-feedforward Loop Filter

그림 2는 기존에 1차 RC 루프필터에서 저항을 없애고 기준신호를 루프필터의 입력 신호로 사용되는 구조이다[5]. 이 구조는 기존의 1차 RC 루프필터의 저항과 커패시터 대신에 두 개의 커패시터, 하나의 스위치로 구성되어 있다. UP 신호에 의해 Cp 커패시터를 충전시켜 루프 필터 출력 전압이 변하며, 기준신호의 반주기 동안 그 값을 유지한다. 반주기 뒤에 스위치를 “on” 시키면 Cp의 일부 전하가 C1으로 이동하여 그림 2 (b)처럼 출력 전압이 감소한다. 그림 2(b) 출력 전압은 그림 1 (b)와 같은 파형을 가지게 되어 루프 필터에 저항이 존재하는 것처럼 동작한다. 그러나 이 구조의 루프 필터에서는 루프 필터의 출력 전압이 반주기 후에 감소하므로 그림 2 (b)에 나타난 바와 같이 반주기 동안 VCO 출력 신호에 많은 위상 변화가 일으며 스퍼의 크기가 커지게 된다.

그림 3 (a)에 제안된 루프 필터는 그림 2의 루프 필터 스위칭 속도를 VCO 출력을 이용하여 증가시킨 것이다. 제안한 루프필터는 이 구조에서 Vcon의 전압변화를 그림 3 (b)와 같이 UP/DN 신호가 발생한 Δt 시간동안 증가(감소) 했다가 나머지 시간($T_{ref} - \Delta t$) 동안 감소(증가)한다고 가정하면 아래와 같이 수식으로 나타낼 수 있다. 이 구조에서 Vcon 전압변화에 의해 발생하는 최대 크기의 위상 변화를 구하기 위해 그림 2 (b)의 음영으로 표시된 부분을 그림 3 (b)에 나타난 바와 같이 삼각형으로 추정하였다.

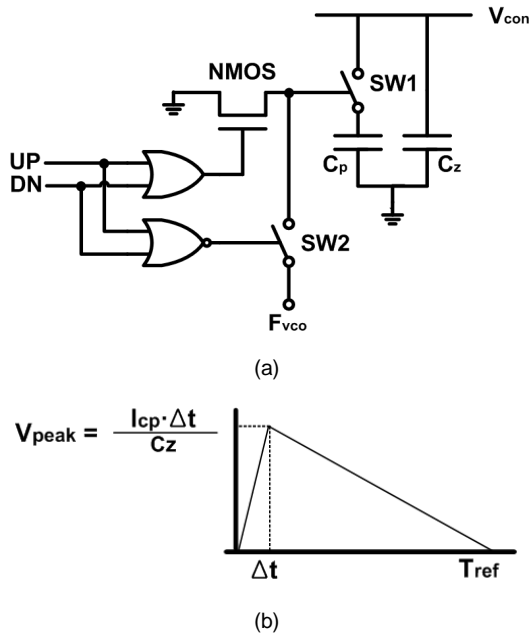


그림 3. (a) 제안된 루프필터의 구조 (b) 출력파형
Fig. 3 (a) Proposed loop filter (b) Output waveform

$$\Delta \Phi = K_{vco} \int_0^{T_{ref}} \frac{I_{cp} \Delta t}{C_p} dt = K_{vco} \frac{I_{cp} \Delta t}{C_p} \frac{T_{ref}}{2} \quad (2)$$

수식 (1)과 (2)를 같다고 본다면, 제안된 루프필터의 실효 저항 값을 다음과 같이 구할 수 있다.

$$R_{eff,max} = \frac{1}{C_p} \frac{T_{ref}}{2} \quad (3)$$

따라서 제안된 루프 필터 구조에서는 Fvco의 주기와 커패시터의 크기에 저항 값이 결정된다고 볼 수 있다. Cp가 작아지면 실효 저항 값이 증가하여 안정도는 증가하나 Vpeak가 증가하여 기준 주파수 스퍼가 증가하므로 설계할 때 세심한 고려가 필요하다.

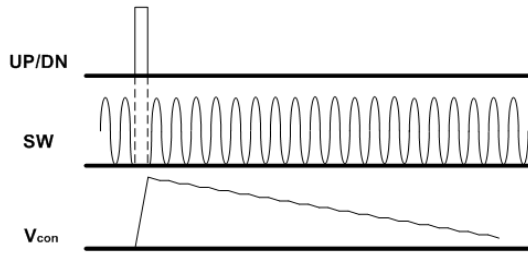


그림 4. SW1 동작과 Vcon 전압변화
Fig. 4 Waveform of SW1 and Vcon

그림 4는 회로에서 스위치들의 동작과 Vcon 전압변화를 보여준다. SW1, SW2는 UP/DN 신호가 발생하는 순간 외의 시간 동안은 항상 “on” 되어 있다. VCO의 높은 출력 주파수로 인해 SW1, SW2가 “on” 되어 있는 동안에는 스위치가 “on” “off”를 반복하게 되어 그림 4와 같은 모양을 나타낸다. UP/DN 신호가 발생하는 순간에는 SW는 “off”되고 Cz에만 전하가 충전되었다가, UP/DN 신호가 꺼지고 SW1이 “on” 되면서 Cz에 충전되어 있는 전하를 Cp와 공유하게 된다. 이때 Fvco의 비교적 높은 주파수로 인해 “on” “off”가 반복되어 Vcon은 그림 4와 같은 모양을 나타낸다.

2.2. 전체구조

본 논문에서 제안한 PLL 회로는 그림 5에서 나타난 바와 같이 루프필터의 저항을 없애고 VCO의 출력 신호에 의해 스위치(SW1)가 on/off 되는 구조이다. 기준 주파수(Fref)와 분주기의 출력 신호(Fdiv)의 위상 차이에 의해 발생된 UP/DN 신호를 OR, NOR 게이트를 사용하여 스위치(SW2)를 제어한다.

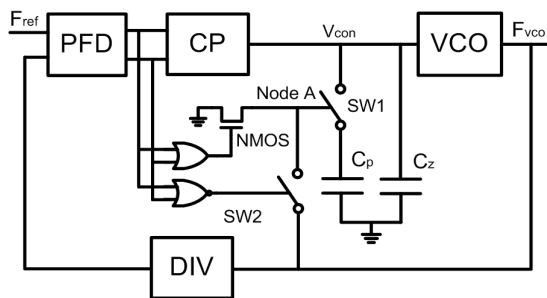


그림 5. 제안된 위상고정루프 회로
Fig. 5 Proposed PLL Circuit

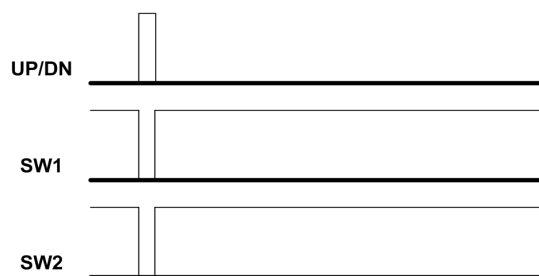


그림 6. UP/DN 신호에 의한 스위치 동작
Fig. 6 Operation of SW

VCO의 출력주파수(Fvco)는 OR와 NOR 게이트 출력 신호에 따라 루프필터로 입력된다. SW1은 OR 게이트에 의해 제어되는데, UP/DN 신호가 발생하면 OR 게이트의 출력이 “high”가 되어 NMOS를 “on” 시키고 노드 A를 접지시켜 SW1을 “off” 시킨다. SW2는 NOR 게이트에 의해 제어되는데, UP/DN 신호가 발생하면 NOR 게이트의 출력이 “off” 되어 SW2를 “off” 시킨다. 그림 6와 같이 스위치는 UP/DN 신호가 발생하는 순간에만 “off” 되고 나머지 시간에는 “on” 되어 VCO 출력이 UP/DN 신호가 발생할 때에는 루프필터로 인가되지 못하게 한다.

2.3. 제안된 구조의 장점

본 논문에서 제안하는 루프 필터는 VCO 출력 신호를 루프 필터의 입력 신호로 사용하여 논문 [2], [5]에서 발생하는 기준 신호 스퍼 보다 작은 크기의 스퍼를 만들 수 있는 구조이다. 그림 7은 논문 [2], [5]와 제안한 구조의 루프필터 출력 전압변화를 비교한 그림이다. 논문 [2]에서는 그림 7 (a)에 나타난 바와 같이 주 커패시터에 전하가 공급되고, 한 주기가 지난 뒤 스위치와 보조 커패시터를 통해 전하를 또 다른 주 커패시터로 전하를 전달하는 구조이다. 이 구조는 두 개의 CP, 두 개의 주 커패시터와 두 개의 보조 커패시터, 4개의 스위치를 사용하기 때문에 회로가 복잡하다. 논문 [5]에서는 그림 7 (b)에 나타난 바와 같이 UP/DN 신호에 의해 주 커패시터로 전하가 공급되고 반 주기가 지난 뒤 스위치를 통해 다른 커패시터로 전하를 전달하는 구조이다. 제안한 루프필터의 구조는 VCO 출력 신호 Fvco가 스위치를 통해 루프필터로 인가되는 구조이다. 루프필터의 출력전압은 UP/DN 신호가 종료 되자마자 감소하기

시작하므로 그림 7 (c)과 같이 동작한다. 이러한 동작은 그림 7 (a) 및 (b)와 비교해 음영으로 표시된 부분의 면적이 작아져서 VCO의 위상변화를 줄이기 때문에 스퍼의 크기를 줄일 수 있다. 제안한 구조는 [2]보다 간단하고 [5]보다는 복잡하다.

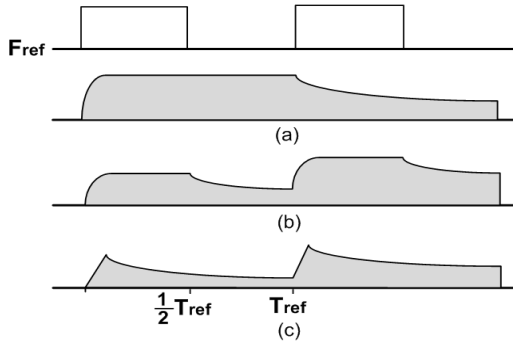


그림 7. 루프필터 출력 전압변화 (a) Lee and Razavi [2] (b) Jaeha Kim 외 5명 [5] (c) 제안한 구조
Fig. 7 LF output waveform (a) Lee and Razavi (b) Jaeha Kim et al. [5] (c) Proposed LF

III. 회로 설계

3.1. 스위치

본 논문에서 전하 공유와 클럭 신호에 발생하는 잡음을 억제하기 사용한 스위치를 그림 8에 나타내었다. 각 트랜지스터의 크기는 가운데 두개의 트랜지스터는 $W=2\mu\text{m}$ 이고, 양쪽의 네개의 트랜지스터는 $W=1\mu\text{m}$ 이다. 모든 트랜지스터의 L 은 $0.18\mu\text{m}$ 로 하여 기생 커패시턴스가 최소화 되도록 설계하였다.

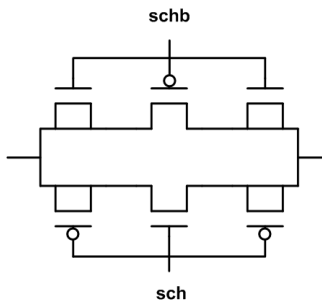


그림 8. 스위치 회로
Fig. 8 Switch circuit

3.2. 전압제어발진기(VCO)

전압제어발진기(VCO)는 그림9와 같이 전압제어저항 (VCR)과 3단 링 구조로 이루어져 있다. 전압제어저항은 간단한 구조로 되어있고 입력전압에 비례하는 출력 전류를 발생시켜 각각의 지연단을 제어한다. 루프 필터의 전압은 전압제어저항을 통해 입력전압의 변화를 큰 전류의 변화로 변환시켜줌으로써 VCO가 넓은 출력주파수 범위를 가지도록 해준다.

VCO는 최대출력 전압진동폭과 낮은 위상 잡음의 출력을 갖는 차동구조 지연단 세 개를 이용해 구성하였다. PMOS와 NMOS 한 쌍의 트랜지스터가 CMOS 래치구조로 구성되어 지연단을 구성하고 있다. 이 래치 구조는 VCO가 낮은 출력위상잡음을 가지도록 하기 위해 지연단이 빠르게 켜지는 시간(on-time)을 갖도록 해준다[8].

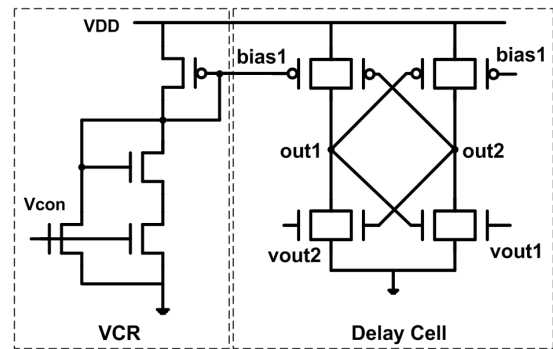


그림 9. 전압제어발진기
Fig. 9 Voltage Controlled Oscillator

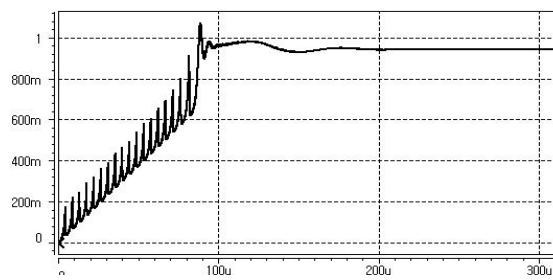
IV. 시뮬레이션 결과

제안한 위상고정루프는 15.625MHz 의 입력주파수를 가지고 출력 주파수는 1GHz 이며, 분주비는 64이다. 이 회로의 변수 값은 $I_{cp}=10\mu\text{A}$, $C_z=40\text{pF}$, $C_p=640\text{pF}$ 로 하였고, $0.18\mu\text{m}$ CMOS 공정으로 HSPICE로 post-시뮬레이션하여 결과를 확인 할 수 있다.

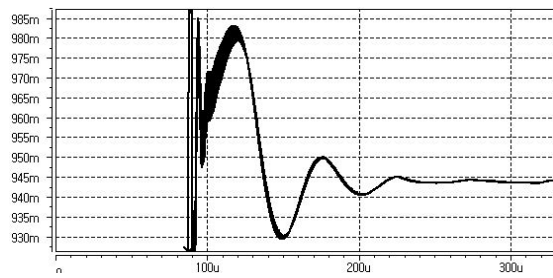
그림 10의 post-시뮬레이션 결과 전압제어발진기(VCO)의 입력단 V_{con} 이 $210\mu\text{s}$ 에서 위상 고정되는 것을 확인하였다. 위상이 고정된 후 루프필터 전압변화를 확인하기 위해 확대한 것을 그림 11에 나타내었다.

루프필터에 사용한 스위치는 전압제어발진기 출력 신호에 의해 동작 하는 것을 확인할 수 있고, 스위치의 크기를 작게 하여 기생 커패시턴스를 최소화했기 때문에 루프 필터 출력 전압에 영향을 거의 영향을 미치지 않는 것을 그림 11 (b)가 보여주고 있다.

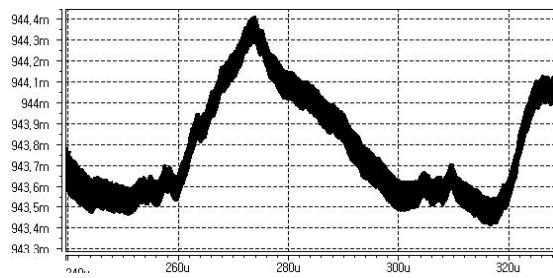
기존의 2차 RC 루프필터에서 공정변화에 민감한 저항을 없애고 스위치로 대신한 구조를 제안하였다. 제안된 구조의 루프 필터의 실효 저항은 수식 3에 나타난 C_p , T_{ref} 로 표현할 수 있다.



(a)



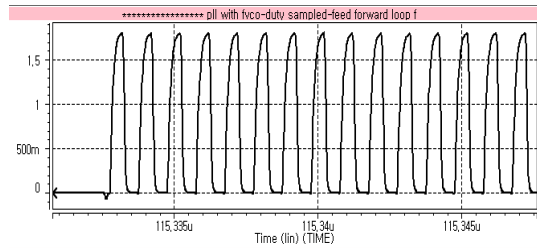
(b)



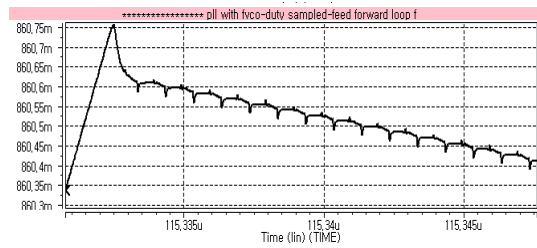
(c)

그림 10. Post-시뮬레이션 결과 (a) 루프필터 전압변화 (b) 위상고정과정 (c) 위상고정된 후 전압변화

Fig. 10 Post-simulated waveform of (a) LF voltage (b) during phase locked (c) after phase locked



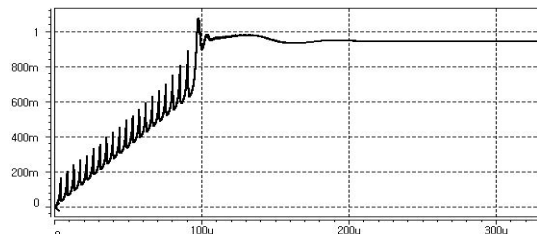
(a)



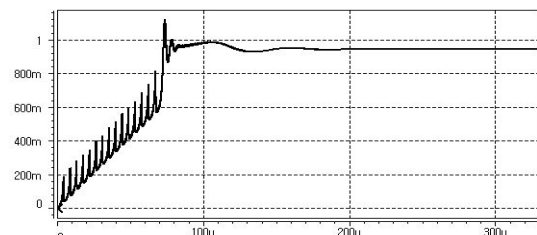
(b)

그림 11. Post-시뮬레이션 결과 (a) 스위치 제어 신호 (b) 루프필터 전압변화

Fig. 11 Post-simulated waveform of (a) Control of SW (b) LF voltage



(a)



(b)

그림 12. 커패시터 공정변화에 따른 post-시뮬레이션 결과 (a) + 10% (b) - 10%

Fig. 12 Post-simulated waveform by capacitor process variation (a) + 10% (b) - 10%

Tref는 공정변화에도 동일하기 때문에 Cp의 변화에 따른 시뮬레이션 결과를 비교하기 위해 그림 12에 나타내었다. 커패시터는 저항과 달리 공정 변화에 민감하지 않으나, ±10% 변화가 있음에도 제안한 구조의 위상고정루프가 정상적으로 동작함을 시뮬레이션으로 확인하였다. Cp의 변화에도 위상고정에 끼치는 영향은 거의 없음을 확인할 수 있다.

표 1은 전하펌프 전류와 두 개의 루프 필터 커패시터 크기를 변화 하여 post-시뮬레이션 결과이다. 위상고정 시간과 루프 필터 출력 전압 변동 폭이 전하펌프 전류와 두 개의 루프 필터 커패시터 크기에 따라 변화하는 것을 보여 주고 있다. 표 1이 보여주듯이 Cz가 Cp에 비해 커질수록 루프 필터 출력 전압의 흔들림도 (한주기 동안 변화량 = ΔVcon) 작아지고 위상고정 시간도 줄어지는 것을 알 수 있다.

그림 13은 0.18μm CMOS 공정을 이용한 두 개의 커패시터를 제외한 칩 레이아웃을 나타내며, 전체 크기는 300μm*135μm이다.

표 1. Post-시뮬레이션 결과
Table. 1 Post-simulation results

I _{cp} (μA)	C _z (pF)	C _p (pF)	t _{lock} (μs)	ΔV _{con} (mV)
50	50	200	50	3.2
		400	40	1.9
	100	400	60	2.4
		800	40	1.4
10	10	40	180	5.8
		80	140	5.3
	40	160	200	2.2
		640	160	0.75

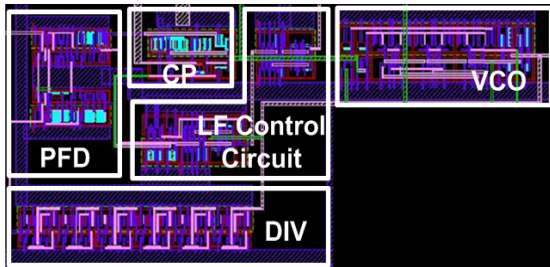


그림 13. 레이아웃
Fig. 13 Layout

V. 결론

본 논문에서는 기존의 2차 RC 루프필터 구조에서 저항을 없애고 전압제어발진기(VCO)의 높은 출력주파수가 입력 신호로 사용되는 구조를 제안하였으며, post-시뮬레이션을 통하여 동작을 확인하였다. 기존의 루프필터에서 저항을 없애고 두 개의 커패시터와 하나의 스위치를 루프필터를 구현 하였다. VCO의 출력주파수가 루프필터의 스위치를 제어하여 두 개의 커패시터가 충방전을 하게 하여 저항 역할을 하도록 하였다. 루프 필터 동작 신호를 기존 구조와 달리 기준주파수를 사용하지 않고 VCO 출력 신호를 사용하여 기존 신호 스퍼의 크기를 감소시킬 수 있는 구조를 제시하였다.

감사의 글

이 논문은 부경대학교 자율창의학술연구비 (2013)에 의하여 연구되었음.

REFERENCES

- [1] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop", *IEEE J. Tran, on Communications*, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.
- [2] S. J. Yun, H. D. Lee, K. D. Kim and J. K. Kwoni, "Differentially-tuned low-spur PLL using 65nm CMOS process," *Electronics Letters*, vol. 47, no. 6, pp. 369-371, Mar. 2011.
- [3] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinencio "A spur-frequency-boosting PLL with a 074dBc reference-spur suppression in 90nm digital CMOS" *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2104-2117, Sept. 2013.
- [4] T. C. Lee and B. Razavi, "A stabilization technique for phase-locked frequency synthesizers," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 888-894, Jun. 2003.
- [5] A Maxim et al., "A low-jitter 125-1250-MHz process-independent and ripple-poleless 0.18-um CMOS PLL based on a sample-reset loop filter," *IEEE J. Solid-State Circuit*,

- vol. 36, no. 11, pp. 1673-1683, Nov. 2001.
- [6] J. G. Maneatis et al., "Self-biased, High-bandwidth, low-jitter 1-to-4096 multiplier clock-generator PLL," *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1795-1803, Nov. 2003.
- [7] Jaeha Kim, Jeong-Kyoum Kim, Bong-Joon Lee, Namhoon Kim, Deog-Kyoon Jeong and Wonchan Kim, "A20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13-um CMOS", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 4, April 2006.
- [8] Youn-Gui Song, Young-Shig Choi, "A Fast Locking Phase Locked Loop with Multiple Charge Pumps", *IEEK Journal of Electronics Engineers of Korea-SD*, vol. 46, no. 2 pp. 71-77, February 2009.



최혁환 (Hyek-Hwan Choi)

1979년 : 경북대학교 전자공학과 공학사
1990년 : 아리조나 주립대 전기공학과 공학석사
1993년 : 아리조나 주립대 전기공학과 공학박사
1994년 ~ 현재 : 부경대학교 전자컴퓨터정보통신공학부 교수
※ 관심분야 : RF 집적회로 설계, 아날로그 IC 설계