

2차-RC 필터와 Sample-Hold 커패시터로 구성된 루프 필터와 단방향 전하펌프를 가진 PLL

백승하¹ · 최영식^{2*}

A PLL with an unipolar charge pump and a loop filter consisting of sample-hold capacitor and 2nd-order RC filter

Seung-ha Baek¹ · Young-Shig Choi^{2*}

¹ Electronic Engineering, Pukyong National University, Pusan 608-737, Korea

² Electronic Engineering, Pukyong National University, Pusan 608-737, Korea

요 약

이 논문에서는 2차-RC 필터와 sample-hold 커패시터로 구성된 루프 필터와 단방향 전하펌프를 가진 위상고정루프를 제안하였다. 제안된 위상고정루프의 목적은 전하펌프의 전류 불일치에 의한 기준 신호 의사 잡음을 개선 한다는 것이다. 또한 이를 통하여 위상 잡음 특성도 개선하였다. 회로는 1.8V 0.18 μ m CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하였고 회로의 동작을 검증하였다.

ABSTRACT

A PLL with an unipolar charge pump and a loop filter consisting of sample-hold capacitor and 2nd-order RC filter has been proposed. The goal of the proposed PLL is the suppression of reference spur which is caused by charge pump mismatch. It also improves phase noise characteristic. It has been designed with a 1.8V 0.18 μ m CMOS process and proved by HSPICE simulation.

키워드 : 중위상 고정루프, Sample-Hold 커패시터, 단방향 전하펌프

Key word : Phase-Locked Loop (PLL), Sample-Hold Capacitor, Unipolar Charge Pump

접수일자 : 2013. 06. 10 심사완료일자 : 2013. 07. 18 게재확정일자 : 2013. 08. 02

* **Corresponding Author** Young-Shig Choi (E-mail:choiys@pknu.ac.kr, Tel:051-629-6222)

Electronic Engineering, Pukyong National University, Pusan 608-737, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.10.2380>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

이 정보통신 기술이 급속도로 발전함에 따라 최근 개발되고 있는 고속 데이터통신 시스템이나 이동통신 단말기 등을 비롯하여 대부분의 디지털 제품에는 좋은 잡음 특성을 가진 주파수합성기를 필요로 한다. 시스템이 고속화되고 저 전력화 되면서 잡음의 영향이 점점 커지고 있으며 통신에 응용되는 위상고정루프의 경우 잡음 특성이 회로의 성능에 직접적인 영향을 미치므로 좋은 잡음 특성을 갖는 회로를 설계하는 것이 매우 중요하다[1].

일반적으로 위상고정루프는 낮은 위상 잡음 특성과 낮은 기준 주파수 의사 잡음을 위해 좁은 루프대역폭을 가지면서 위상고정 시간을 줄이기 위해 적응성 구조를 사용하고 있다[2-3]. 낮은 이득을 가지는 전압제어발진기도 위상잡음 향상을 위해 널리 사용되고 있는 방법이다[4-5]. [4-5]는 낮은 이득을 가지는 전압제어발진기로 넓은 주파수 영역에서 동작하기 위해 두 개의 루프와 스위치-커패시터 회로를 사용하였으나 회로가 복잡하고 위상고정 속도가 늦어지는 문제점을 가지고 있다. 논문 [6]에서는 위상 주파수 검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상잡음을 줄일 수 선형화 기법을 제안하였다. 하지만 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작시간에 의해 잡음이 증가하는 문제점이 있다. 주파수 위상 검출기에서 발생하는 신호가 전하 펌프에 임의로 전달하게 하여 기준 신호 의사 잡음 크기를 줄였으나 회로가 복잡해진다[7].

본 논문에서는 단방향 전하펌프와 sampling 커패시터를 사용하여 루프 필터 출력 신호의 변화의 크기를 크게 줄여 위상잡음 특성과 기준신호 의사잡음 특성을 개선하였다.

II. 제안한 고정루프 설계

2.1. 루프필터

위상고정루프에서 루프필터는 현재의 위상/주파수 오차에 따라 전압제어발진기의 출력 주파수를 제어하는 역할을 한다. 위상고정루프의 특성을 보여주는 루프 필터 전압의 형태는 ΔV_{LPF} , $\Delta\Delta V_{LPF}$, $\Delta\Delta\Delta V_{LPF}$

로 세 가지가 있다. ΔV_{LPF} 는 위상고정 이후에 발생하는 루프필터 전압의 크기 변화량이며 ΔV_{LPF} 의 크기는 위상고정루프의 안정성과 위상 잡음의 특성과 직접적인 관련이 있다. $\Delta\Delta V_{LPF}$ 는 기준신호와 전압제어 발진기 출력의 위상차에 해당하는 UP 또는 DN 신호에 의한 기준 신호 한주기 동안 발생하는 루프필터 전압의 변화량이다. $\Delta\Delta V_{LPF}$ 는 기준신호 주기마다 발생하며 결과적으로 기준 신호 의사 잡음의 크기를 결정한다. $\Delta\Delta\Delta$ 루프필터 커패시터의 최종 전압을 의미한다.

위상고정루프가 안전하게 동작하도록 영점을 포함한 기본적인 1차 RC 루프필터가 그림 1 (a)에 나타나 있다. 1차 RC 루프필터의 루프필터전압(V_{LPF})은 전류가 공급됨과 동시에 저항에 의해 급격히 상승하여 기준신호 의사 잡음의 크기를 크게 한다. 이를 보완하기 위해 C_p 를 추가한 2차 루프필터를 사용해서 전압변화를 줄인 구조가 그림 1 (b)에 나타나 있다.

일반적으로 위상고정루프에서 사용하는 2차 루프필터는 위상주파수검출기(PFD)에서 UP/DN 신호가 발생하면 전하펌프(CP)에서 전류가 루프 필터로 흘러간다. 이 전류가 C_p 를 먼저 충전 시켜 V_{LPF} 를 상승(하강)시킨다. UP/DN 신호가 종료되면 C_p 에 충전되어 있던 전하가 R_z , C_z 쪽으로 흘러가면서 다시 V_{LPF} 가 하강(상승)하는 동작을 하게 된다. 이 2차 RC 루프필터의 동작은 위상고정루프 기준 신호 주기에 따라 동작을 반복하게 되어 기준신호 의사 잡음이 발생하게 된다.

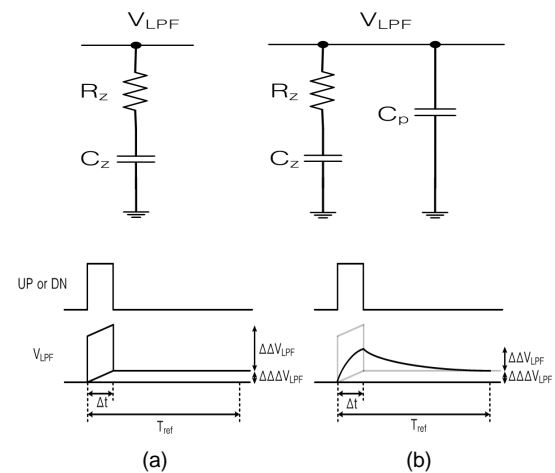


그림 1. (a) 1차-RC 루프필터 (b) 2차-RC 루프필터
Fig. 1 (a) 1st-RC Loop Filter (b) 2nd-RC Loop Filter

2.2. 표 기준 위상검출기-전하펌프의 비선형성

기존 PFD와 2차 RC 루프를 이용한 위상고정루프는 위상고정이 이후 정상상태일 때 PFD-CP의 비이상적인 특성(데드존, 기울기 불일치)로 인하여 비선형 영점 교차 영역에서 동작한다. 게다가 데드존을 해결한 PFD와 개선된 분주기를 사용할 지라도 증폭 값 불일치 문제는 다양한 보정 기술을 필요로 한다[8-9]. 또한 전하펌프 전류 소스의 한정되고 불균일한 출력 임피던스와 2차 위상고정루프를 기반으로 하는 PFD-CP가 가지는 전하 전송 대비 위상 오류 특성의 고유 비대칭성이 비선형성을 만들어낸다[10]. 비선형성은 대역 내 잡음의 크기가 증가한 고주파 잡음의 상호변조 및 에일리어싱을 야기한다. 전하펌프의 UP(DN) 경로만을 단독으로 동작하게 하고, 비선형 영역에서 떨어져있는 수정된 위상 오프셋에서 루프를 고정함으로써 기존 PFD-CP의 비선형성을 개선하였다[10].

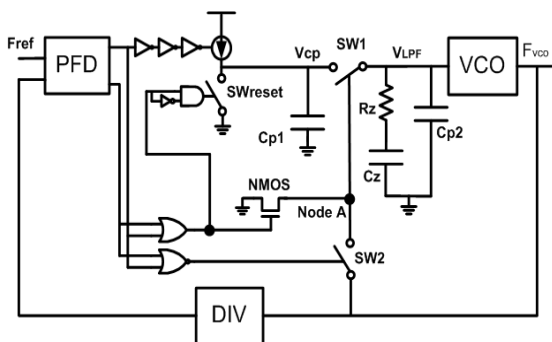


그림 2. 제안한 PLL 구조
Fig. 2 Proposed PLL architecture

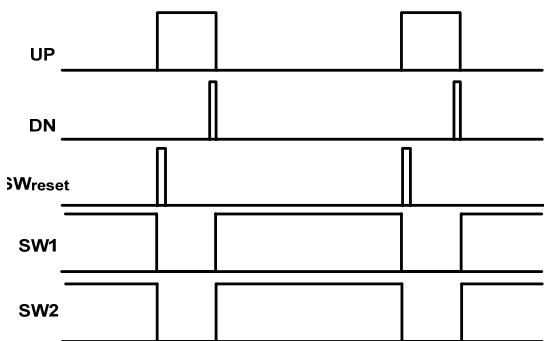


그림 3. 위상고정 후 스위치 동작 타이밍
Fig. 3 Timing of switches after locking

2.3. 제안한 PLL의 전체구조

그림2의 새로운 구조의 위상고정루프 회로에는 기존 2차 RC 필터에 샘플-커패시터가 추가하였으며 전하펌프는 단방향으로 전류가 흐르도록 설계가 되어 있다. 전하펌프의 하단을 스위치로 사용한 구조이다. RC 필터와 샘플-커패시터 사이에 스위치 (SW1)를 두어 전압제어발전기의 출력 신호에 의해 전하가 샘플-커패시터에서 기존의 2차-RC 필터로 전달하도록 하였다. UP 신호 발생 구간동안은 전하는 전하펌프에서 샘플 커패시터로 이동하며 UP 신호가 끝나면 전압제어발전기(VCO)의 신호에 따라 전하가 기존의 2차-RC 필터로 전달된다.

그림3은 스위치들을 제어하는 신호의 타이밍을 보여주고 있다. UP/DN 신호가 발생하게 되면 OR 게이트의 출력이 “High” NMOS가 “On” 이 되므로 노드 “A” 가 접지되면서 스위치 (SW1)가 “Off” 되며, NOR 게이트는 “Low”되므로 스위치(SW2)가 “Off” 된다. 즉 UP/DN 신호의 발생 순간 스위치(SW1), 스위치(SW2)가 “Off” 되어 전하펌프에서 나오는 전류는 Cp1을 충전 시키게 되고 UP/DN 신호가 꺼진 후 스위치(SW1)가 “On” 과 “Off” 를 반복하면서 그림4와 같은 모습을 보이며, 2차-RC 필터에 전하를 공급하게 된다. SWreset은 UP 신호발생 후 짧은 시간동안 “On” 된다. 이 구간 동안 방전되는 총 전하량은 UP 신호에 의해 샘플 커패시터로 공급되는 총 전하량과 같다. 즉 위상 고정이 되면 전하펌프의 UP 신호에 의해 흐르는 전류와 SWreset 신호에 의해 흐르는 전류 크기의 비에 따라 UP 신호의 구간이 결정된다. 또한 그림 5와 같이 전하펌프에 공급되는 전류와 SWreset 신호에 의해 움직이는 스위치를 통해 흐르는 전류비에 의해 결정되는 UP신호의 구간에 따른 VCP, VLPF전압의 파형을 보여주고 있다.

SW1/2스위치가 “Off” 되는 것은 UP 신호 발생하는 순간이며 나머지 시간에는 “On” 되어 전압제어발전기 출력 신호가 UP 신호가 발생하는 구간 동안은 SW2가 “Off”되어 SW1 스위치로 인가되지 못하게 한다. 전하펌프와 샘플-커패시터로부터 2차-RC 필터에 전하가 공급되지 않으므로 RC 필터에서는 Cp2에서 Cz로 전류가 충전 또는 방전되어 VLPF 전압 값이 변하게 된다. SW2가 “On” 되고 전압제어발전기의 출력 신호가 SW1을 “On/Off” 시키면 샘플 커패시터에서 2차-RC 필터로 전하가 충전 또는 방전하게 된다.

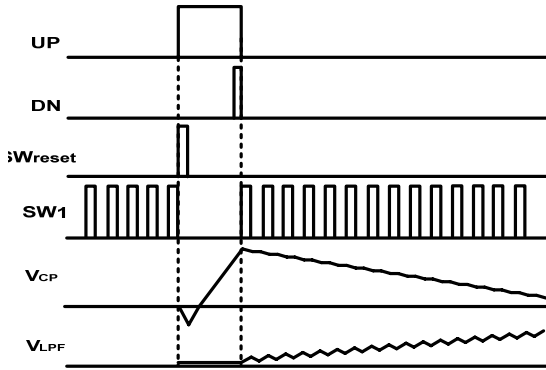


그림 4. 스위치 동작과 전압변화
Fig. 4 Waveform of SW and V_{CP} , V_{LPF}

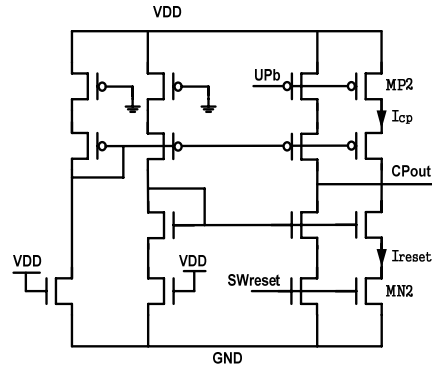


그림 6. 전하펌프(CP) 구조
Fig. 6 Proposed Charge Pump

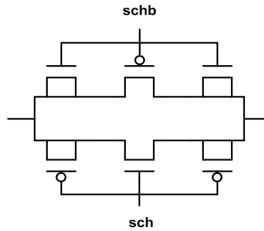


그림 5. 스위치 회로
Fig. 5 Switch circuit

III. 회로 설계

본 논문에서 전하 공유와 클럭 신호에 발생하는 잡음을 억제하기 사용한 스위치를 그림 5에 나타내었다. 기생 커패시턴스가 최소화 되도록 설계하였다.

그림 6의 단방향 전하펌프는 주파수검출기에서 나온 UP/DN 신호에 따라 전류의 흐름을 제어하는 역할을 한다. 본 논문에서 사용된 전하펌프는 그림6에 나타난 바와 같이, 캐스코드구조를 사용하였다. 전하펌프의 MN2 트랜지스터를 SWreset 신호로 제어하며 동작하도록 하여, MP2와 MN2의 크기에 따라 단방향 전하펌프의 총·방전 전류비를 제어한다. 이러한 구조는 UP 신호의 발생 시간을 조절하게 된다.

전압제어발진기는 전압제어저항 (VCR)과 3단 링 구조로 이루어져 있다[11]. 루프필터의 전압은 전압제어 저항을 통해 입력전압의 변화를 큰 전류의 변화로 변화시켜줌으로써 VCO가 넓은 출력주파수 범위를 가지도록 해준다.

IV. 시뮬레이션 결과와 기존구조와 비교

제안한 구조와의 비교를 위해 양방향 전하펌프와 2차 루프 필터를 가진 기존 구조의 위상고정루프를 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 64이다. 이 회로의 변수 값은 $I_{cp}=200\mu A$, $C_p=100pF$, $R_z=1.5K\Omega$, $C_z=1nF$, $KVCO=330MHz/V$ 이며, 0.18 μm CMOS 공정으로 시뮬레이션 하였다.

그림 7 (a)는 18 μs 에서 위상이 고정되는 것을 보여주고 있다. 그림 7 (b)는 위상고정 이후 발생하는 루프 필터 전압 크기 변화량, ΔV_{LPF} 는 1.2mV의 값을 가지며, 그림 7 (c)는 기준신호 주기마다 발생하는 ΔV_{LPF} 의 크기가 190 μV 인 것을 보여주고 있다.

제안한 위상고정루프도 기존 구조와 같은 15.625 MHz의 입력주파수, 1GHz의 출력 주파수, 330MHz/V의 KVCO, 64의 분주비 값을 가지고 있다. 제안한 구조는 전하 펌프와 루프 필터 구조가 달라 $I_{cp}=200\mu A$, $I_{reset}=1mA$ 또는 의 전하펌프 전류 값을 가지면 루프필터는 $C_p1=50pF$, $R_z=1k$, $C_z=800pF$, $C_p2=50pF$ 의 값을 가지고 있다. 거의 유사한 값을 가지는 제안된 구조를 앞의 경우와 같이 0.18 μm CMOS 공정으로 시뮬레이션 하였다.

그림 8과 9는 제안한 위상고정루프를 I_{cp}/I_{reset} 의 값이 10과 50일 때의 시뮬레이션 결과이다. 그림 8 (c)와 그림 9 (c)에서 UP 신호가 발생하는 구간 동안은 전하펌프에서 2차-RC필터로 전하가 공급되지 않고, C_p2

에서 저항 R_z 를 통하여 C_z 로 전류가 흘러 루프 출력 전압은 감소한다. 루프필터에 사용한 스위치는 전압제어발진기 출력 신호에 의해 동작하는 것을 확인할 수 있다.

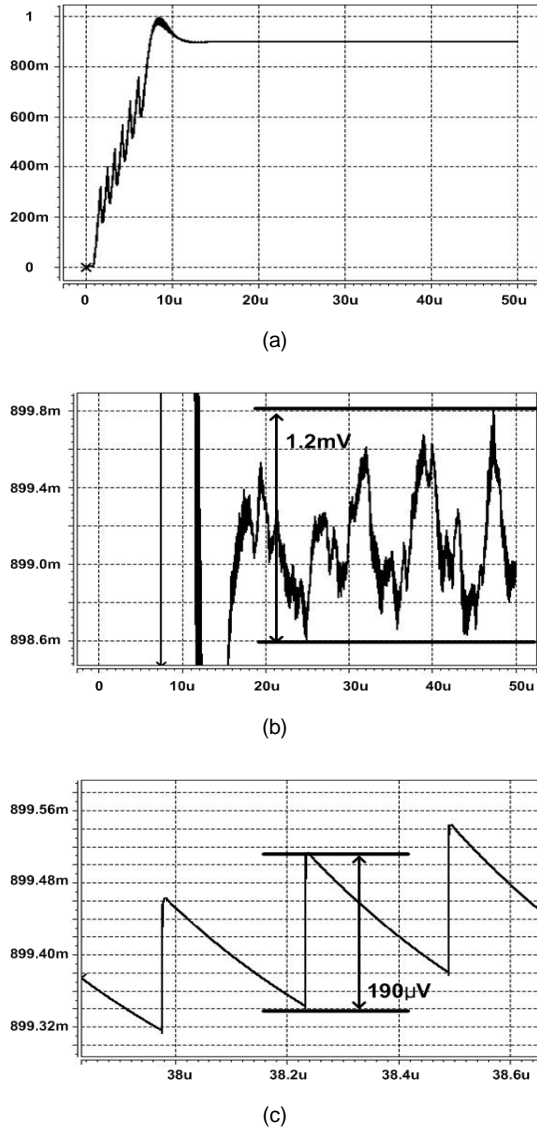


그림 7. 기존 2차-RC 루프필터 PLL (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 루프필터 전압변화 (c) 위상고정 후 확대된 루프필터 전압변화
Fig. 7 Conventional PLL with 2nd-RC LF Filter (a) V_{LPF} (b) Enlarged V_{LPF} after locking (c) Enlarged V_{LPF} after locking

그림 8은 I_{CP}/I_{reset} 의 값이 10일 때의 시뮬레이션 결과이다. 그림 8 (a)가 보여주듯이 기존 위상고정루프와 비슷한 21 μ s에서 위상이 고정된다. 그림 8 (b)와 (c)는 ΔV_{LPF} 와 $\Delta\Delta V_{LPF}$ 는 각각 770 μ V, 100 μ V로 기존 구조보다 크기가 35%와 48% 감소하였다.

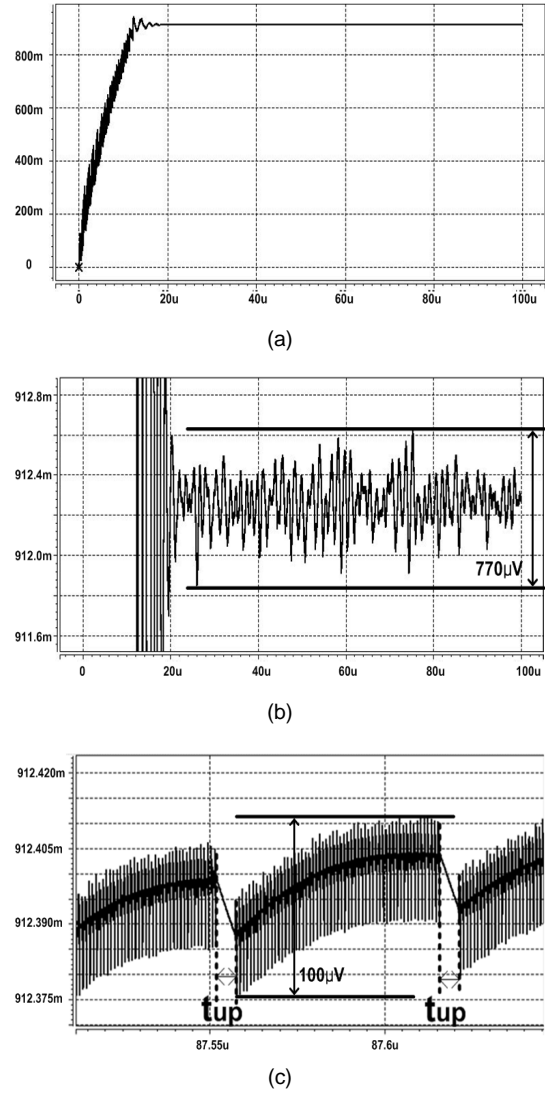
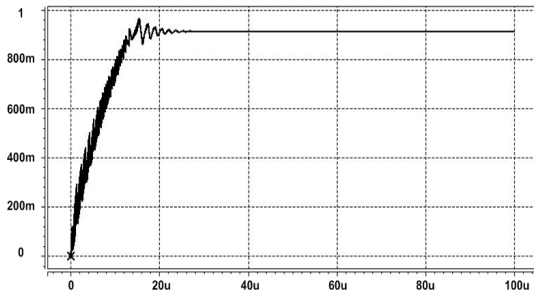
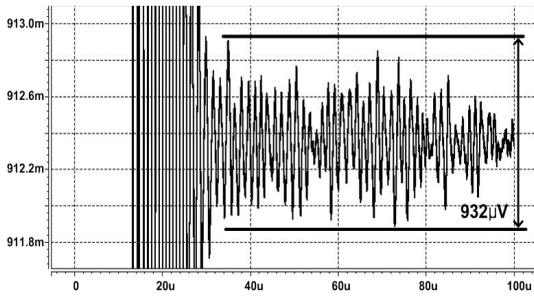


그림 8. I_{CP}/I_{reset} 의 값이 10일 때 (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 루프필터 전압변화 (c) 위상고정 후 확대된 루프필터 전압변화
Fig. 8 $I_{CP}/I_{reset} = 10$ (a) V_{LPF} (b) Enlarged V_{LPF} after locking (c) Enlarged V_{LPF} after locking

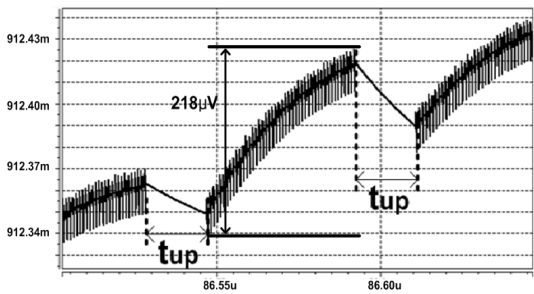
그림 9는 I_{CP}/I_{RESET} 의 값이 50일 때의 시뮬레이션 결과이다. 그림 9 (a)가 보여주듯이 30 μ s에서 위상이 고정된다. 그림 9 (b)와 (c)에서 나타난 파와 같이 ΔV_{LPF} 와 $\Delta\Delta V_{LPF}$ 는 각각 932 μ V, 218 μ V이다.



(a)



(b)



(c)

그림 9. I_{CP}/I_{RESET} 의 값이 10일 때 (a) 루프 필터 전압 변화 (b) 위상 고정 후 확대된 루프 필터 전압 변화 (c) 위상 고정 확대된 루프 필터 전압 변화

Fig. 9 $I_{CP}/I_{RESET} = 10$ (a) V_{LPF} (b) Enlarged V_{LPF} after locking (c) Enlarged V_{LPF} after locking

다음의 식들은 ΔV_{LPF} 와 $\Delta\Delta V_{LPF}$ 와 위상 잡음 특성과 기준신호 의사잡음 특성을 보여준다[12].

$$P_{spur} \propto 20 \log(\Delta\Delta V_{LPF}) \quad (1)$$

$$F_{VCO}(t) = A \cos\left(w_{FR}t + K_{VCO} \int_{-\infty}^t V_{LPF} dt\right) \quad (2)$$

식 (1)에 나타난 파와 같이 의사 잡음의 크기는 $\Delta\Delta V_{LPF}$ 의 크기에 비례하므로 기준신호 의사잡음 크기를 줄이기 위해서는 $\Delta\Delta V_{LPF}$ 크기를 줄여야 한다. 또한 식 (2)의 적분항에 포함된 V_{LPF} 가 보여주듯이 V_{LPF} 의 변화량(ΔV_{LPF})이 작으면 F_{VCO} 의 변화량이 작아진다. 즉, 위상잡음 특성이 개선되므로 위상잡음 특성을 좋게 하기 위해서는 ΔV_{LPF} 의 크기도 줄여야 한다.

I_{CP}/I_{RESET} 의 값이 10일 때, 시뮬레이션 결과는 제안한 구조의 $\Delta\Delta V_{LPF}$ 와 ΔV_{LPF} 크기가 기존 구조의 $\Delta\Delta V_{LPF}$ 와 ΔV_{LPF} 크기의 각각 1/2과 2/3의 크기로 감소하였다. I_{CP}/I_{RESET} 의 값이 50일 때는 ΔV_{LPF} 의 크기는 25% 감소하였으나 $\Delta\Delta V_{LPF}$ 크기는 10% 증가하였다.

I_{CP}/I_{RESET} 의 값이 10일 때는 기준신호 의사잡음과 위상잡음의 특성이 많이 좋아 졌다는 것을 알 수 있으며 위상 고정 시간은 조금 증가 하였다. I_{CP}/I_{RESET} 의 값이 50일 때는 기존 구조에 비해 위상 고정 시간도 많이 증가하였고 잡음 특성도 거의 좋아지지 않는다. 2차-RC 필터와 sample-hold 커패시터로 구성된 루프 필터와 단방향 전하 펌프를 가진 위상 고정 루프는 I_{CP}/I_{RESET} 의 값이 작을 때는 기존 구조에 비해 잡음 특성을 크게 향상시킬 수 있다. 전압 제어 발진기 출력 신호로 제어되는 스위칭에 의해 반송파 주파수에서 전압 제어 발진기 출력 신호 주파수만큼 떨어진 주파수에서 의사 잡음이 발생한다. 의사 신호는 반송파에서 멀리 떨어져 있어 우리가 원하는 대역폭에 안에 있는 다른 채널 신호에는 영향을 미치지 않는다.

V. 결론

본 논문에서는 단방향 전하 펌프를 이용하였고, 기존의 2차-RC 루프 필터 구조에 sampling 커패시터와 전압 제어 발진기의 높은 출력 주파수에 의해 스위치가 제어되는 구조를 제안하였다. 제안된 구조는 기존 구조의 위상 고정 루프보다 루프 필터 출력 신호의 변화의 크기를 크게 줄여 위상잡음 특성과 기준신호 의사잡음 특성을 개선할 수 있다.

감사의 글

이 논문은 부경대학교 자율창의기술연구비 (2013년)에 의하여 연구되었습니다.

REFERENCES

- [1] Marianne M. Kamal, Emad W. El-Shewekh, and Muhammad H. El-Saba, "Design and implementation of a low-phase-noise integrated CMOS Frequency Synthesizer for high-sensitivity narrow-band FM transceivers," Microelectronics, pp. 167-175, Cairo, Egypt. Dec. 2003.
- [2] Yan Ge, Wennan Feng, Zhongjian Chen, Song Jia and Lijiu Ji, "A Fast Locking Charge-Pump PLL with Adaptive Bandwidth," ASIC. vol. 1, ASICON, pp. 431-434, Oct. 2005.
- [3] Kyoo Hyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," IEEE J. Solid-State Circuits, vol. 35, no. 6, pp. 807-815, June. 2000.
- [4] Tsung-Hsien Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 424-431, March. 2001.
- [5] Wu-Hsin Chen, Wing-Fai Loke, and Byunghoo Jung, "A 0.5-V, 440- μ W Frequency Synthesizer for Implantable Medical Devices," IEEE J. Solid-State Circuits, vol. 47, no. 8, pp. 1896-1907, August 2012.
- [6] Shen Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL With VCO Realignment to Reduce Phase Noise," IEEE J. Solid-State Circuits, vol. 37, no. 12, pp. 1795-1803, December. 2002.
- [7] Te-Wen Liao, Chia-Min Chen, Jun-Ren, and Chung-Chih Hung, "Random Pulsewidth Matching Frequency Synthesizer With Sub-Sampling Charge Pump," IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol. 59, no. 12, pp. 2815-2824, December. 2012.
- [8] E. Temporiti, G. Albasini, I. Bietti, R. Castello, and M. Colombo, "A 700-kHz bandwidth $\Sigma\Delta$ fractional synthesizer with spur compensation and linearization techniques," IEEE J. Solid-State Circuits, vol. 39, no. 9, pp. 1446-1454, Sep. 2004.
- [9] S. Pamariti, L. Jansson, and I. Galton, "A wideband 2.4-GHz delta-sigma fractional-N PLL with 10Mb/s in loop modulation," IEEE J. Solid-State Circuit, vol. 39, no. 1, pp. 49-62, Jan. 2004.
- [10] F. M. Gardner, Phaselock Techniques. Hoboken, NJ: Wiley, 2005
- [11] Y. G. Song and, Y. S. Choi, "A Fast Locking Phase Locked Loop with Multiple Charge Pumps", IEK-SD, vol. 46, no. 2, pp. 71-77, Feb. 2009.
- [12] H. C. Luong and G. C. T. Leung, Low-Voltage CMOS RF Frequency Synthesizers. Cambridge: Cambridge.



백승하(Seung-ha Baek)

2012년 부경대학교 전자공학과 학사 졸업
2012년 부경대학교 전자공학과 석사 입학
※관심분야 : PLL



최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과 학사 졸업.
1986년 Texas A&M University 전자공학과 석사 졸업.
1993년 Arizona State University 박사 졸업.
1987년 ~ 1999년 현대전자 시스템 IC 연구소 책임연구원
1999년 ~ 2003년 동의대학교 전자공학과 교수
2003년 ~ 현재 부경대학교 전자공학과 교수
※관심분야 : PLL, DLL, CDRC 설계