

CMOS x-ray 라인 스캔 센서 설계

허창원¹ · 장지혜¹ · 김려연¹ · 허성근² · 김태우² · 하관봉¹ · 김영희^{1*}

Design of a CMOS x-ray line scan sensors

Chang-Won Heo¹ · Ji-Hye Jang¹ · Jinliyan¹ · Sung-Kyn Heo² · Tae-Woo Kim² · Pan-Bong Ha¹ · Young-Hee Kim^{1*}

¹ Department of Electronic Engineering, Changwon University, Gyeongnam 641-773, Korea

² Vatech Ewoo Research Innovation Center

요 약

본 논문에서는 의료영상 뿐만 아니라 비파괴검사 등에 활용되고 있는 CMOS x-ray 라인 스캔 센서를 설계하였다. x-ray 라인 스캔 센서는 512열×4행의 픽셀 어레이(pixel array)를 갖고 있으며, DC-DC 변환기(converter)를 내장하였다. Binning 모드를 이용하여 픽셀 사이즈가 100 μm , 200 μm , 400 μm 이 되도록 선택할 수 있도록 하기 위해 no binning 모드, 2×2 binning 모드와 4×4 binning 모드를 지원하는 픽셀 회로를 새롭게 제안하였다. 그리고 power supply noise와 입력 common mode noise에 둔감한 이미지 신호인 fully differential 신호를 출력하도록 설계하였다. 0.18 μm x-ray CMOS 이미지 센서 공정을 이용하여 설계된 라인 스캔 센서의 레이아웃 면적은 51,304 μm × 5,945 μm 이다.

ABSTRACT

A CMOS x-ray line scan sensor which is used in both medical imaging and non-destructive diagnosis is designed. It has a pixel array of 512 columns x 4 rows and a built-in DC-DC converter. The pixel circuit is newly proposed to have three binning modes such as no binning, 2×2 binning, and 4×4 binning in order to select one of pixel sizes of 100 μm , 200 μm , and 400 μm . It is designed to output a fully differential image signal which is insensitive to power supply and input common mode noises. The layout size of the designed line scan sensor with a 0.18 μm x-ray CMOS image sensor process is 51,304 μm × 5,945 μm .

키워드 : CMOS X-ray 라인 스캔 센서, DC-DC 컨버터, binning, SHA

Key word : CMOS X-ray line scan sensor, DC-DC converter, binning, SHA

접수일자 : 2013. 08. 17 심사완료일자 : 2013. 09. 02 게재확정일자 : 2013. 09. 24

* **Corresponding Author** Young-Hee Kim(E-mail:youngkim@changwon.ac.kr, Tel:+82-55-285-1023)

Department of Electronic Engineering, Changwon University, Gyeongnam 641-773, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.10.2369>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

x-ray 라인 스캔 센서(line scan sensor)는 x-ray를 통해 피사체 정보를 라인 스캔 센서를 이용하여 한 라인씩 검지하여 전기적인 영상신호로 변환하는 장치이다. x-ray 라인스캔 센서는 의료영상 분야뿐만 아니라 비파괴 검사 등에 활용되고 있다. 비파괴 검사로는 공항, 항만 등의 물류검색과 같은 보안 분야, PCB 보드 검사와 같은 일반산업 분야와 캔 음료, 과자류 등의 식품산업 분야에 적용되어 x-ray 이미지를 얻는데 사용된다. x-ray 라인스캔 센서의 장점은 x-ray 촬영에서 flat panel 센서에 비해 큰 면적을 이미지화 할 수 있고 센서 면적과 제조원가를 줄일 수 있다[1].

기존의 x-ray 라인 스캔 센서는 그림 1에서 보는 바와 같이 포토다이오드 어레이(photodiode array), charge integrating amplifier 어레이, S/H 회로, 디지털 스캐닝 쉬프트 레지스터(digital scanning shift register)와 timing generator로 구성되어 있다[2]. 그림 1의 Readout 되는 이미지 신호인 VIDEO 신호는 single-ended이므로 power supply noise, charge injection noise와 clock feed-through noise와 같은 입력 common mode noise에 민감한 단점이 있다.

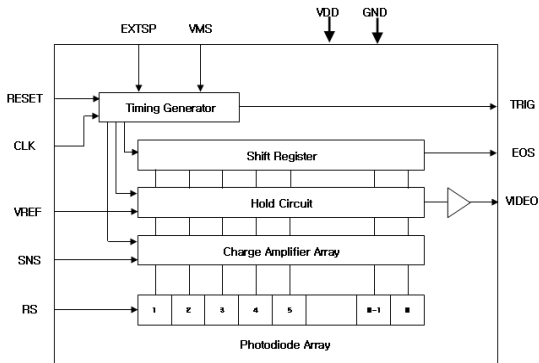


그림 1. 기존 x-ray 라인 스캔 센서의 블록도
Fig. 1 Block diagram of the conventional x-ray line scan sensor

이미지 센서에서 이웃하는 다수의 픽셀 데이터를 동시에 readout하는 binning 모드는 센서의 frame rate을 증가시킬 뿐만 아니라 SNR과 sensitivity를 개선한다 [3]. x-ray CMOS 이미지 센서에서 고속 frame rate을

증가시키기 위해 2x2 binning 모드가 사용되어지고 있다[4].

본 논문에서는 512열x4행의 픽셀 어레이(pixel array)를 갖는 CMOS x-ray 라인 스캔 센서를 설계하였다. DC-DC 변환기(converter)를 내장한 x-ray 라인 스캔 센서는 power supply noise와 입력 common mode noise에 둔감한 이미지 신호인 fully differential 신호를 출력하도록 설계하였다. 그리고 x-ray 라인 스캔 센서는 no binning 모드, 2x2 binning 모드와 4x4 binning 모드를 지원하고 있다. Binning 모드를 이용하여 픽셀 사이즈가 100 μ m, 200 μ m, 400 μ m이 되도록 선택할 수 있다.

II. 회로 설계

표 1은 x-ray를 형광체(scintillator)를 통해 빛으로 변환한 뒤 빛을 검출하여 읽어내는 간접 검출방식을 이용한 라인 스캔 센서의 설계 스펙(specification)을 보여주고 있다. 설계된 구강센서는 partially pinned photodiode를 이용한 CMOS APS(Active Pixel Sensor)를 사용하고 있으며, CMOS 능동 픽셀은 3T(Transistor) 능동 픽셀 회로를 사용하였고 기본 픽셀 pitch는 100 μ m이다. 그리고 CMOS 능동 픽셀 어레이 크기는 512 x 4이다. x-ray를 빛으로 변환해주는 x-ray converter는 CsI (Cesium iodide)를 사용하였으며, 12비트의 A/D 변환기를 사용하였다.

표 1. 설계된 라인 스캔 센서의 설계 스펙

Table. 1 Specifications of the designed line scan sensor

Items	Specification
Pixel Type	3T APS
Pixel Pitch	100 μ m
Pixel Array Size	512 x 4
Active Area	51,200 μ m x 400 μ m
X-ray Converter	CsI
A/D Conversion	12 bits
Image Resolution Modes	Full Resolution 2x2 Binning 4x4 Binning
Supply Voltage	5V
Pixel Clock	4MHz

이미지 resolution 모드는 no binning 모드인 full resolution 모드, 2x2 binning 모드와 4x4 binning 모드를 지원하고 있다. Binning 모드를 이용하여 픽셀 사이즈가 100 μm , 200 μm , 400 μm 이 되도록 선택할 수 있다. 라인 스캔 센서는 5cm 센서 die를 tiling하여 20cm, 25cm, 30cm, 40cm 등의 다양한 라인 스캔 센서 시스템을 제공할 수 있다. 한편 내장형 DC-DC 변환기는 Voltage regulator 회로를 이용하여 5V의 external power를 linear regulation하여 라인 스캔 센서에서 필요로 하는 VRESET(=2.7V)와 VCC(=4.3V) 전압을 공급해 주고, 정전류원인 IB0/IB1의 바이어스 전류를 공급해 준다.

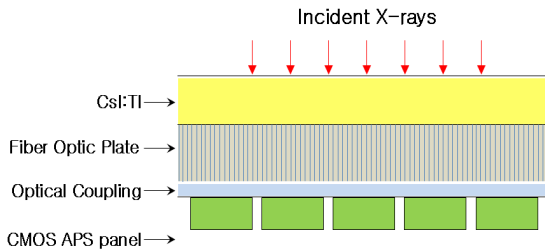


그림 2. 간접 검출방식의 x-ray CMOS 라인 스캔 센서의 구조
 Fig. 2 Structure of an x-ray CMOS line scan sensor of indirect detection type

그림 2는 간접 검출방식의 x-ray CMOS 라인 스캔 센서의 구조를 보여주고 있다[5]. CsI:TI는 CMOS APS 패널(panel)에 조사된 x-ray를 300~400nm 파장대의 빛으로 변환시켜 주는 형광체로 주상구조(needle like structure)로 결정화되어 해상도 특성이 우수하다. CsI:TI는 그림 2에서 보는 바와 같이 FOP(Fiber Optic Plate) 위에 증착되어 있다. FOP는 광섬유 다발로 이루어진 plate로 광섬유가 scintillator에서 발생된 빛의 퍼짐을 감소시켜 해상도 특성을 우수하게 만든다. 또한 광섬유 내의 납 성분이 scintillator를 투과한 x-ray를 차폐시켜 x-ray에 직접 노출로 인한 CMOS 센서에서의 부가적인 잡음 발생을 막아주고, 소자를 x-ray damage로부터 보호해 준다. 그리고 optical coupling은 CMOS APS panel과 CsI:TI-FOP를 광학적으로 결합해주는 역할을 한다. 광전달 효율이 높고 굴절률이 FOP, CMOS APS panel의 passivation layer와 유사한 물질을 사용하여 해상도 및 검출효율 저하를 막는다.

설계된 x-ray 라인 스캔 센서는 그림 3에서 보는 바와 같이 512Cx4R 픽셀 어레이, row decoder, S/H 회로와 column select 회로, ASP(Analog Signal Processing) 회로와 timing generator로 구성되어 있다.

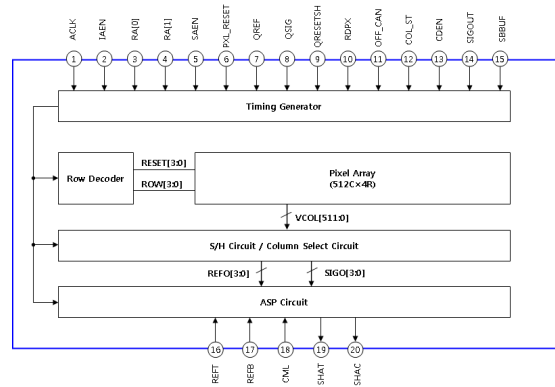


그림 3. 설계된 x-ray 라인 스캔 센서의 블록도
 Fig. 3 Block diagram of the designed x-ray line scan sensor

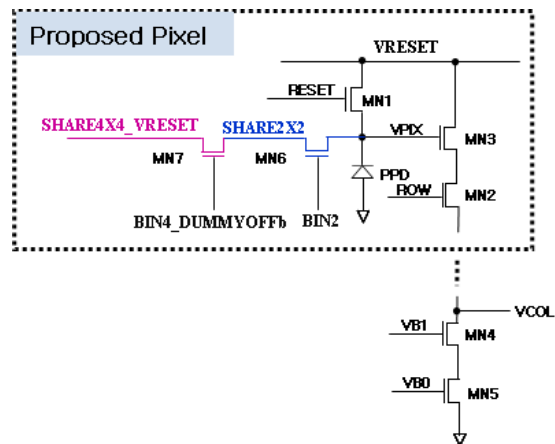


그림 4. 제안된 픽셀 회로도
 Fig. 4 Proposed pixel circuit

라인 스캔 센서에 사용된 APS(Active Pixel Sensor)는 그림 4에서 보는 바와 같이 빛을 받아들여 charge로 변환해주는 역할을 하는 PPD(Partially Pinned Diode), VPIX 노드 전압을 VRESET(=2.7V)로 리셋시키는 리셋 트랜지스터(MN1), 행 주소(row address)에 의해 픽셀을 선택해주는 selection 트랜지스터(MN2)와 픽셀이

선택되었을 때 VPIX 전압을 column line인 VCOL에 내보내는 source follower 트랜지스터(MN3)로 구성되어 있다. 그리고 그림 4의 픽셀 binning을 위한 charge sharing 트랜지스터(MN6와 MN7)가 포함되어 있다. MN6의 게이트는 BIN2 신호에 연결되어 있으며, MN7의 게이트는 BIN4_DUMMYOFFb 신호에 연결되어 있다. 그림 4의 VRESET은 픽셀 어레이에 사용되는 리셋전압(Reset Voltage)이고, 정전류 바이어스 트랜지스터(MN4와 MN5)는 3 μ A의 바이어스 전류를 흘려주며 픽셀 어레이의 한 column당 하나씩 둔다.

표 2. Binning 모드에 따른 binning 신호 전압.

Table. 2 Binning signal voltages according to the binning modes

	BIN2	BIN4	DUMMYOFFb
No Binning	0V	0V	0V
2 \times 2 Binning	A5V	0V	0V
4 \times 4 Binning	A5V	A5V	0V

2 \times 2 binning 모드에서 BIN2는 표 2에서 보는 바와 같이 A5V(Analog 5V)이므로 인접한 4개의 픽셀에 있는 MN6는 모두 ON되어 SHARE2 \times 2 노드를 통해 각 픽셀 charge를 sharing한다. 한편 4 \times 4 binning 모드에서 BIN2와 BIN4 신호는 표 2에서 보는 바와 같이 모두 A5V이므로 BIN2 신호에 의해 2 \times 2 binning 픽셀에 해당되는 픽셀 charge를 SHARE2 \times 2 노드에서 먼저 sharing한다.

그리고 2 \times 2 binning 픽셀에 있는 BIN4에 연결된 MN7을 ON시켜 2 \times 2 binning의 결과인 인접한 4개의 SHARE2 \times 2 노드의 charge를 sharing하므로 인접한 16개의 픽셀 charge를 sharing할 수 있다. Binning 모드가 아닌 경우는 BIN2, BIN4, DUMMYOFFb 신호는 모두 0V이므로 픽셀 charge를 sharing하지 않는다. 표 2는 binning 모드에 따른 binning 신호 전압을 보여주고 있으며, 그림 5는 제안된 4 \times 4 픽셀 회로도를 보여주고 있다. 4 \times 4 픽셀회로도에서 DUMMYOFFb 신호는 4 \times 4 binning 모드에서 edge 쪽에 있는 픽셀과 center 쪽에 있는 픽셀의 레이아웃 매칭을 위해 추가되어 있다.

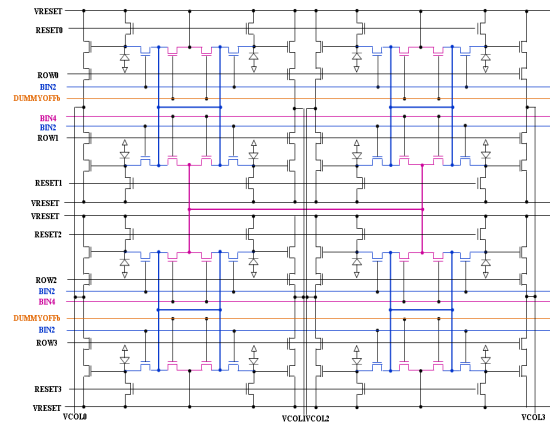


그림 5. Binning 모드를 지원하는 제안된 4 \times 4 픽셀 회로도
Fig. 5 Proposed 4 \times 4 pixel circuit supporting three binning modes

Binning 모드에 따른 라인 스캔 센서의 frame rate은 표 3에서 보는 바와 같이 no binning, 2 \times 2 binning, 4 \times 4 binning 모드 각각에 대해 1,200fps(frames per second), 2,000fps, 4,000fps이다. Full resolution인 no binning 모드에서 한 frame에 대한 integration과 scan timing diagram은 그림 6에서 보는 바와 같다. 512C \times 4R 픽셀 어레이의 데이터를 읽어내는데 걸리는 시간은 Frame Rate 분의 1인 1/1,200 sec로 4MHz의 ACLK(Analog Clock)을 기준으로 3,320ACLK에 해당된다. 한 Row는 integration과 scan 동작으로 구성되어 있다. Integration time은 그림 4에서 PPD 다이오드의 VPIX 전압을 리셋 트랜지스터(MN1)에 의해 VRESET으로 precharging하고 OFF된 후 다시 RESET 신호가 enable될 때까지의 시간이고, scan은 픽셀 전압을 S/H로 signal dump해서 SHAT/SHAC pin으로 512개의 differential signal 전압을 연속적으로 읽어내는 동작이다. 그림 7은 한 ROW에 대한 pixel signal dump와 readout timing diagram을 보여주고 있다.

표 3. Binning 모드에 따른 frame rate

Table. 3 Frame rates according to the binning modes

mode	Frame Rate
No Binning	1,200fps
2 \times 2 Binning	2,000fps
4 \times 4 Binning	4,000fps

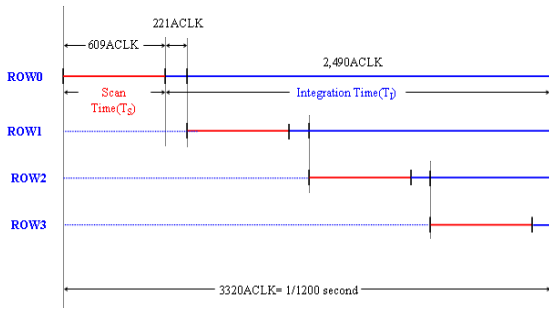


그림 6. 한 frame에 대한 integration과 scan timing diagram
Fig. 6 Timing diagram of integration and scan per frame

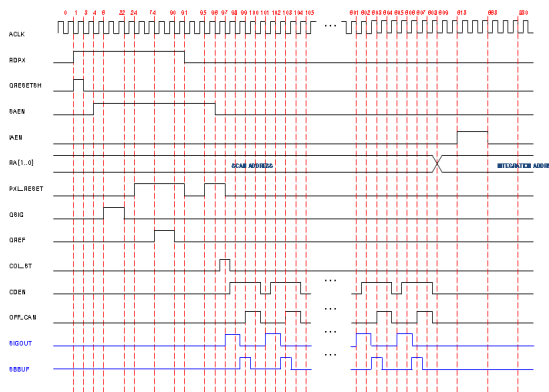


그림 7. 한 row에 대한 pixel signal dump와 readout timing diagram
Fig. 7 Timing diagram of pixel signal dump and readout per row

그림 3의 row decoder 회로도에는 그림 8에서 보는 바와 같다. Row decoder는 입력 신호인 IAEN(Integration Address Enable) 신호, SAEN(Scan Address Enable) 신호, PXL_RESET(Pixel Reset) 신호, 2bit의 integration address인 IA[1:0]와 scan address SA[1:0]에 따라 RESET[3:0]과 ROW[3:0] 신호가 출력으로 나간다. 그림 8의 INTEGRATE 펄스 신호에 의해 RESET 신호는 disable되고 PPD 다이오드의 cathode 쪽에 연결된 VPIX 노드로 injection되는 charge를 integration하게 된다.

Integration time이 지난 후 VPIX 노드의 signal voltage(VSIG)와 PXL_RESET 신호에 의해 RESET 신호가 VCC(=4.3V)로 enable된 후 reset voltage(VRESET)를 픽셀 어레이의 각 column마다 있는 S/H

(Sample and Hold)로 signal dump하게 된다. S/H에서는 reset voltage와 signal voltage의 differential voltage (VRESET-VSIG)를 ASP(Analog Signal Processing) 회로를 거친 후 board(board)에 있는 12bit A/D(Analog-to-Digital) converter로 보낸다.

한 row의 픽셀 데이터인 signal voltage와 reference voltage는 VCOL[511:0] line을 통해 time multiplexing 되며, 그림 9의 QSIG과 QREF 신호에 의해 S/H 회로에 dump된다. 그림 9의 S/H는 signal과 reference 전압을 샘플링하고 그것을 ASP(Analog Signal Processing) 블록으로 전달하는 역할을 한다. 그림 9의 COL_SEL 신호는 shift register를 이용한 column select 회로로서 출력이며, COL_SEL[31:0]는 512개 S/H의 데이터 중 4개인 REFO[3:0]와 SIG[3:0]를 ASP 블록의 ABUFFER로 내보낸다. 그림 10은 column select 회로도이다. Column shift register인 DFF_CSR는 COL_SEL[0]에서 COL_SEL[31]까지 series로 연결되어 있으며, 4개의 ACLK마다 선택되는 pointer 역할을 한다.

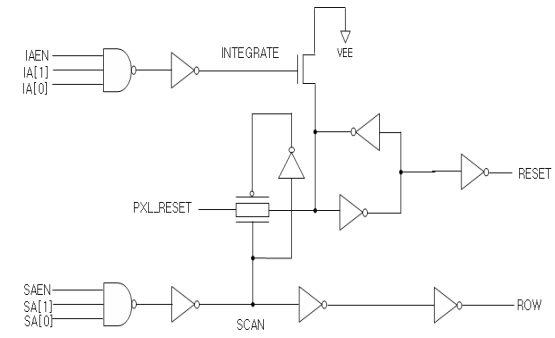


그림 8. 설계된 row decoder 회로도
Fig. 8 Designed row decoder

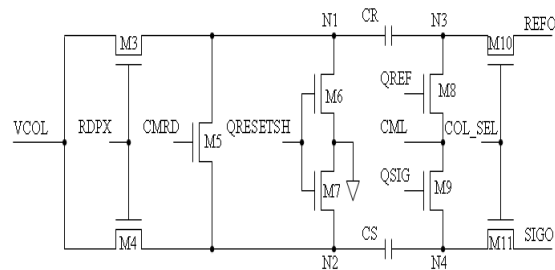


그림 9. S/H 회로도
Fig. 9 Sample and hold

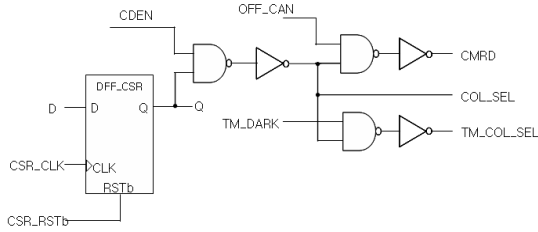


그림 10. Column select 회로도
Fig. 10 Column select circuit

그림 11은 S/H로부터 ABUFFER, BBUFFER, AMUX (Analog Multiplexer), VGA(Voltage Gain Amplifier)에 이르는 ASP 블록의 블록 다이어그램이다. CDS (Correlated Double Sampling)을 하는 ABUFFER는 S/H의 4개의 reference voltage와 signal voltage를 동시에 읽고 난 뒤 offset을 cancel하기 위해 common mode voltage를 read한다. ABUFFER의 differential output voltage는 CML(Common Mode Level)을 기준으로 $\Delta V (=VRESET-VSIG)$ 만큼 fully differential 형태로 나타난다. Maximum ΔV 는 VPIX 전압에 대해 VCOL이 선형인 0.5V이다. 그림 11의 AMUX는 BBUFFER의 4개의 differential 출력 신호를 analog multiplexing해주는 4x1 analog multiplexer이다. 그림 11의 VGA(Voltage Gain Amplifier)는 input signal을 증폭하는 회로로 GAIN[2:0] 코드에 따라 표 4와 같이 증폭된다. 본 논문에서는 AMUX의 ΔV 를 2배로 증폭하기 위해 GAIN [2:0] 코드는 011로 setting했다.

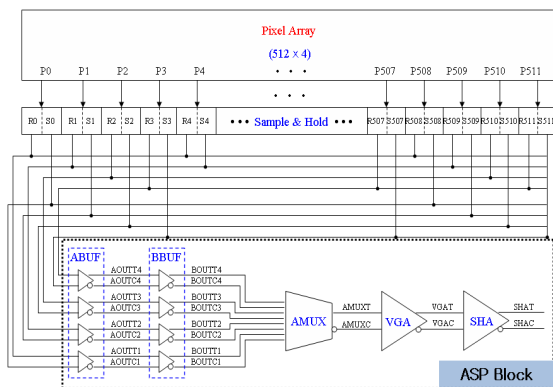


그림 11. ASP block diagram
Fig. 11 Block diagram of ASP

표 4. VGA의 voltage gain table
Table. 4 Voltage gains of VGA

GAIN[2]	GAIN[1]	GAIN[0]	VGA Gain
0	0	0	0.5
0	0	1	1
0	1	0	1.5
0	1	1	2
1	0	0	1
1	0	1	2
1	1	0	3
1	1	1	4

그림 11의 SHA(Sample-and-Hold Amplifier) 회로는 VGA의 differential 신호인 VGAT/VGAC를 입력으로 fully differential 신호로 바꾸어 출력한다. SHA의 fully differential 전압인 $\Delta VSHA$ 는 $2 \cdot (VGAT - VGAC) - (REFT - REFB)$ 전압으로 나타난다. REFT와 REFB는 라인 스캔 보드의 A/D converter에서 공급되는 전압이다. Fully differential 신호인 $\Delta VSHA$ 는 power supply noise, charge injection noise와 clock feed-through noise와 같은 입력 common mode noise에 둔감하다.

본 논문에서 설계된 라인 스캔 센서는 표 5에서 보는 바와 같이 voltage regulator(VRESET와 VCC)와 정전류원인 IB0/IB1의 바이어스가 필요하다. Voltage regulator 회로는 5V의 external power인 A5V를 라인 스캔 센서에서 필요로 하는 VRESET(=2.7V)와 VCC (=4.3V) 전압으로 linear regulation해 주는 회로이다.

표 5. 라인 스캔 센서에 사용되는 구동 바이어스
Table. 5 Driving biases required for a line scan sensor

구분	목표값	용도
VRESET	2.7V	pixel reset voltage
VCC	4.3V	row selection voltage
IB0/IB1	30 μ A	constant current source

Voltage regulator 회로를 설계하는데 핵심은 공정, VDD 및 온도의 변화에 대해 VBG(Bandgap Voltage)의 변화 폭을 줄이고, 빠르게 변화하는 부하전류(load current)에 대해 안정되고 정확한 VREG(Regulated Voltage) 전압의 공급과 stand-by 전류를 줄이는 것이

다. 그래서 본 논문에서는 그림 12에서 보는 바와 같이 기준전류 발생기(reference current generator) 회로의 IREF를 이용하여 voltage regulator에 필요한 기준전류와 바이어스 전류를 각각 공급해준다. 이들 전류가 각각의 voltage regulator 회로에서 해당되는 기준전압을 생성하여 negative feedback mechanism에 의해 목표전압을 regulation하게 된다. 그리고 기준전류가 current mirror ratio에 의해 mirroring되어 정전류인 IB0/IB1을 공급한다.

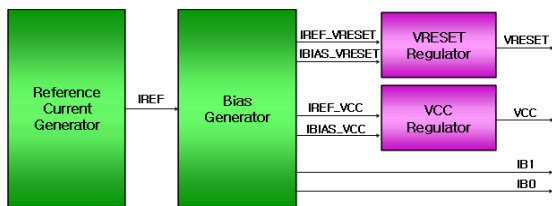


그림 12. 라인 스캔 센서용으로 제안된 DC-DC converter의 블록도
 Fig. 12 Block diagram of a DC-DC converter proposed for an line scan sensor

그림 13은 그림 12의 기준전류 발생기 (reference current generator) 회로도를 보여준다. 세 개의 substrate PNP BJT 트랜지스터 Q1:Q2:Q3의 에미터 면적 비는 1:1:N이다. 기준전류인 IREF는 식 (1)과 같이 표현된다. 식 (1)의 첫 번째 항은 VEB에 비례하고 다른 항은 thermal voltage VT에 비례한다. 식 (1)에서 보는 것처럼 IREF는 R1, R2의 저항 비에 의해 결정된다. 저항은 high ohmic p-poly resistor를 사용하였다.

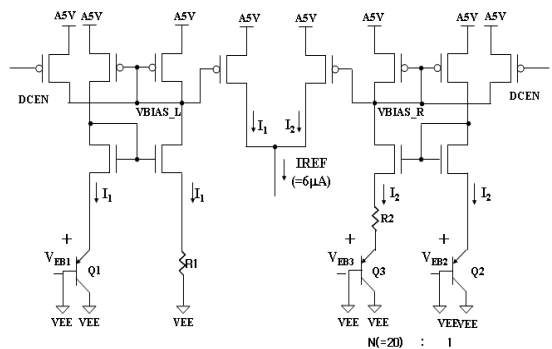


그림 13. 설계된 기준전류 발생기 회로도[5]
 Fig. 13 Designed reference current generator[5]

$$IREF = I1 + I2 = \frac{VEB1}{R1} + \frac{VT}{R2} \cdot \ln N \quad (1)$$

그림 14의 바이어스 회로는 IREF를 이용하여 VRESET regulator에 필요한 IREF_VRESET와 IBIAS_VRESET, VCC regulator에 필요한 IREF_VCC와 IBIAS_VCC 전류를 공급한다. 그리고 바이어스 회로는 wide swing을 갖는 cascode current를 이용하여 pixel column bias current를 공급해주는 IB0/IB1을 만들어 준다.

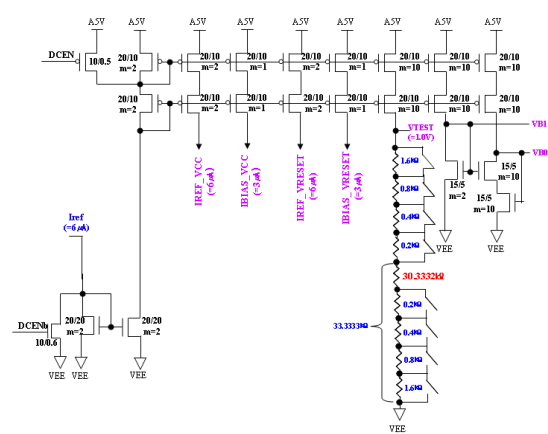


그림 14. 바이어스 회로도
 Fig. 14 Bias circuit

그림 15는 그림 4에서 보여지는 active pixel의 reset voltage인 VRESET voltage regulator의 회로도를 보여 주고 있다. R0 (=225kΩ)에 IREF_VRESET(=6µA)를 흘려주면 VRESET의 기준전압인 VREF_VRESET은 1.35V가 걸리게 된다. IREF_VRESET과 IBIAS_VRESET은 그림 14의 바이어스 회로에 의해 공급된다. VRESET voltage regulator 회로는 구동전압인 VRESET과 VEE (=0V) 사이에 2개의 PMOS diode가 직렬로 연결되어 있으므로 정상상태에서 VREF_VRESET 전압과 VFB_VRESET 전압은 같아진다. VREF_VRESET 전압과 VFB_VRESET 전압은 같아지면 VRESET 전압은 VREF_VRESET 전압의 2배인 2.7V를 구동하게 된다. Voltage regulation시 gate-drain overlap capacitance에 의한 VREF_VRESET의 voltage fluctuation을 제거하기 위해 VREF_VRESET과 VEE 사이에 charge reservoir

capacitor를 두고 있다. 또한 VRESET의 ripple voltage를 줄이기 위해서 100nF의 external charge reservoir capacitor를 사용하였다.

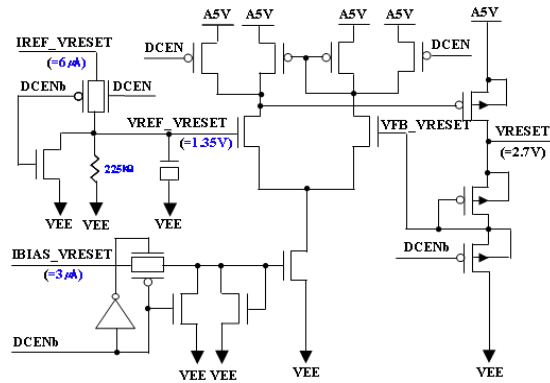


그림 15. VRESET voltage regulator 회로도
Fig. 15 VRESET voltage regulator

그림 16의 VCC voltage regulator 회로는 구동전압인 VCC와 VEE 사이에 PMOS diode가 3개인 것과 VREF_VCC 전압이 1.438V인 것을 제외하고는 VRESET voltage regulator 회로와 구조는 유사하다.

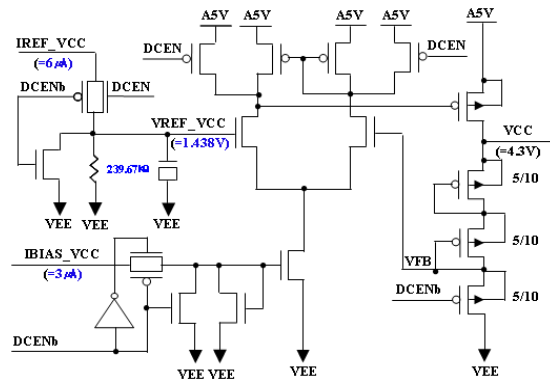


그림 16. VCC voltage regulator 회로도
Fig. 16 VCC voltage regulator

그림 17은 0.18μm x-ray CMOS 이미지 센서 공정을 이용하여 설계된 라인 스캔 센서의 레이아웃 이미지를 보여주고 있으며, DC-DC converter를 내장하고 있다. 설계된 라인 스캔 센서의 레이아웃 면적은 51,304μm × 5,945μm 이다.

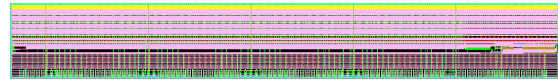


그림 17. DC-DC converter를 내장한 라인 스캔 센서의 레이아웃 이미지
Fig. 17 Layout image of a line scan sensor with a built-in DC-DC converter

III. 모의실험 결과

사용된 A/D converter의 span voltage는 2V이므로 differential voltage는 1V이다. 그런데 그림 18의 0.18μm x-ray CMOS 이미지 센서 공정을 이용하여 설계된 픽셀 회로에 대한 VPIX 전압에 따른 VCOL 전압 curve에서 보는 바와 같이 VCOL이 선형인 구간은 0.5V이다. 그래서 본 논문에서는 VCOL의 최대 differential voltage인 ΔV(=VRESET-VSIG)를 0.5V로 결정하였다. 그림 19는 SHA의 fully differential 출력 전압 파형을 보여주고 있으며, 표 6은 픽셀 출력 전압인 ΔVCOL에 따른 readout stage별 differential voltage[mV]를 정리한 표이다. 모의실험 조건은 A5V는 4.75V, SS 모델, 60℃ 온도 이다.

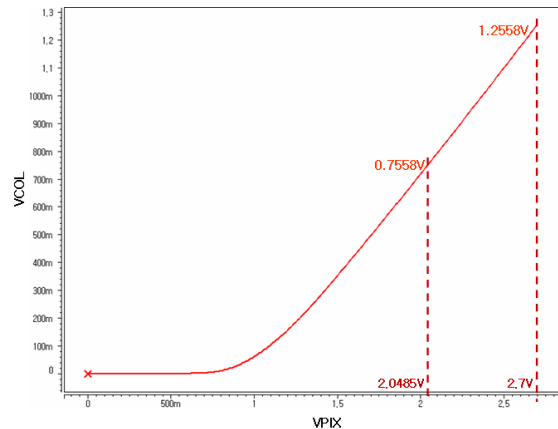


그림 18. 제안된 픽셀 회로에 대한 VPIX 전압에 따른 VCOL 전압 curve
Fig. 18 VCOL voltage with respect to VPIX voltage for the proposed pixel circuit

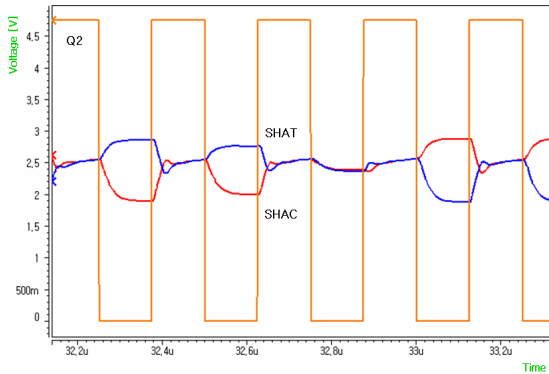


그림 19. SHA의 fully differential 출력 전압 파형
Fig. 19 Fully differential output voltage of SHA

표 6. 픽셀 출력 전압인 ΔVCOL에 따른 readout stage별 differential voltage

Table. 6 Differential voltages at each stage according to pixel output voltage ΔVCOL

ΔVCOL	S/H	ABUF	BBUF	AMUX	VGA	SHA
0.5V	0.49132	0.49060	0.49030	0.49030	0.97950	0.96130
0.45V	0.44218	0.44160	0.44120	0.44130	0.88240	0.76440
0.25V	0.24563	0.24530	0.24510	0.24530	0.49070	-0.01930
0V	-0.00005	-0.00006	-0.00004	-0.00020	-0.00020	-0.99900

표 7. A5V, 온도, 모델 파라미터별 voltage regulator인 VRESET 과 VCC 모의 실험 결과

Table. 7 Simulation results of VRESET and VCC according to A5V, temperature, and model parameter

Voltage	Minimum	Maximum	Target
VRESET	2.655V	2.739V	2.7V±0.1V
VCC	4.243V	4.377V	4.3V±0.1V

표 7은 A5V, 온도, corner 모델 파라미터별 voltage regulator인 VRESET과 VCC 모의 실험 결과이다. A5V 는 4.75V, 5V, 5.25V 3가지이며, 온도는 -5℃, 25℃, 60℃ 3가지 경우이다. 모의 실험 결과 VRESET과 VCC 전압 은 각각 2.7V±0.1V, 4.3V±0.1V의 목표 전압을 만족 하는 것을 볼 수 있다.

그림 20은 A5V를 1V/ms의 slope으로 power-up했 을 때 voltage regulator인 VRESET과 VCC의 전압 파 형을 보여주고 있다. 모의실험 조건은 4.75V/SS 모델 /60℃, 5V/TT 모델/25℃, 5.25V/FF 모델/-5℃ 3가지이

며, 모의실험 결과 3가지 모의실험 조건에서 정상적으 로 power-up 되는 것을 볼 수 있다.

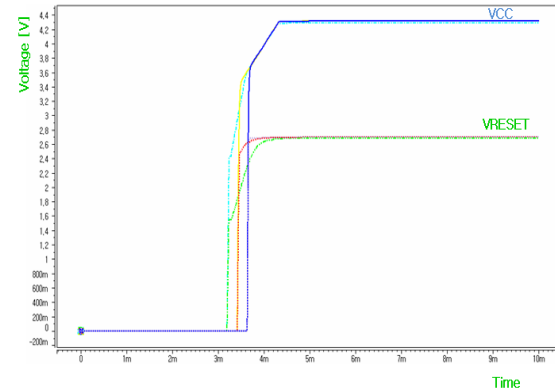


그림 20. Voltage regulator에 대한 power-up 모의실험 결과
Fig. 20 Simulation result of power-up for the voltage regulator

IV. 결 론

x-ray 라인 스캔 센서는 x-ray를 통해 피사체 정보를 라인 스캔 센서를 이용하여 한 라인씩 검지하여 전기적 인 영상신호로 변환하는 장치이다. X-ray 라인스캔 센 서는 의료영상 분야뿐만 아니라 비파괴 검사 등에 활용 되고 있다. X-ray 라인스캔 센서의 장점은 x-ray 촬영에 서 flat panel 센서에 비해 큰 면적을 이미지화 할 수 있 고 센서 면적과 제조원가를 줄일 수 있다.

기존의 x-ray 라인 스캔 센서의 readout되는 이미지 신호는 single-ended이므로 power supply noise, charge injection noise와 clock feed-through noise와 같은 입력 common mode noise에 민감한 단점이 있다. 그래서 본 논문에서는 power supply noise와 입력 common mode noise에 둔감한 이미지 신호인 fully differential 신호를 출력하도록 설계하였다. 그리고 설계된 x-ray 라인 스캔 센서는 512열×4행의 픽셀 어레이(pixel array)를 갖고 있으며, DC-DC 변환기(converter)를 내장하였다.

Binning 모드를 이용하여 픽셀 사이즈가 100μm, 200μm, 400μm이 되도록 선택할 수 있도록 하기 위해 no binning 모드, 2×2 binning 모드와 4×4 binning 모드를 지원하는 픽셀 회로를 새롭게 제안하였다. 0.18μm x-ray CMOS

이미지 센서 공정을 이용하여 설계된 라인 스캔 센서의 레이아웃 면적은 $51,304\mu\text{m} \times 5,945\mu\text{m}$ 이다.

감사의 글

이 논문은 2013~2014년도 창원대학교 연구비에 의하여 연구되었음.

REFERENCES

- [1] Julien Marchal, Linear scanning sensors for medical X-ray imaging. Available: <http://eepublishers.co.za/images/upload/Linear%20scanning%20sensors.pdf>.
- [2] X-Scan Imaging Corp., Linear X-RAY Photodiode Detector Array with Signal Amplification. Available: http://www.x-scanimaging.com/datasheets/XB8850%20data%20sheet%20Rev1_2.pdf.
- [3] Li Hao et al., "Image Restoration After Pixel Binning in Image Sensors," TSINGHUA SCIENCE AND TECHNOLOGY, ISSN 1007-0214 18/19, vol. 14, no. 4, pp. 541-545, Aug. 2009.
- [4] R. Reshef et al., Large-Format Medical X-Ray CMOS Image Sensor for High Resolution High Frame Rate Applications. Available: http://www.imagesensors.org/Past%20Workshops/2009%20Workshop/2009%20Papers/069_paper_reshef_to wersemi_xray.pdf.
- [5] Ji-Hye Jang et al., "Design of a DC-DC converter for intra-oral CMOS x-ray image sensor", J. Korea Inst. Inf. Commun. Eng., vol. 16, no. 10, pp. 2237-2246, Dec. 2012.



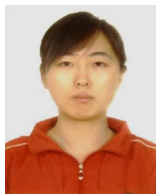
허창원(Chang-Won Heo)

1990.2 창원대학 전자공학과 공학사
1995.8 창원대학교 전자공학과 공학석사
2000.2 창원대학교 전자공학과 박사과정 수료
※관심분야 : CMOS x-ray 라인 스캔 센서 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과 공학사
2008.3 창원대학교 전자공학과 석사
2010.3 ~ 현재 창원대학교 전자공학과 박사과정
※관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계



김려연(Jinliyan)

2007.7 연변대학교 컴퓨터공학과 공학사
2009.9 창원대학교 전자공학과 석사
2009.9 ~ 현재 창원대학교 전자공학과 박사과정
※관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계



허성근(Sung-Kyn Heo)

2008.2 부산대학교 기계공학부 공학사
2007.11 ~ 현재 (주)레이언스 R&D 센터 센서연구소 주임연구원
※관심분야 : 의료용 X-선 영상센서 개발, 성능 평가 분석



김태우(Tae-Woo Kim)

1999.2 경희대학교 원자력공학과 학사
2001.2 경희대학교 원자력공학과 공학석사
2012.2 아주대학교 경영대학원 경영학석사
2001.1 ~ 2008.6 (주)바텍 차세대기술연구소장
2008.7 ~ 2012.9 (주)휴먼레이 센서기술본부장
2012.10 ~ 현재 (주)레이언스 R&D 센터 센서연구소 연구소장
※ 관심분야 : CMOS Image Sensor, X-ray Detector, Dental CT 개발



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사
1983.2 서울대학교 전자공학과 공학석사
1993.2 서울대학교 전자공학과 공학박사
1987.3 ~ 현재 창원대학교 전자공학과 교수
※ 관심분야 : 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과 공학사
1997.2 포항공과대학교 전자전기공학과 공학석사
2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1 ~ 2001.2 현대전자 책임연구원
2001.3 ~ 현재 창원대학교 전자공학과 교수
※ 관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계