

저잡음 · 고신뢰성 Differential Paired eFuse OTP 메모리 설계

김민성 · 김려연 · 학문초 · 하관봉 · 김영희*

Design of Low-Noise and High-Reliability Differential Paired eFuse OTP Memory

Min-Sung Kim · Liyan Jin · Wenchao Hao · Pan-Bong Ha · Young-Hee Kim*

Department of Electronic Engineering, Changwon University, Gyeongnam 641-773, Korea

요 약

본 논문에서는 power IC에서 파워가 ON되어있는 동안 입력 신호인 RD(Read) 신호 포트에 glitch와 같은 신호 잡음이 발생하더라도 파워-업(power-up)시 readout된 DOUT 데이터를 유지하면서 다시 읽기 모드로 재진입하지 못하도록 막아주는 IRD(Internal Read Data) 회로를 제안하였다. 그리고 pulsed WL(Word-Line) 구동방식을 사용하여 differential paired eFuse OTP 셀의 read 트랜지스터에 수 십 μA 의 DC 전류가 흐르는 것을 방지하여 blowing 안된 eFuse 링크가 EM(Electro-Migration)에 의해 blowing되는 것을 막아주어 신뢰성을 확보하였다. 또한 program-verify-read 모드에서 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 갖는 센싱 마진 테스트 기능을 수행하는 동시에 프로그램 데이터와 read 데이터를 비교하여 Pfb(pass fail bar) 핀으로 비교 결과를 출력하는 회로를 설계하였다. $0.18\mu\text{m}$ 공정을 이용하여 설계된 8-비트 eFuse OTP IP의 레이아웃 면적은 $189.625\mu\text{m} \times 138.850\mu\text{m}(=0.0263\text{mm}^2)$ 이다.

ABSTRACT

In this paper, an IRD (internal read data) circuit preventing the reentry into the read mode while keeping the read-out DOUT datum at power-up even if noise such as glitches occurs at signal ports such as an input signal port RD (read) when a power IC is on, is proposed. Also, a pulsed WL (word line) driving method is used to prevent a DC current of several tens of micro amperes from flowing into the read transistor of a differential paired eFuse OTP cell. Thus, reliability is secured by preventing non-blown eFuse links from being blown by the EM (electro-migration). Furthermore, a compared output between a programmed datum and a read-out datum is outputted to the Pfb (pass fail bar) pin while performing a sensing margin test with a variable pull-up load in consideration of resistance variation of a programmed eFuse in the program-verify-read mode. The layout size of the 8-bit eFuse OTP IP with a $0.18\mu\text{m}$ process is $189.625\mu\text{m} \times 138.850\mu\text{m}(=0.0263\text{mm}^2)$.

키워드 : 파워 IC, 저잡음, 고신뢰성, Differential paired eFuse, Program-verify-read mode

Key word : Power IC, Low-noise, High-reliability, Differential paired eFuse, Program-verify-read mode

접수일자 : 2013. 08. 26 심사완료일자 : 2013. 09. 03 게재확정일자 : 2013. 09. 24

* **Corresponding Author** Young-Hee Kim(E-mail:youngkim@changwon.ac.kr, Tel:+82-55-285-1023)

Department of Electronic Engineering, Changwon University, Gyeongnam 641-773, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.10.2359>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

파워(Power) IC 칩은 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 파워 IC 칩에 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP(electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수십 비트 이하가 요구된다[1]. eFuse OTP 메모리는 eFuse에 과전류를 흘려 EM(Electro-Migration)과 thermal rupture와 같은 방식으로 eFuse 링크(link)를 blowing하여 프로그램한다[2][3]. eFuse의 프로그램 이전 저항은 50~100Ω 정도이고, eFuse 링크를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수십 kΩ 이상이 된다[4].

파워 IC 칩은 파워-업 시 외부전원전압이 약 1.7V 이상의 전압이 되면 RST(Reset) 신호를 high에서 low로 스위칭 한다. RST 신호가 low로 disable되면 파워 IC에 있는 로직 컨트롤러(logic controller)는 eFuse OTP 메모리의 프로그램 데이터를 읽어내어 아날로그 회로를 트리밍 한다. 그런데 파워 IC 칩은 큰 스위칭 전류로 인한 파워(power)나 그라운드(ground) 잡음(noise)으로 인해 RD(Read Data) 신호에 불필요한 glitch pulse가 발생할 수 있다. 이와 같은 RD glitch는 비정상적인 읽기 모드(read mode)를 수행하면서 eFuse OTP 셀(cell)의 프로그램 데이터를 정상적으로 읽어내지 못하고 불량 데이터(failed data)를 출력하므로 아날로그 회로의 트리밍에 오동작을 일으키는 문제점이 있다. 그래서 RD glitch에 대한 잡음 면역성(noise immunity)이 강한 저잡음 eFuse OTP 메모리 설계가 요구된다. 그리고 파워 IC의 회로가 패키징(packaging)한 뒤 전기적인 특성의 변화가 일어날 수도 있으므로 단일전원인 VDD를 사용하여 패키지(package) 상태에서 프로그램이 가능한 eFuse OTP 설계가 요구된다[5]. 또한 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 패키지 상태에서 테스트가 가능하도록 프로그램 데이터와 읽기 모드에서 읽혀진 DOUT(Output Data) 데이터를 비교하여 PFb(Pass/Fail bar) 핀으로 비교 결과를 출력하는 설계가 요구된다[1]. 그리고 eFuse OTP 메모리는 데이터 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄었을 때 센싱 불량이 발생하지 않도록 하는 가변 풀-업 부하를 이

용한 센싱 마진 테스트 회로 설계가 요구된다[1].

본 논문에서는 파워 IC 칩의 로직 컨트롤러가 파워 리셋 모드(reset mode) 이후 읽기 모드에서 eFuse OTP 메모리의 프로그램 데이터를 읽어내어 BL(Bit-Line)의 데이터를 DOUT 버퍼(buffer)에 래치(latch)한다. 래치된 DOUT 데이터는 아날로그 회로를 트리밍하며, 파워나 그라운드(ground) 잡음으로 인해 RD 신호에 불필요한 glitch pulse가 발생하더라도 다시 읽기 모드로 재진입하지 못하도록 막아주는 IRD(Internal Read Data) 회로를 제안하였다. 그래서 한 번 읽어낸 DOUT 데이터는 그대로 유지하는 저잡음 eFuse OTP 메모리 설계하였다. 그리고 differential paired eFuse OTP cell을 이용한 eFuse OTP 메모리 설계에서 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 read 데이터가 일치하는지 비교하는 program-verify-read 모드를 지원하는 8-비트 differential paired eFuse OTP 메모리를 설계하였다. 또한 파워 IC 칩의 eFuse OTP 메모리를 패키지 상태에서 단일 전원인 VDD를 사용하여 프로그램하는 회로를 설계하였다. TSMC 0.18μm 공정을 이용하여 설계된 8-비트 eFuse OTP IP의 레이아웃 면적은 189.625μm × 138.850μm(=0.0263mm²)이다.

II. 회로설계

TSMC 0.18μm 공정을 이용하여 설계한 8-비트 eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 1행 × 8열로 구성되어 있다. eFuse OTP 셀은 프로그램된 eFuse 링크의 센싱 저항이 작은 그림 1의 differential paired eFuse OTP 셀[6]을 사용하였으며, eFuse 링크는 n-polysilicon(Co-silicide)을 사용하였다. 동작모드는 프로그램 모드, 읽기 모드, program-verify-read 모드와 리셋 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 읽기 비트는 각각 1비트, 8비트이고 프로그램 시간은 200μs이다. 사용되는 전원전압은 VDD의 단일 전원이 사용되었다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 3.9V가 사용되며, 읽기 모드인 경우 3.0~3.6V가 사용된다. 설계에 사용된 소자는 3.3V MOS 트랜지스터만 사용하여 마스크 수를 줄였다.

표 1. 8-비트 eFuse OTP의 주요 특징

Table. 1 Major specification of a 8-bit eFuse OTP memory

Items	Main Features
Process	TSMC 0.18 μ m process
OTP Cell Array Size	1R X 8C
Fuse Type	n-poly (Co-silicide)
Supply Voltage	3.0V ~ 3.6V
Temperature	-40 $^{\circ}$ C ~ 125 $^{\circ}$ C
Operating Mode	Program 모드
	Program-Verify-Read 모드
	Normal Read 모드
	리셋 모드
Program bit/Read bit	1bit/8bit
Program Voltage	3.9V
Program Time	200 μ s
Access Time	200ns

8-비트 eFuse OTP 메모리 설계에 사용된 differential paired eFuse OTP 셀[6]은 그림 1에서 보는바와 같다. eFuse OTP 셀의 왼쪽 회로(eFuse1, MN1과 MN2)는 프로그램 데이터를 저장하는 부분이고, 오른쪽 회로(eFuse2, MN3와 MN4)는 complementary 프로그램 데이터를 저장하는 부분이다. MN1과 MN3는 큰 프로그램 전류를 흘릴 수 있는 프로그램 트랜지스터이고, MN2와 MN4는 읽기 모드 전류를 줄일 수 있는 읽기용 트랜지스터이다. SL(Source-Line)은 프로그램 모드에서는 3.9V의 프로그램 전압을 인가하여 과전류를 흘려주고, 나머지 동작 모드(읽기 모드, program-verify-read 모드, 리셋 모드)에서는 0V를 구동해 주는 스위칭 전원이다. Differential paired eFuse OTP 셀의 프로그램 데이터가 '1'인 경우 PGM_BL_SEL와 PGM_BLb_SEL 신호는 각각 VDD(=3.9V)와 0V가 인가되어 eFuse1과 MN1 소자를 통해 과전류가 흐르면서 eFuse1이 blowing되는 반면, eFuse2는 MN2가 OFF 상태에 있으므로 blowing되지 않는다. 그리고 프로그램 데이터가 '0'인 경우 MN1은 OFF 상태이고 MN3가 ON 상태에 있으므로 eFuse2가 blowing된다. 읽기 모드 시 RWL 신호에 의해 MN2와 MN4의 NMOS 트랜지스터가 선택되고 풀-업 부하(pull-up load)에 의하여 BL과 BLb(BL bar)의 전압이 풀-업되면 DOUT 버퍼에서 BL과 BLb의 차동전압(differential voltage)을 센싱한다. 동작 모드별 eFuse 셀의 바이어스 전압은 표 2에서 보는바와 같다.

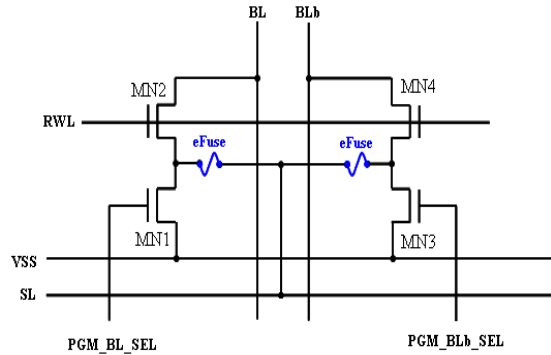


그림 1. Differential paired eFuse OTP 셀 회로도

Fig. 1 Circuit of differential paired eFuse OTP memory cell

표 2. 동작 모드에 따른 셀 바이어스 조건.

Table. 2 Cell bias conditions according to operational modes

	PROGRAM MODE				READ MODE	
	Unselected Cell		Selected Cell			
DIN	0	1	0	1	0	1
RWL	0	0	0	0	VDD	VDD
PGM_BL_SEL	0V	0V	0V	VDD	0V	0V
PGM_BLb_SEL	0V	0V	VDD	0	0V	0V
SL	VDD	VDD	VDD	VDD	0V	0V
BL	Floating	Floating	Floating	Floating	0V	VDD
BLb	Floating	Floating	Floating	Floating	VDD	0V

설계된 8-비트 eFuse OTP 메모리의 블록도는 그림 2에서 보는 바와 같이 1행 × 8열의 OTP 셀 어레이, 제어 신호(RD, PGM, PVR_EN, RST)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[2:0]를 디코딩하여 프로그램 되는 열(column)을 선택해주는 PGM_COL_SEL 회로, 프로그램 데이터를 저장하는 프로그램 데이터 래치(PD latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 프로그램 데이터 래치에 저장된 프로그램 데이터 PD[7:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[7:0]이 일치하는지 비교해주는 비교(Compare) 회로로 구성되어 있다. 1행 × 8열의 OTP 셀 어레이 회로도에는 그림 3에서 보는바와 같이 RWL과 SL은 행(row) 방향이며, BL[7:0], BLb[7:0], PGM_BL_SEL[7:0]와 PGM_BLb_SEL[7:0]는 열 방향으로 라우팅 되어 있다. PD[7:0]와 DOUT[7:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우 정상적으로 프로그램 되었으므로 Pfb 신호는 '1'을 출력

하고, 8-비트 중 한 비트 이상이 불일치하면 '0'를 출력한다. PVR_EN(Program-Verify-Read ENable) 신호는 program-verify-read 모드와 읽기 모드를 구분해 준다. Program-verify-read 모드에서는 프로그램된 eFuse 저장의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 DOUT 데이터가 일치하는지 비교하는 기능을 수행한다.

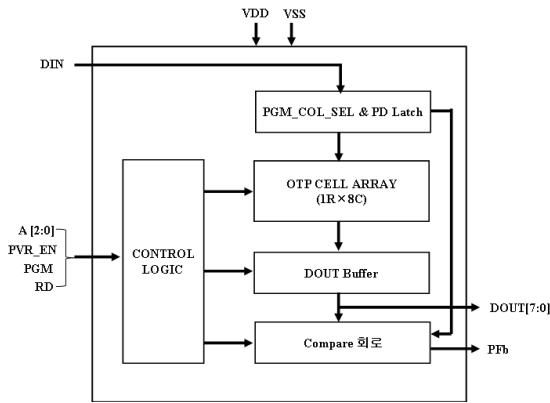


그림 2. 8-비트 eFuse OTP 메모리의 블록도
Fig. 2 Block diagram of 8-bit eFuse OTP memory

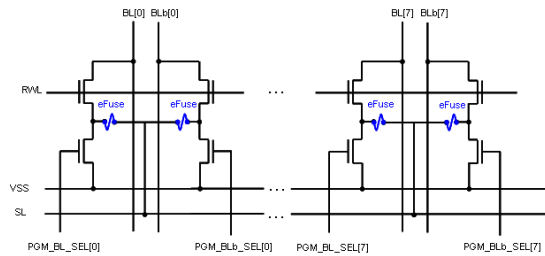


그림 3. 1행 x 8열의 OTP 셀 어레이 회로도
Fig. 3 OTP cell array of 1 row x 8 rows

그림 4(a)는 eFuse OTP IP에서 프로그램 모드에서의 타이밍 다이어그램이다. 프로그램 동작은 어드레스 A[2:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 high로 활성화 되면 선택되는 OTP 메모리 셀에 한 비트의 입력 데이터 DIN을 프로그램하게 된다. 그림 4(b)는 eFuse OTP IP에서 읽기 모드에서의 타이밍 다이어그램이다. 읽기 동작은 READ 신호를 high로 활성화 시키면 8-비트 셀의 데이터가 액세스 시간(access

time) 파라미터인 t_{AC} 시간이 지난 이후 DOUT[7:0] 포트로 출력된다.

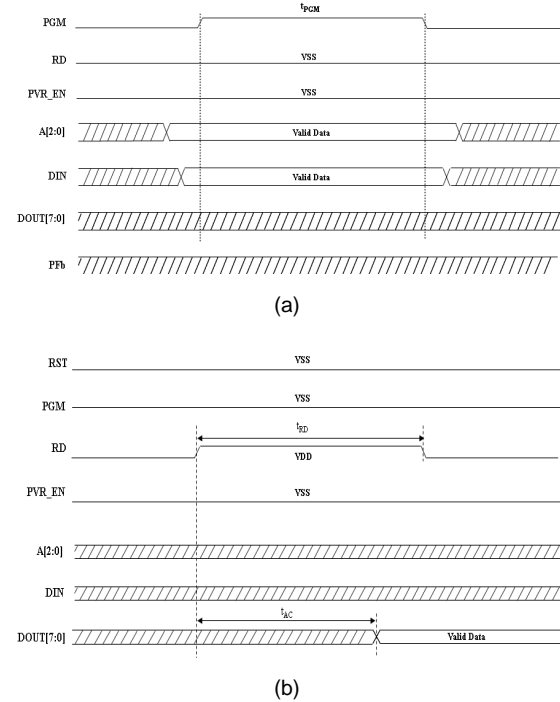


그림 4. eFuse OTP IP 타이밍 다이어그램 (a) 프로그램 모드 (b) 읽기 모드

Fig. 4 Timing diagrams of eFuse OTP IP (a) in the program mode and (b) in the read mode

파워 IC 칩은 파워-업 시 외부전원전압이 약 1.7V 이상의 전압이 되면 RST 신호가 low로 disable되면서 eFuse OTP 메모리의 프로그램 데이터를 읽어내어 아날로그 회로를 트리밍 한다. 그런데 파워 IC 칩은 큰 스위칭 전류로 인한 파워나 그라운드 잡음으로 인해 RD 신호에 불필요한 glitch 펄스가 발생할 수 있다. 이와 같은 RD glitch는 비정상적인 읽기 모드를 수행하면서 eFuse OTP cell의 프로그램 데이터를 정상적으로 읽어내지 못하고 불량인 데이터를 출력하므로 아날로그 회로의 트리밍에 오동작을 일으키는 문제점이 있다. 그래서 본 논문에서는 파워 리셋 모드 이후 읽기 모드에서 eFuse OTP 메모리의 프로그램 데이터를 읽어내어 DOUT 버퍼에 래치한다. 래치된 DOUT 데이터는 아날로그 회로를 트리밍하며, RD 신호에 불필요한 glitch 펄스가 발생

하더라도 다시 읽기 모드로 재진입하지 못하도록 막아 주는 그림 5의 IRD 제어회로를 제안하였다. 제안된 IRD 회로는 RD 신호에 의해 IRD 신호가 low에서 high로 스위칭하면서 읽기 모드로 진입하고 파워가 다운될 때까지 계속 읽기 동작을 수행하게 된다. 그래서 한 번 읽어낸 DOUT 데이터는 그대로 유지하는 저잡음 eFuse OTP 메모리 설계가 가능하다.

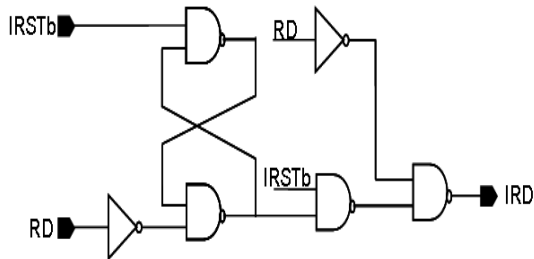


그림 5. 제안된 IRD 제어회로
Fig. 5 Proposed IRD control circuit

그림 6은 differential paired eFuse OTP의 program-verify-read 모드의 타이밍 다이어그램을 보여주고 있다. RD 신호와 PVR_EN 신호를 동시에 high로 활성화 하면 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 read 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다[1].

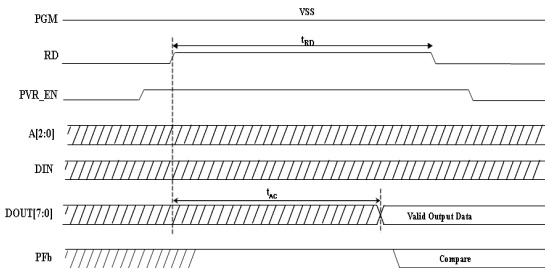


그림 6. Program-verify-read 모드에서의 타이밍 다이어그램
Fig. 6 Timing diagram in the program-verify-read mode

eFuse OTP 셀의 eFuse 링크는 프로그램된 저항이 데이터 retention 시간동안 줄어드는 경우에 센싱 불량 발생될 수 있다. 그래서 프로그램된 eFuse 저항의 변동

을 고려한 가변 풀-업 부하를 갖는 센싱 마진 테스트 회로가 제안되었으며, 본 논문에서도 가변 풀-업 부하 회로를 이용한 센싱 마진 테스트 회로를 설계하였다. 가변 풀-업 부하 회로는 program-verify-read 모드와 읽기 모드에서 사용되는 BL 프리차지 회로의 풀-업 부하의 임피던스를 가변시킨다[1].

그림 7의 풀-업 부하 트랜지스터 중 MP3와 MP4는 OTP IP의 functional test 동안 사용되며, MP1과 MP2는 OFF 된다. Program-verify-read 모드에서 사용되는 BL 풀-업 트랜지스터인 MP3와 MP4의 임피던스는 읽기 모드에서 사용되는 풀-업 트랜지스터인 MP1과 MP2의 임피던스보다 크기 때문에 program-verify-read 모드에서 차동증폭기의 차동 입력전압은 읽기 모드에서의 차동 입력전압보다 줄어들며, 센싱 가능한 eFuse 저항은 읽기 모드보다 커야 한다. 그래서 program-verify-read 모드와 읽기 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 마진 저항이 된다.

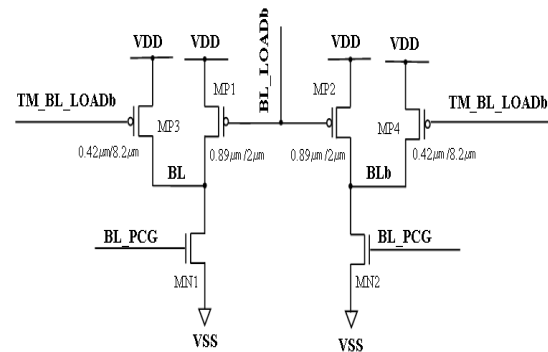


그림 7. BL 풀-업 부하 회로
Fig. 7 BL pull-up load circuit

그림 8의 BL S/A 회로는 차동 입력전압을 센싱하여 래치하는 S/A based D F/F 회로[1]를 사용하였으며, negative edge triggered D F/F이다. SAENb가 high인 구간동안 N1과 N2 노드는 VSS를 유지하며, SR 래치 회로는 이전 상태의 데이터를 래치한다. SAENb가 high에서 low로 활성화되면 BL/BLb 전압을 센싱하여 DOUT/DOUTb 포트에 출력한다. 그림 8(a)와 그림 8(b)는 리셋 모드에서 DOUT을 각각 '0'와 '1'로 리셋하는 회로이다.

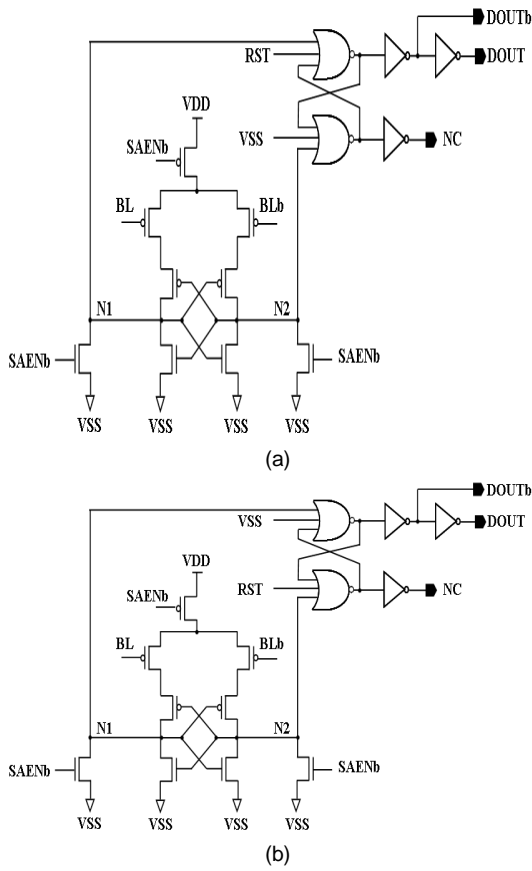


그림 8. S/A based D Flip-Flop 회로를 이용한 BL S/A 회로도 (a) default '0'로 reset하는 회로 (b) default '1'로 reset하는 회로
Fig. 8 BL S/A using S/A-based D flip-flop (a) resetting circuit with a default '0' and (b) resetting circuit with a default '1'

한편 그림 9의 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로[1]는 프로그램 모드 이후 program-verify-read 모드를 수행하면 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[7:0]와 읽혀진 read 데이터인 DOUT[7:0]가 일치하는지 해당되는 비트끼리 데이터를 비교한다. 프로그램 데이터 비교 결과는 PFb 핀으로 출력한다. Program-verify-read 모드에서 PD[7:0]와 DOUT[7:0]가 먼저 셋-업(set-up)된 상태에서 COMP_EN이 high로 활성화된다. 만약 8-비트의 PD[7:0]와 DOUT[7:0]가 비트끼리 모두 일치하면 MATCH는 VDD를 유지하며, PFb 신호는 VDD로

출력한다. 만약 8-비트의 데이터 중 한 비트 이상 다르다면 MATCH 신호는 0V로 방전되어 PFb는 0V를 출력한다.

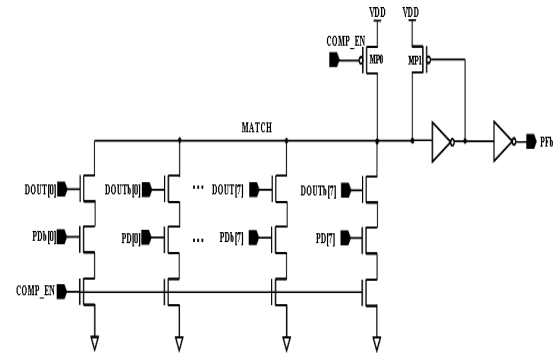


그림 9. Dynamic Pseudo NMOS 로직을 이용한 8비트 프로그램 데이터 비교회로
Fig. 9 Comparing circuit of 8-bit program datum using a dynamic pseudo NMOS logic

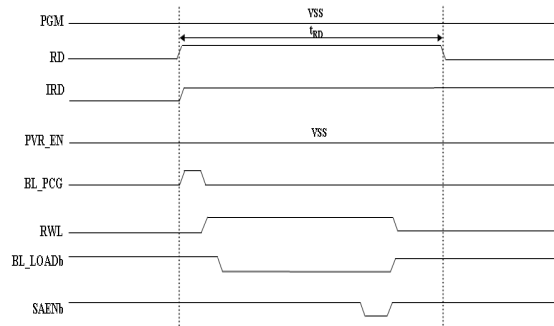


그림 10. Normal read 모드에서 OTP 코어 회로의 제어 타이밍 다이어그램
Fig. 10 Control timing diagram of OTP core circuit in the normal read mode

그림 5의 제안된 IRD 회로는 그림 10의 읽기 모드에서 OTP 코어 회로의 제어 타이밍 다이어그램에서 보는 바와 같이 RD 신호에 의해 IRD 신호가 low에서 high로 스위칭하면서 읽기 모드로 진입한다. 읽기 모드로 진입하게 되면 RWL 신호에 의해 OTP 셀의 데이터가 BL/BLb에 전달되고 SAENb 신호에 의해 센싱 동작이 일어난다. 만약 RWL 신호가 high 상태를 계속 유지하게 되면 그림 1의 RWL에 연결된 read 트랜지스터와 그림 7의 BL 풀-업 부하 트랜지스터가 항상 ON되어 있으며

로 blowing 앞된 eFuse 링크를 통해 수십 μA 의 DC 전류가 파워가 ON되어있는 동안 계속 흐르게 된다. 이 DC read 전류는 10년의 retention 시간 안에 blowing되지 않은 eFuse 링크가 EM에 의해 blowing될 수 있다. 본 논문에서는 pulsed WL 구동 방식을 채택하여 BL 센싱 동작이 끝나자마자 바로 RWL에 연결된 read 트랜지스터를 OFF 시켰다. 그래서 read 트랜지스터를 통해서 흐르는 DC 전류를 차단시키므로 고신뢰성을 확보하였다.

패키지 상태에서 eFuse OTP를 프로그램이 가능하도록 스위칭 전원인 SL 스위칭 회로[5]를 사용하였다. 단일전원인 VDD만 사용해서 eFuse OTP를 프로그램하는 경우 프로그램 모드에서 프로그램 데이터는 그림 1에서 보여지는 프로그램 트랜지스터(MN1과 MN3)의 게이트에 공급되고, 스위칭 전압인 SL을 통해 프로그램 전압을 공급하여 eFuse를 blowing하는 것이다. 그리고 SL 전압은 읽기 모드에서 0V를 유지한다. 프로그램 모드에서 VDD와 VSS metal line의 스위칭 전류로 인한 I-R 전압 강하를 줄이도록 설계된 SL 스위칭 회로를 보여주고 있다.

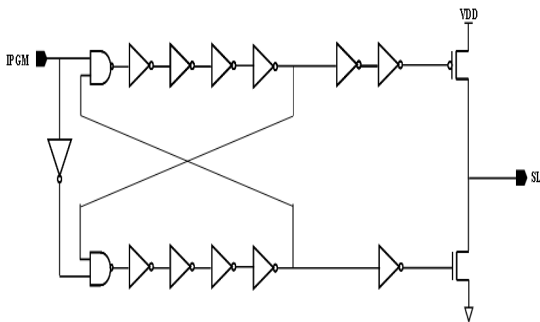


그림 11. SL 스위칭 회로
Fig. 11 SL switching circuit

III. 모의실험 및 레이아웃 결과

그림 12는 8-비트 eFuse OTP 메모리에 대한 읽기 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. IRD 신호는 RD가 high에서 low로 스위칭 하더라도 IRD는 계속 high 상태를 유지하여 다시 읽기 모드로 재진입하지 못

하도록 막아주며, 한 번 읽어낸 DOUT 데이터는 그대로 유지한다.

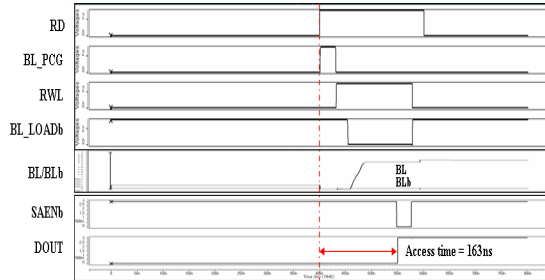


그림 12. 읽기 모드에서의 모의실험 결과
Fig. 12 Simulation result in the read mode

TSMC 0.18 μm 공정을 이용하여 8-비트 eFuse OTP 메모리를 설계하였다. 표 3은 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다.

표 3. 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과 (a) 읽기 모드 (b) program-verify-read 모드

Table. 3 Simulation results of sensing resistances of programmed eFuse links (a) in the read mode and (b) in the program-verify-read mode

(a)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0V	-40 $^{\circ}\text{C}$	4K	3K	4K	4K	3K
	25 $^{\circ}\text{C}$	5K	4K	4K	4K	4K
	125 $^{\circ}\text{C}$	5K	4K	5K	5K	4K
3.3V	-40 $^{\circ}\text{C}$	3K	3K	3K	3K	3K
	25 $^{\circ}\text{C}$	4K	3K	3K	4K	3K
	125 $^{\circ}\text{C}$	4K	4K	4K	4K	4K
3.6V	-40 $^{\circ}\text{C}$	3K	3K	3K	3K	2K
	25 $^{\circ}\text{C}$	3K	3K	3K	3K	3K
	125 $^{\circ}\text{C}$	4K	3K	3K	4K	3K

(b)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0V	-40 $^{\circ}\text{C}$	30K	24K	26K	29K	22K
	25 $^{\circ}\text{C}$	33K	28K	30K	33K	26K
	125 $^{\circ}\text{C}$	43K	34K	37K	40K	31K
3.3V	-40 $^{\circ}\text{C}$	25K	20K	21K	23K	19K
	25 $^{\circ}\text{C}$	29K	23K	25K	27K	22K
	125 $^{\circ}\text{C}$	35K	27K	29K	32K	25K
3.6V	-40 $^{\circ}\text{C}$	20K	16K	17K	18K	15K
	25 $^{\circ}\text{C}$	23K	19K	20K	22K	17K
	125 $^{\circ}\text{C}$	29K	23K	24K	26K	21K

VDD=3.6V, FF 모델 파라미터, -40°C의 모의실험 조건에서 program-verify-read 모드와 읽기 모드에서의 센싱 저항은 각각 15kΩ, 2kΩ으로 모의실험되었다. 이 경우 프로그램된 eFuse 저항이 13kΩ 이하로 떨어지지 않는 이상 정상적으로 센싱이 가능하다.

그림 13은 VDD=3.3V, typical model parameter, Temp.=25°C에서 8-비트 differential paired eFuse OTP 메모리에 대한 program-verify-read 모드에서의 HSPICE 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. 그 이후 COMP_EN 신호가 high로 활성화되면서 PFB는 PD와 DOUT의 비교 결과를 출력한다.

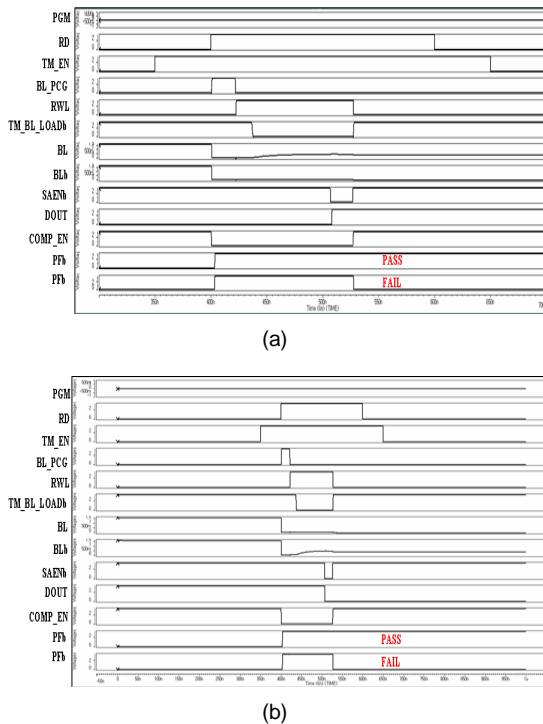


그림 13. Program-verify-read 모드에서의 모의실험 결과 (a) '1'로 프로그램된 경우 (b) '0'로 프로그램된 경우

Fig. 13 Simulation results in the program-verify-read mode (a) in case of being programmed with '1' and (b) in case of being programmed with '0'

그림 14는 설계된 8-비트 eFuse OTP 메모리의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은 189.625μm × 138.850μm(=0.0263mm²)이다.

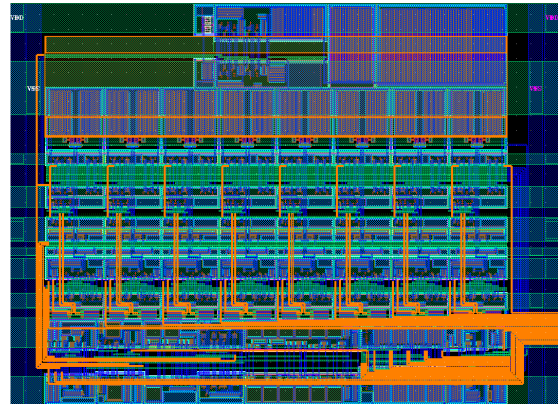


그림 14. 설계된 8-비트 eFuse OTP 메모리의 레이아웃 이미지
Fig. 14 Layout image of the designed 8-bit eFuse OTP memory

IV. 결론

본 논문에서는 파워 IC 칩의 로직 컨트롤러가 파워 리셋 모드 이후 읽기 모드에서 eFuse OTP 메모리의 프로그램 데이터를 읽어내어 BL의 데이터를 DOUT 버퍼에 래치한다. 래치된 DOUT 데이터는 RD 신호에 불필요한 glitch 펄스가 발생하더라도 다시 읽기 모드로 재진입하지 못하도록 막아주는 IRD 회로를 제안하였다. 그래서 한 번 읽어낸 DOUT 데이터는 그대로 유지하는 저잡음 eFuse OTP 메모리 설계하였다. 만약 RWL 신호가 high 상태를 계속 유지하게 되면 blowing 안된 eFuse 링크를 통해 흐르는 전류는 수십 μA의 DC 전류가 파워 ON되어있는 동안 계속 흐르게 된다. 이 DC read 전류를 차단하기 위해서 pulsed WL 구동 방식을 적용하였다.

그리고 differential paired eFuse OTP cell을 이용한 eFuse OTP 메모리 설계에서 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀업 부하를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 DOUT 데이터가 일치하는지 비교하는 program-verify-read 모드를 지원하는 8-비트 differential paired eFuse OTP 메모리를 설계하였다. 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀업 부하를 이용하여 VDD=3.6V, FF 모델 파라미터, -40°C에서 program-verify-read 모드와 읽기 모드에서의 센싱 저항은 각각 15kΩ, 2kΩ으로 모

의실험되었다.

이 경우 프로그램된 eFuse 저항이 13kΩ 이하로 떨어지지 않는 이상 정상적으로 센싱이 가능하다. Program-verify-read 모드에서 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 DOUT 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다. 이렇게 하므로 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 알 수 있다. TSMC 0.18μm 공정을 이용하여 설계된 8-비트 eFuse OTP IP의 레이아웃 면적은 189.625μm × 138.850μm(=0.0263mm²)이다.

감사의 글

본 논문은 미래창조과학부 지원으로 ETRI SW-SoC융합 R&BD센터의 연구결과입니다.

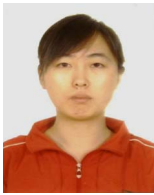
REFERENCES

- [1] Young-Bae Park et al., "Design of High-Reliability Differential Paired eFuse OTP Memory for Power ICs", J. Korea Inst. Inf. Commun. Eng., pp.405-413, Feb. 2013.
- [2] J. Safran et al., "A compact eFuse programmable array memory for SOI CMOS," Symposium on VLSI Circuits, pp. 72-73, June 2007.
- [3] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.
- [4] M. Alavi et al., "A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process," IEEE International Electron Devices Meeting, pp. 855-858, Dec. 1997.
- [5] Liyan Jin et al., "Design of eFuse OTP Memory Programmable in the Post-Package State for PMICs", J. Korea Inst. Inf. Commun. Eng., pp.1734-1740, Aug. 2012.
- [6] J. H. Jang et al., "Design of an 8 bit differential paired eFuse OTP memory IP reducing sensing scheme," Journal of Central South University of Technology, pp. 168-173, Jan. 2012.



김민성(Min-Sung Kim)

2011.2 창원대학교 전자공학과 공학사
 2013.2 창원대학교 전자공학과 석사
 2013.3 ~ 현재 창원대학교 전자공학과 박사과정
 ※관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계



김려연(Jinliyan)

2007.7 연변대학교 컴퓨터공학과 공학사
 2009.9 창원대학교 전자공학과 석사
 2009.9 ~ 현재 창원대학교 전자공학과 박사과정
 ※관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계



학문초(Wenchao Hao)

2012.8 연변대학교 전자공학과 공학사
 2012.9 ~ 현재 창원대학교 전자공학과 석사과정
 ※관심분야 : Non-Volatile memory 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사
1983.2 서울대학교 전자공학과 공학석사
1993.2 서울대학교 전자공학과 공학박사
1987.3 ~ 현재 창원대학교 전자공학과 교수
※관심분야 : 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과 공학사
1997.2 포항공과대학교 전자전기공학과 공학석사
2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1 ~ 2001.2 현대전자 책임연구원
2001.3 ~ 현재 창원대학교 전자공학과 교수
※관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계