

아날로그 상관기와 인접픽셀 기반의 영상 윤곽선 검출기

Image Edge Detector Based on Analog Correlator and Neighbor Pixels

이상진, 오광석, 남민호, 조경록
충북대학교 전자정보대학 정보통신공학과

Sang-Jin Lee(sjlee@hbt.cbnu.ac.kr), Kwang-Seok Oh(ohks@siliconworks.co.kr),
Min-Ho Nam(mhnam@hbt.cbnu.ac.kr), Kyoungrok Cho(krcho@cbnu.ac.kr)

요약

본 논문에서는 하드웨어 기반의 영상 신호 윤곽선 검출을 위한 하드웨어기반의 알고리즘으로 CMOS 이미지 센서의 인접픽셀과 아날로그 상관기로 구성되는 윤곽선 검출기를 제안한다. 제안하는 이미지 윤곽선 검출기는 각 열(column)마다 비교기를 공유하고, 비교기는 기준전압과 비교를 통해 대상 픽셀의 윤곽선 여부를 판별한다. 이미지 센서와 직접적으로 연결된 윤곽선 검출 회로는 기존의 연구와 비교하여 면적은 4배, 그리고 전력소모는 20 % 감소하는 결과를 보였다. 또한 외부에서 기준전압을 제어할 수 있어, 윤곽선 검출의 민감도를 조절하기에 유용한 장점을 가진다. 0.18 μm CMOS 공정에서 제작된 칩은 34%의 fill factor를 가지며, 픽셀 당 0.9 μW 의 전력소모를 가진다.

■ 중심어 : | 윤곽선 검출 | 아날로그 상관기 | CMOS 이미지 센서 |

Abstract

This paper presents a simplified hardware based edge detection circuit which is based on an analog correlator combining with the neighbor pixels in CMOS image sensor. A pixel element of the edge detector consists of an active pixel sensor and an analog correlator circuit which connects two neighbor pixels. The edge detector shares a comparator on each column that the comparator decides an edge of the target pixel with an adjustable reference voltage. The circuit detects image edge from CIS directly that reduces area and power consumption 4 times and 20%, respectively, compared with the previous works. And also it has advantage to regulate sensitivity of the edge detection because the threshold value is able to control externally. The fabricated chip has 34% of fill factor and 0.9 μW of power per a pixel under 0.18 μm CMOS technology.

■ keyword : | Edge Detection | Analog Correlator | CMOS Image Sensor |

1. 서론

윤곽선(edge)은 영상에서 밝기가 급격히 변화하는 지점, 즉 밝기의 불연속이 일어나는 지점을 의미한다. 윤곽선 검출(edge detection)은 디지털 영상에서 윤곽

선에 해당하는 픽셀을 식별하기 위한 방법이다. 대부분의 윤곽선 검출 알고리즘에서는 대상픽셀과 주변픽셀과의 밝기차이를 비교하는 방법을 사용한다. 이미지의 윤곽선 검출은 일반적으로 이미지를 보정하거나, 특징을 부각시키기 위한 이미지 전처리 과정에서 사용된다.

* 이 논문은 2011년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

접수일자 : 2013년 08월 19일

수정일자 : 2013년 10월 11일

심사완료일 : 2013년 10월 14일

교신저자 : 조경록, e-mail : krcho@cbnu.ac.kr

윤곽선 검출 알고리즘에는 Sobel, Prewitt, Roberts, Canny 등의 여러 가지 마스킹을 통한 기법이 존재한다. 일반적으로 윤곽선 검출은 소프트웨어 기반으로 수행된다. 하드웨어 기반의 윤곽선 검출을 위해서는 마이크로프로세서 기반의 소프트웨어나 별도의 DSP(digital signal processor)가 요구된다[1-7].

윤곽선 검출을 위해 별도의 프로세서나 DSP를 갖는 것은 시스템의 크기를 매우 증가시킨다. 따라서, 윤곽선 검출 알고리즘을 간소화하여 하드웨어 기반으로 구현하여 이 문제를 해결할 수 있다. Wilson[8]은 하드웨어 기반의 윤곽선 검출을 위한 VLSI 구조를 제안하였다. 이 구조는 윤곽선 검출을 위해 저항 네트워크를 이용하기 때문에 비교적 높은 동작 전압과, 큰 픽셀의 크기를 갖는 단점이 있다. Yin[9]은 플로팅 게이트 제어기법을 사용하여 매우 높은 frame rate를 갖는 하드웨어 기반의 윤곽선 검출기를 구현하였다. 비교적 간단한 4T-APS 구조를 사용하였으나, 회로가 복잡하여 픽셀의 크기가 큼에도 불구하고 fill factor가 낮은 단점이 있다.

본 논문에서는 하드웨어 기반의 윤곽선 검출을 위하여, i) 기존의 윤곽선 검출 알고리즘을 간소화 하고, ii) 아날로그 상관기(analog correlator) 기반의 윤곽선 검출 회로 및 시스템을 제안한다. 제안하는 알고리즘은 하드웨어 설계를 고려하여 기존의 윤곽선 검출 알고리즘에 비하여 적은 수의 픽셀로 윤곽선을 검출한다. 아날로그 상관기는 포토다이오드(photodiode)로 부터의 빛의 신호를 A/D(analog-to-digital) 변환하지 않고, 인접한 픽셀들과의 비교로 윤곽선 검출이 가능하다. 윤곽선 검출 회로의 각 픽셀은 포토다이오드를 포함하는 이미지 센서와 아날로그 상관기를 가진다. 제안된 윤곽선 검출 알고리즘 및 회로는 0.18 μm CMOS 공정을 이용하여 검증하였다. 64 x 64 크기의 배열로 이루어진 윤곽선 검출회로는 34 %의 fill factor를 가지며, 1.8V의 공급전압에서 픽셀 당 전력소모는 0.9 μW 이다.

본 논문의 II장에서는 기존의 윤곽선 검출 알고리즘과 제안하는 윤곽선 검출 알고리즘에 대하여 알아보고, III장에서는 제안하는 하드웨어 윤곽선 검출 회로와 동작에 대하여 알아본다. 4장에서는 실험결과를 제시하고 기존의 하드웨어 기반의 윤곽선 검출 결과와 제안하는

회로의 검출 결과를 비교한다. 마지막으로 5장에서 결론을 맺는다.

II. 윤곽선 검출 알고리즘

윤곽선(edge)이란 물체의 외각을 나타내는 선으로 정의된다. 즉, 영상에서 밝기의 급격한 변화가 있는 부분을 윤곽선이라 할 수 있다. 윤곽선은 농담치가 급격히 변하는 부분이기 때문에 함수의 변화분을 취하는 미분 연산이 윤곽선 검출에 사용될 수 있다. 농담 분포를 나타낸 1차 미분(gradient)은 크기와 방향을 가진 벡터 양으로 표현된다. 즉, 수평, 수직방향으로의 미분은 어느 한 점을 기준으로 할 때 중심 픽셀의 상하좌우에 해당하는 픽셀들의 차이를 구하여 얻을 수 있다. 비교하는 픽셀의 수가 많아질수록 높은 정확도와 고해상도의 결과물을 얻을 수 있다.

대부분의 윤곽선 검출 알고리즘은 대상 픽셀을 기준으로 4개 또는 그 이상의 픽셀을 비교한다[2]. 또한 단순히 윤곽선 맵을 얻거나 고해상도의 이미지를 요구하지 않는 어플리케이션의 경우에는 그 과정을 축소할 수 있다. 본 논문에서 제안하는 알고리즘은 1차 미분을 통하여 윤곽선을 추출한다는 점에서는 기존의 알고리즘과 같지만, 대상픽셀과 왼쪽픽셀을 x방향으로 1차 미분한 값과 대상픽셀과 위쪽 픽셀을 y방향으로 1차 미분한 값의 합을 통하여 결과물을 얻는다. 제안하는 알고리즘은 gray scale 이미지를 대상으로 한다. [그림 1]과 같이 대상(target) 픽셀을 'T'로 설정했을 때, 대상 픽셀의 위쪽(up) 픽셀을 'U', 왼쪽(left) 픽셀을 'L'로 정의한다. 윤곽선 검출을 위하여 세 개의 픽셀간의 차를 기준 값과 비교하여야 한다.

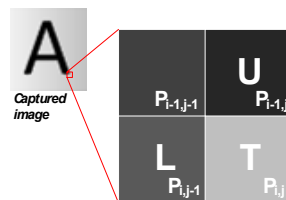


그림 1. 제안하는 윤곽선 알고리즘의 대상픽셀(T), 인접한 왼쪽 픽셀(L), 그리고 위쪽 픽셀(U)

제안하는 하드웨어 기반의 윤곽선 검출 알고리즘에서는 세 개의 픽셀간의 차를 구한 후, 높은 기준(high reference)과 낮은 기준(low reference)에 비교된다. 윤곽선은 식(1)에 의하여 판정한다.

$$High\ Ref. \geq \left(\frac{|T-U|}{2} + \frac{|T-L|}{2} \right) \geq Low\ Ref. \quad (1)$$

윤곽선으로 판정되지 않는 경우는 다음과 같다.

$$\left(\frac{|T-U|}{2} + \frac{|T-L|}{2} \right) > High\ Ref.$$

$$\text{또는, } Low\ Ref. > \left(\frac{|T-U|}{2} + \frac{|T-L|}{2} \right) \quad (2)$$

여기서 기준 값은 윤곽선의 검출레벨을 결정하는 값으로써 하드웨어 기반의 윤곽선 검출에서는 비교기의 기준전압이 된다. 한 번의 연산에서 하나의 대상픽셀의 윤곽선을 결정하며, 반복되는 과정을 통해 윤곽선 맵을 생성한다.

III. 하드웨어 기반의 윤곽선 검출회로

본 논문에서 제안하는 하드웨어 기반의 윤곽선 검출 시스템을 [그림 2]에 나타내었다. 제안하는 윤곽선 검출 알고리즘은 하나의 프로세싱 유닛(P_{ij})이 T, U, L 세 개의 픽셀의 밝기차이를 계산한다. 따라서 두 라인이 동시에 동작해야 하므로 RST와 WL 각각의 신호를 디코더를 통하여 두 라인에 동시에 인가된다.

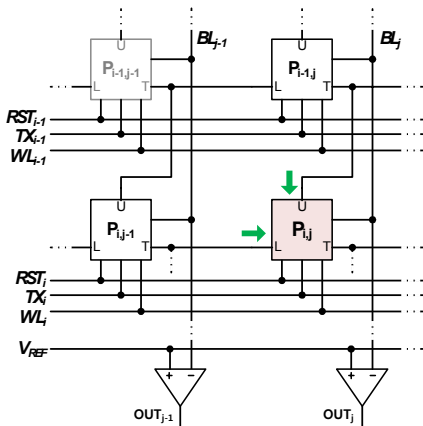


그림 2. 제안하는 윤곽선 검출 시스템의 구조

하나의 프로세싱 단위는 빛의 세기를 아날로그 값으로 변환하기 위한 APS와 아날로그 상관기 회로로 구성된다. 각 유닛의 APS는 RST와 WL 신호를 통하여 동작이 제어된다. 하나의 아날로그 상관기에는 T, U, L 3개의 입력이 필요하며, 회로의 출력은 열(column)마다 공유되어 있는 BL(bit line)을 통하여 비교기로 입력된다. 비교기는 상관기에서 얻어진 전압을 외부에서 입력되는 기준전압(V_{REF})을 통하여 '1' 또는 '0'의 디지털 값으로 출력한다. 기준전압은 윤곽선 검출 레벨을 조절하며, 기준전압에 따라 윤곽선 검출의 감도가 달라진다.

1. Active Pixel Sensor (APS)

APS는 빛을 전기적인 신호로 바꿔주는 포토다이오드를 포함한 CMOS 이미지 센서이다. 포토다이오드는 빛의 세기에 따라 서로 다른 전압강하를 보인다. [그림 3]은 제안된 회로에 사용된 APS의 회로이다. 일반적인 3T-APS 구조를 윤곽선 검출 회로의 아날로그 상관기의 입력으로 사용하기 위해 구조가 수정되었다. APS의 초기화를 위한 RST 신호가 인가되면 포토다이오드의 PD 노드의 전압은 공급전압 수준만큼 충전되며, 초기화가 끝나면 PD 노드의 전압은 방전되기 시작한다. 포토다이오드에 입사되는 빛의 세기에 따라 방전되는 속도가 달라진다[11].

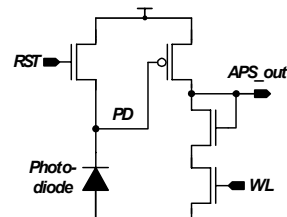


그림 3. 제안된 윤곽선 검출기의 APS 구조

2. 아날로그 상관기

아날로그 상관기는 두 개의 다른 값을 가지는 아날로그 입력을 받아서 두 입력을 비교한다. 비교 대상이 되는 아날로그 입력과 기준이 되는 기준 입력을 비교하여 기준 입력 값보다 크면 high, 작으면 low의 값을 출력한다. 아날로그 비교기의 구현방법에는 여러 가지가 있

는데, Delbruck이 제안한 bump 회로는 아날로그 상관기 중 하나이다[12].

제안하는 윤곽선 검출기의 아날로그 상관기는 [그림 4]에 나타나 있고, bump 회로와 유사하게 간단한 전류 상관기의 구조를 가진다. 아날로그 상관기의 출력은 입력 값들의 차이가 가장 작을 때 최대 전류를 흘리는 가우시안 분포 특성을 보인다. 대상픽셀 APS로부터의 입력 APS_T 와 인접한 픽셀의 APS로부터의 입력 APS_L 과 APS_U 를 받아들여 비교기와 함께 식 (1)과 (2)에 해당하는 동작을 수행한다. 윤곽선 판정을 위하여 비교기에서 기준 값과 두 번의 비교가 수행된다.

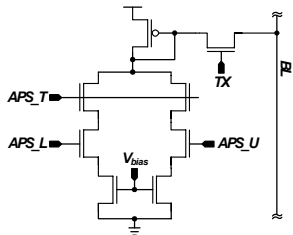


그림 4. 제안된 아날로그 상관기의 회로

3. 제안하는 윤곽선 검출 회로의 동작

회로의 동작을 위한 각 신호의 타이밍을 [그림 5]에 나타내었다. 본 논문에서 제안한 윤곽선 검출 알고리즘은 대상픽셀(T), 위쪽(U), 왼쪽픽셀(L)이 하나의 프로세싱 유닛이 되므로 한 번에 두 개의 워드라인을 활성화 시켜야한다. 따라서 RST 와 WL 신호가 디코더를 통하여 두 워드라인에 동시에 입력된다. APS는 동작 초기에 RST 신호가 high로 유지된다. [그림 3]의 회로에서 RST 전압은 PD노드가 충분히 ($V_{DD}-V_{TH}$)만큼 충전될 수 있는 시간만큼 인가된다. 여기서 V_{TH} 는 초기화를 위한 nMOS 트랜지스터의 문턱전압(threshold voltage)이다. 입사되는 빛에 의해서 포토다이오드 내부에 광전류가 생성된다. RST 신호가 low로 바뀌고, PD 노드의 전압은 전압강하를 시작한다. 전압강하 영역에서 각각의 빛의 세기에 대하여 충분히 구분 가능한 범위 내에서 WL 신호의 인가 시기가 결정된다.

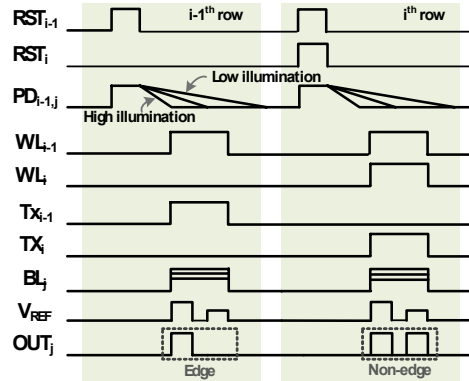


그림 5. 제안하는 윤곽선 검출회로의 구조

[그림 3]의 PD 노드는 T_{INT} 동안 integration 시간을 갖는다고 가정하면, RST 의 신호의 주기는 T_{RST} 로 정의하고, 전체 픽셀 배열의 행의 개수를 N 이라고 정의한다면, 하나의 픽셀을 처리하는데 $T_{INT}+T_{RST}$ 의 시간이 소요되고, 두 개의 라인이 동시에 처리되므로 한 개의 프레임을 처리하는데 약 $(T_{INT}+T_{RST}) * N$ 의 시간이 소요된다.

아날로그 상관기는 대상픽셀(T), 왼쪽픽셀(L), 그리고 위쪽픽셀(U)의 출력 전압을 통해 두 개의 전류 경로의 전류 합을 얻는다. 최종 출력단의 비교기로 전달된 아날로그 상관기의 출력 전압은 외부에서 입력된 기준 전압에 의하여 high 또는 low로 출력한다. 윤곽선 판정은 [그림 5]의 OUT 노드의 파형에 점선으로 표시된 부분에서 두 번의 기준전압과의 비교를 통해서 이루어지는데 판정기준은 [표 1]과 같다. 제작된 회로에서는 높은 기준전압(High Ref.)은 $V_{REF,H}$ 를, 낮은 기준전압(Low Ref.)은 $V_{REF,L}$ 를 의미한다. 아날로그 상관기의 출력인 BL 노드의 전압이 두 기준전압 사이에 나타나는 경우에만 윤곽선으로 판정된다.

표 1. 비교기를 통한 윤곽선 판정

High Ref. 비교	Low Ref. 비교	윤곽선 여부
0	0	X
1	0	O
1	1	X

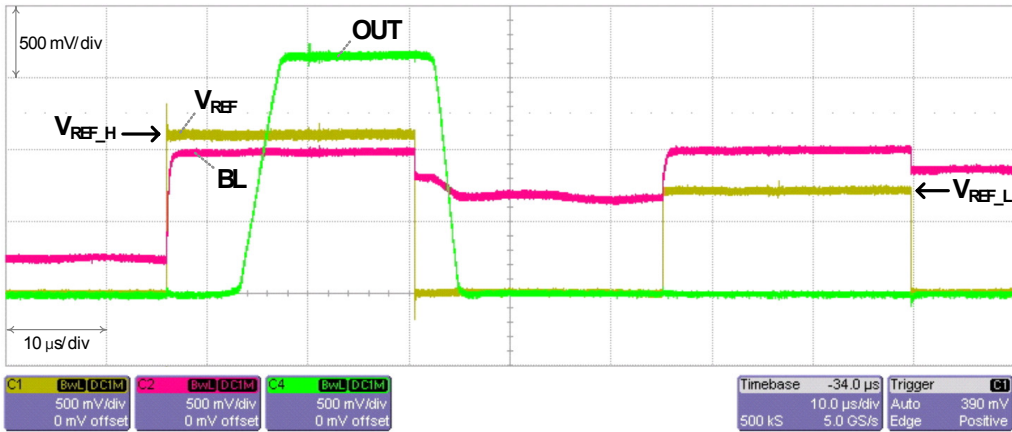


그림 6. 윤곽선으로 판정된 경우의 0.18 μm CMOS 공정에서 제작된 칩에서 측정된 파형

IV. 실험 결과 및 비교

본 논문에서 제안한 윤곽선 검출 회로는 IDEC의 지원을 받아 0.18 μm CMOS 공정에서 제작되었으며, p-type substrate 위에 n+ diffusion을 하여 포토다이오드를 구현하였다[13-15]. 64 x 64 크기의 픽셀 배열 크기를 가지며, 픽셀의 크기는 15 μm x 15 μm 이고 34%의 fill factor를 갖도록 설계되었다. 배열의 각 열(column)은 외부에서 비교기로 인가되는 기준 전압을 통하여 윤곽선을 판정한다. 제작된 칩의 사진 및 기능 블록의 구성을 [그림 7]에 나타내었다. 칩은 입력신호 생성을 위한 마이크로프로세서와 Agilent 16803A 로직 분석기를 이용하여 측정되었다.

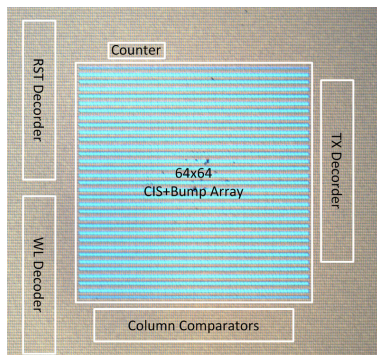


그림 7. 제작된 칩의 사진 및 기능 블록의 구성

APS의 출력은 아날로그 상관계로 인가되고, 비교기의 비교를 통해 식 (1), (2)의 연산을 수행한다. 제안한 윤곽선 검출 회로의 측정 결과를 [그림 6]에 나타내었다. 여기서, BL은 픽셀의 아날로그 상관계의 출력 전압, VREF는 비교기로 인가되는 기준 전압, 그리고 OUT은 비교기의 출력 전압이다. 여기서 높은 기준전압 VREF_H는 1.1 V 이고, 낮은 기준전압 VREF_L은 0.7 V 이다. 첫 번째 비교에서 비교기 출력 OUT은 '1'이고, 두 번째 비교에서는 '0'이 출력되었다. [표 1]에서와 같이 윤곽선으로 판정되는 경우에 해당한다.

비교기의 기준전압을 조절함에 따라 다양한 레벨의 윤곽선 검출결과물을 얻을 수 있다. [그림 8]은 기준전압의 변화에 따른 윤곽선 검출 결과물이다. 영상에 따라 기준전압이 달라질 수 있다. 여기서 높은 기준전압 VREF_H는 1.1 V에 고정시키고, 낮은 기준전압 VREF_L은 각각 1 V, 0.8 V, 그리고 0.7 V로 변화하였을 때의 결과를 나타내었다. 기준전압을 감소시킴에 따라 윤곽선 검출의 민감도가 증가하는 것을 볼 수 있다. 측정 결과에 따르면 높은 기준전압 VREF_H의 약 60%에 해당하는 0.7 V의 낮은 기준전압 VREF_L에서 가장 높은 검출율을 보였다. 제안한 윤곽선 검출 알고리즘은 비교적 간단하게 윤곽선 검출이 가능하며, [그림 1]의 알고리즘으로 윤곽선을 검출하기 때문에 물체의 오른쪽보다는 왼쪽 윤곽선 검출에 유리한 특성을 보인다.

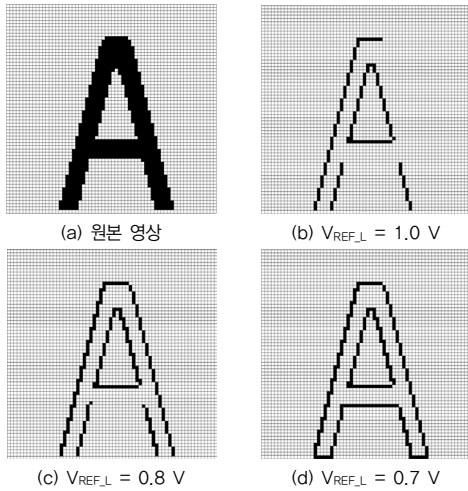


그림 8. 기준전압 변화에 따른 윤곽선 검출 민감도의 변화

제안하는 회로는 공급전압으로 1.8 V를 사용하였으며, 픽셀 당 0.9 μ W의 전력을 소모한다. 기존에 연구되었던 하드웨어 기반의 윤곽선 검출과 제안한 회로와의 비교를 [표 2]에 나타내었다. 제안한 회로는 윤곽선 검출 알고리즘의 간소화를 통해 3T-APS 구조와 비교적 적은 수의 트랜지스터로 아날로그 상관기를 포함하는 픽셀을 구성하였다. 윤곽선 검출 알고리즘의 간소화로 상대적으로 저전력 구동을 가능케 하였으며, 충분한 fill factor를 확보하였다.

표 2. 기존 회로와 제안한 회로와의 비교

	[8]	[9]	[16]	제안한 회로
공정	2 μ m	0.18 μ m	0.35 μ m	0.18 μ m
픽셀 당 Tr. 개수	21	13	22	15
픽셀면적	118x118 μ m ²	25x25 μ m ²	40x35 μ m ²	15x15 μ m ²
Fill factor	18 %	15.3 %	8 %	34 %
Frame rate	-	600 fps	25 fps	24.8 fps
픽셀 당 전력소비	6.8 μ W	-	1.52 μ W	0.9 μ W
공급전압	5 V	3.3 V	3.3 V	1.8 V

V. 결론

본 논문에서는 APS와 아날로그 상관기를 이용한 하드웨어 기반의 윤곽선 검출 회로를 제안하였다. 기존의 윤곽선 검출 알고리즘을 간소화하기 위하여 대상픽셀을 포함한 3개의 픽셀로 대상픽셀의 윤곽선 여부를 판별하였다. 각 픽셀은 아날로그 상관기 회로를 통하여 픽셀간의 밝기 차이를 비교하고, 비교된 출력값은 비교기를 통하여 최종적으로 윤곽선맵을 생성한다. 본 논문에서 제안하는 회로는 비교기의 기준전압을 이용하여 윤곽선 검출 레벨을 조절할 수 있다. 또한 간소화된 알고리즘을 통하여 제한된 픽셀 내에서 비교적 적은수의 트랜지스터로 구성하여 기존회로대비 면적은 약 18.7%, fill factor는 약 16%가 증가 하였다.

참고 문헌

- [1] W. Xiao and X. Hui, "An Improved Canny Edge Detection Algorithm based on Predisposal Method for Image Corrupted by Gaussian Noise," World Automation Congress (WAC) 2010, pp.113-116, 2010(9).
- [2] Y. Fan, G. Cui, and F. Lei, "Application of Edge Detection Algorithm Based on Morphology in Robot Vision System," International Conference on Intelligent Human-Machine Systems and Cybernetics 2009, Vol.1, pp.304-307, 2009(8).
- [3] W. Gao, L. Yang, X. Zhang, B. Zhou, and C. Ma, "Based on Soft-threshold Wavelet De-noising Combining with Prewitt Operator Edge Detection Algorithm," 2nd International Conference on, Education Technology and Computer (ICETC) 2010, Vol.5, pp.155-162, 2010(6).
- [4] R. Wang, Y. Xu, Libin, and Y. Zhao, "A Vision-based Road Edge Detection Algorithm," IEEE Intelligent Vehicle Symposium 2002,

Vol.1, pp.141-147, 2002(6).

[5] M. Alipoor, Z. Ebrahimi, and J. Haddadnia, "A Novel Logarithmic Edge Detection Algorithm," Machine Vision and Image Processing (MVIP) 2010, pp.1-6, 2010(10).

[6] K. S. Oh, S. J. Lee, and K. Cho, "A Hardware Edge Detector of an Image based on a Bump Circuit and the Neighbor Pixels," IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XV, pp.18-20, 2012(4).

[7] 김희숙, 윤효순, Nguyen Dinh Toan, 유재명, 이귀상, "대각선 방향 픽셀에 기반한 이방성 확산을 이용한 영상 분할", 한국콘텐츠학회논문지, 제7권, 제2호, pp.21-29, 2007.

[8] D. M. Wilson, "An Analog VLSI, Scale Invariant Method for Edge Detection," Analog Integrated Circuits and Signal Processing, Vol.23, pp.211-226, 2000.

[9] C. Yin, "An Information Sensor with In-Pixel-Processing for Geriatric Nursing," IEEE Sensors 2011, pp.1503-1506, 2011(10).

[10] F. Faghieh and M. Smith, "Combining Spatial and Scale-space Techniques for Edge Detection to Provide a Spatially Adaptive Wavelet-based Noise Filtering Algorithm," IEEE Trans. Image Processing, Vol.11, No.9, pp.1062-1071, 2002(9).

[11] A. Gamal and H. Eltoukhy, "CMOS Image Sensors," IEEE Circuits and Devices Magazine, Vol.21, No.3, pp.6-20, May-Jun, 2005.

[12] T. Delbruck, "Bump Circuits for Computing Similarity and Dissimilarity of Analog Voltages," Proc. International Joint Conference on Neural Networks, Vol.1, pp.475-479, 1991.

[13] H. P. Wong, R. T. Chang, E. Crabbe and P. D. Agnello, "CMOS Active Pixel Image Sensors Fabricated using a 1.8-V, 0.25- μ m CMOS Technology," IEEE Trans. Electron Devices, Vol.45, No.4, pp.889-894, 1998(4).

[14] H. S. Wong and A. E. Gamal, *Single Chip CMOS Imaging Systems*, ISSCC Tutorial, 1999.

[15] S. Decker, R. McGrath, K. Brehmer, and C. Sodini, "A 256 x 256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column Parallel Digital Output," IEEE J. Solid-State Circuits, Vol.33, pp.2081-2091, 1998(12).

[16] W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, and S. Szczepanski, "CMOS Realisation of Analogue Processor for Early Vision Processing," Bulletin of the Polish Academy of Sciences, Technical Science, Vol.59, No.2, pp.141-147, 2011.

저 자 소 개

이 상 진(Sang-Jin Lee)

정회원



- 2008년 2월 : 충북대학교 화학공학(공학사)
- 2010년 2월 : 충북대학교 정보통신공학(공학석사)
- 2010년 3월 ~ 현재 : 충북대학교 정보통신공학(박사과정)

<관심분야> : 이미지 센서 설계, 멤리스터 응용 회로

오 광 석(Kwang-Seok Oh)

정회원

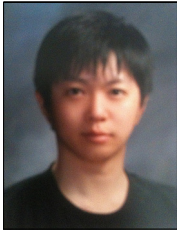


- 2011년 2월 : 충북대학교 정보통신공학(공학사)
- 2013년 2월 : 충북대학교 정보통신공학(공학석사)
- 2010년 3월 ~ 현재 : 실리콘웍스

<관심분야> : 윤곽선 검출 시스템 설계, 멤리스터-CMOS 회로설계

남 민 호(Min-Ho Nam)

준회원



- 2012년 2월 : 충북대학교 정보통신공학과(공학사)
- 2012년 3월 ~ 현재 : 충북대학교 정보통신공학과(석사과정)

<관심분야> : 윤곽선 검출 알고리즘 및 회로 설계

조 경 록(Kyoungrok Cho)

정회원



- 1997년 2월 : 경북대학교 전자공학과(공학사)
- 1989년 2월 : 일본 동경대학교 전자공학과(공학석사)
- 1992년 2월 : 일본 동경대학교 전자공학과(공학박사)

- 1979년 ~ 1986년 : (주)금성사TV연구소 선임연구원
- 1999년, 2005년 : Oregon State University 객원교수
- 1992년 ~ 현재 : 충북대학교 전자정보대학 교수
- 2008년 ~ 2011년 : WCU program 책임자(충북대학교)
- 2010년 ~ 현재 : IDEC 충북대지역센터장

<관심분야> : 통신시스템 LSI 설계, 저전력 고속 회로 설계, Platform 기반의 SoC 설계