

논문 2013-50-10-26

# UVLO 보호기능이 추가된 LDO 레귤레이터 설계

## ( Design of a Low Drop-out Regulator with a UVLO Protection Function )

박 원 경\*, 이 수 진\*\*, 박 용 수\*\*\*, 송 한 정\*\*\*\*

( Won Kyeong Park, Su Jin Lee, Yong Su Park, and Han Jung Song<sup>©</sup> )

### 요 약

본 논문에서는 고속 PMIC(Power Management Integrated Circuit) 회로를 위한 저전압 입력 보호기능을 가지는 UVLO(Under Voltage Lock Out) 기능이 탑재된 LDO(Low Drop-Out) 레귤레이터를 설계하였다. 설계된 LDO 레귤레이터는 밴드갭 기준전압 회로, 오차 증폭회로, 파워 트랜지스터 등으로 이루어진다. LDO 레귤레이터는 5 V 전원전압으로부터 3.3 V 출력을 갖도록 설계되었으며, 저전압 입력보호 기능을 하는 UVLO 회로는 전원부와 파워 트랜지스터 사이에 삽입된다. 또한 UVLO는 5 V 구동전압에서, 하강 시 2.7 V 에서 LDO 레귤레이터 동작을 멈추게 하고, 구동전압 상승 시 4.0 V 에서 LDO 레귤레이터가 정상 동작한다. 1  $\mu$ m 20 V 고전압 CMOS 공정을 사용하여 모의실험 한 결과, 설계한 LDO 레귤레이터는 5.88 mV/V의 라인레귤레이션을 가지고, 부하전류가 0 mA에서 200 mA로 변할 때 27.5 uV/mA의 로드레귤레이션을 보였다.

### Abstract

This paper presents a design of the CMOS LDO regulator with a UVLO protection function for a high speed PMIC. Proposed LDO regulator circuit consists of a BGR reference circuit, an error amplifier and a power transistor and so on. UVLO block between the power transistor and the power supply is added for a low input protection function. Also, UVLO block showed normal operation with turn-off voltage of 2.7V and turn-on voltage of 4 V in condition of 5 V power supply. Proposed circuit generated fixed 3.3 V from a supply of 5V. From SPICE simulation results using a 1  $\mu$ m high voltage CMOS technology, simulation results were 5.88 mV/V line regulation and 27.5 uV/mA load regulation with load current 0 mA to 200 mA.

**Keywords :** UVLO, LDO regulator, Protection Function, CMOS, SPICE

## I. 서 론

휴대폰, PDA, 노트북, 카메라 등 저 전력으로 동작하는 제품들이 증가하고, 이러한 전자기기들이 다기능화 고집적화 됨으로써 각각의 성능이 보다 더 정밀한 동작을 요하게 되었다. 또한 이러한 기기들이 사용 중이거나 대기 중에도 더 많은 전력을 소모하게 되면서, 에너지절약과 배터리 수명에 있어서 모바일용 전자기기들의 전력관리가 중요한 문제로 부상하고 있다<sup>[1~2]</sup>. SoC기술의 발전으로 인하여 모바일용 시스템의 주전원 기능들을 싱글칩으로 만든 PMIC의 중요성이 크게 부각되고 있다<sup>[3]</sup>.

\* 학생회원, 인제대학교 나노시스템공학과  
(Dept. of Nano System Eng., Inje Univ.)

\*\* 학생회원, \*\*\*\* 정회원 인제대학교 나노공학부  
(Dept. of Nano Eng., Inje Univ.)

\*\*\* 정회원, 충청대학교 전기전자학부  
(Dept. of Electronics, Chung Cheong Univ.)

© Corresponding Author(E-mail: hjsong@inje.ac.kr)

※ 본 논문은 미래창조과학부 지원으로 수행한 ETRI SW-SoC 융합 R&BD센터의 연구결과입니다.

접수일자: 2013년5월6일, 수정완료일: 2013년10월2일

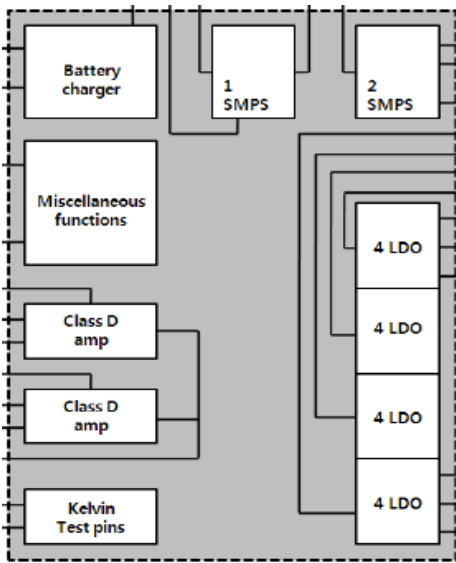


그림 1. 일반적인 PMIC 회로의 블럭도  
Fig. 1. Block diagram of the typical PMIC.

그림 1에 일반적인 PMIC 구조도를 나타내었다. 일반적인 PMIC에는 충전회로, 보호회로와 여러 가지 레귤레이터로 이루어져 있다. 여기서 레귤레이터에는 출력 전압을 일정하게 조정하는 회로로써, 조정하는 방식에 따라 선형 방식의 레귤레이터와 스위칭 방식의 DC-DC 컨버터로 나누어진다. 스위칭 방식의 DC-DC 컨버터는 효율이 좋지만, 잡음특성이 떨어지고, 선형 방식의 레귤레이터인 LDO 레귤레이터는 효율은 떨어지지만 잡음 특성이 좋기 때문에 더 정밀하고 안정한 전압공급을 할 수 있다. LDO 레귤레이터는 저잡음 특성은 무선 송신기, 수신기, 마이크와 같은 RF 및 오디오 어플리케이션에 필수적이다. 또한 이것은 상대적으로 낮은 레벨의 전류를 소모하기 때문에 저전력화가 가능해 LDO 레귤레이터에 대한 연구가 지속되고 있다<sup>[4~5]</sup>.

LDO 레귤레이터 뿐 만이 아니라, 입력전압의 변화, 온도변화 등에 따른 회로의 파괴를 방지하기 위한 보호 회로 또한 필수적이다<sup>[6]</sup>. 본 논문에서는 UVLO 보호기능을 가지는 LDO 레귤레이터를 설계하였다. II장에서 UVLO 기능을 가지는 LDO 레귤레이터의 동작원리를 설명하고, III장에서 제안하는 회로의 전기적 특성을 분석한다. 마지막으로 IV장에서 결론을 내린다.

## II. UVLO 기능을 가지는 LDO 레귤레이터

기본적인 LDO 레귤레이터는 오차증폭회로(Error

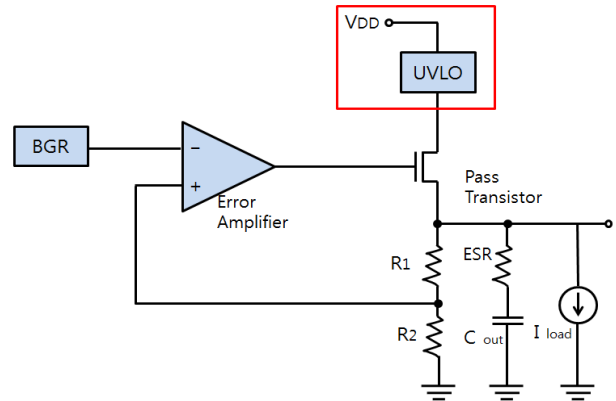


그림 2. 제안하는 UVLO 기능의 LDO 레귤레이터  
Fig. 2. Proposed LDO Regulator with UVLO Protection Function.

Amplifier), 기준전압회로와 파워 트랜지스터, 저항, 커패시터로 구성된다. LDO 레귤레이터의 출력 전압은 파워 트랜지스터로 사용된 NMOS에 의해서 전압 강하되어 출력된다. 출력 전압의 일부는 저항 R1과 R2의 전압 분배에 의해 오류증폭기로 귀환하여 들어가게 되고, 기준전압과 비교하여 그 차이만큼 증폭된 신호를 출력한다. 그 차이만큼 증폭된 신호가 파워 트랜지스터를 제어하여 출력 전압을 일정하게 만든다. 또한 커패시터는 출력전압을 일정하게 유지시킨다.

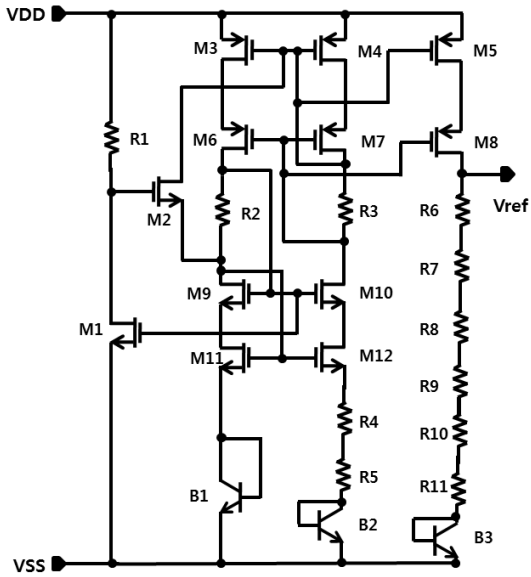
LDO 레귤레이터의 출력전압 관련 식은 다음과 같다.

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \tag{1}$$

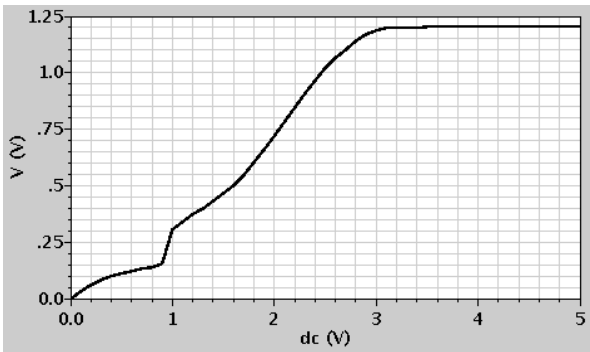
그림 2에 UVLO 기능을 가지는 LDO 레귤레이터 회로도를 나타내었다.

UVLO는 구동전압이 일정전압 이하일 때 회로의 오동작으로부터 칩의 파괴를 보호하기 위한 회로이다. 제안하는 회로는 UVLO의 출력이 LDO의 입력전압으로 연결되어, 구동전압이 하강하여 일정전압 이하가 될 때 출력이 0 V가 되어 LDO 레귤레이터의 동작을 멈추고, 다시 구동전압이 상승하여 일정전압 이상이 될 때 출력이 5 V가 되어 LDO 레귤레이터를 동작하게 한다.

그림 3은 본 논문에서 LDO 레귤레이터 회로를 구성하는데 사용한 기준 전압 발생 회로도(BGR ; Band-Gap Reference)와 SPICE 모의 실험결과를 나타내었다. R1, M1, M2는 스타트업회로로써 기준 전압 회로가 처음 구동 될 때 동작한다. B2 같은 경우 multiplier를 8로 하여 회로의 전체적인 온도 특성이 민감하지 않도록 설

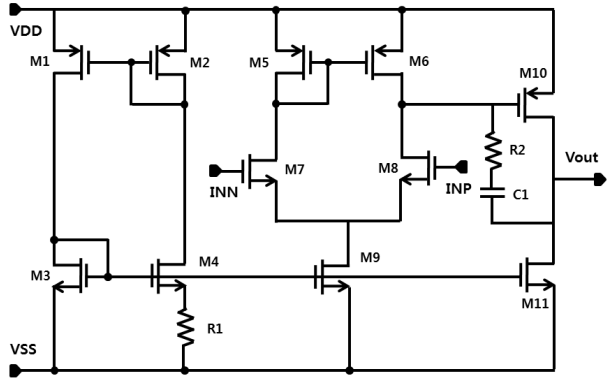


(a) BGR circuit

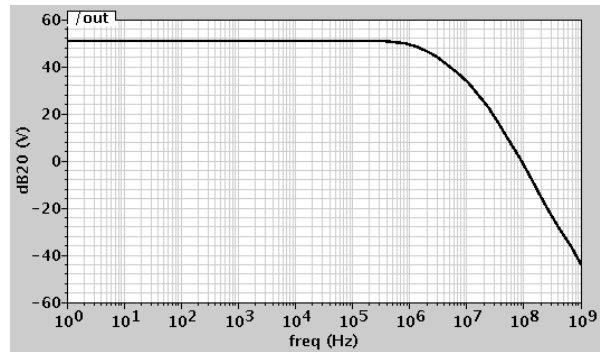


(b) SPICE simulation result

그림 3. 기준 전압 발생 회로도 및 모의실험 결과  
 Fig. 3. BGR circuit and its simulation result.

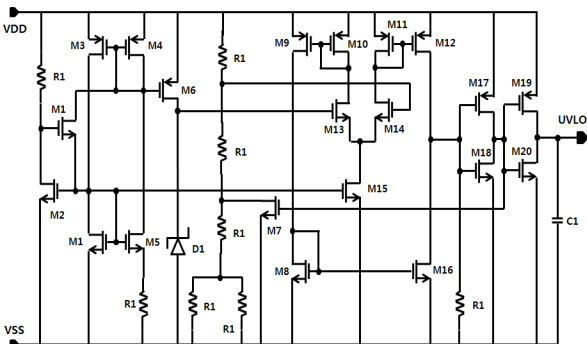


(a) error amplifier

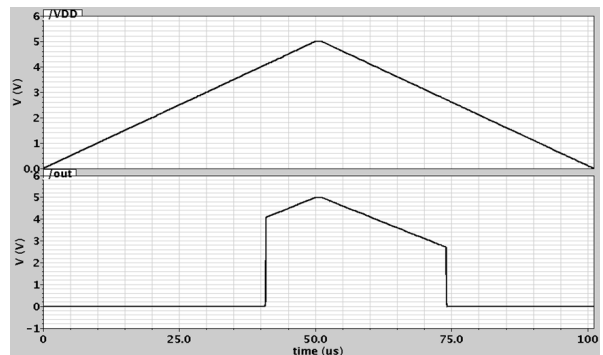


(b) SPICE simulation result

그림 4. 오차증폭기 회로도 및 모의실험 결과  
 Fig. 4. Error amplifier and its simulation result.



(a) UVLO circuit



(b) SPICE simulation result

그림 5. UVLO 회로도 및 모의실험 결과  
 Fig. 5. UVLO circuit and its simulation result.

계하였다.

그림 4는 오차증폭기 회로도와 SPICE 모의 실험결과이다. 오차 증폭기는 LDO 레귤레이터에서 궤환된 출력과 기준전압을 비교하여 그 차를 증폭하여 파워트랜지스터를 제어하는 역할을 한다.

R1과 M1~M4는 M9의 바이어스전압을 만들어주기 위한 바이어스 회로이며, R2와 C1은 위상마진을 위한 밀러 보상 소자이다.

그림 5에 UVLO 회로도 및 모의실험 결과를 나타내었다. UVLO 회로는 앞단은 바이어스 회로, 뒷단은 비교기로 이루어져있다. 바이어스 회로의 출력인 기준전압과 저항으로 분배되는 구동전압을 비교기가 비교하여 출력전압을 만들어 낸다. 설계된 UVLO는 히스테리시스 특성을 가지기 때문에, 구동전압이 상승하거나, 하강할 때 각각 다른 전압에서 출력의 on, off를 가능하게 한다. 이 때, 저항 값 등을 조절하여 출력의 온-오프 되는 전압을 조절 할 수 있다.

### III. SPICE 모의실험 결과

본 논문에서의 SPICE 시뮬레이션은 1 $\mu$ m 20 V 고전압 CMOS 공정을 사용하였다. 그림 6과 그림 7은 UVLO의 입력전압변화에 따른 출력전압을 확인 할 수 있다. 먼저 그림 6은 구동전압이 하강 할 때의 모의실험 결과로, 5 V의 구동전압이 하강 할 때 UVLO의 출력이 on을 유지하다가, 2.71 V 이하가 되면 off 신호를 내보내는 것을 볼 수 있다.

반대로 그림 7은 하강한 구동전압이 상승 할 때의 모의실험 결과로, 구동전압이 상승 할 때 출력이 off를 유지하다가, 4.06 V 이상이 되면 다시 출력이 on이 되는 것을 확인 할 수 있다.

그림 7과 그림 8은 LDO 레귤레이터의 라인 레귤레이션(Line Regulation)과 부하 레귤레이션(Load Regulation)에 대한 모의실험 결과이다.

LDO 레귤레이터의 성능은 주로 라인 레귤레이션과 부하 레귤레이션에 따라 결정된다. 두 값이 작을수록 출력 전압이 안정적이다.

라인 레귤레이션은 입력 전압의 변화로 생기는 출력 전압의 변화를 보는 성능지표이다. 라인 레귤레이션의 계산식은 다음과 같이 표현된다.

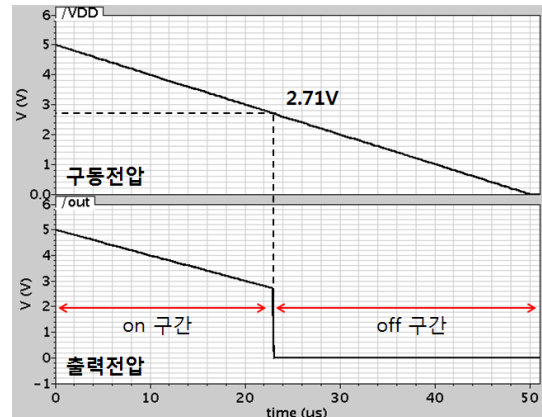


그림 6. 구동전압 하강 시 UVLO의 턴-오프 전압  
Fig. 6. Turn-off voltage of the UVLO in case of decrease of the power voltage.

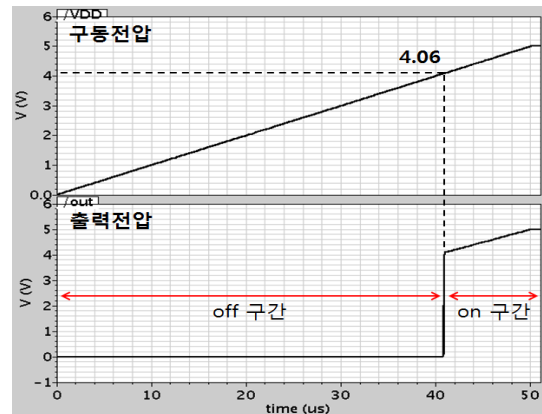


그림 7. 구동전압 상승 시 UVLO의 턴-온 전압  
Fig. 7. Turn-on voltage of the UVLO in case of increase of the power voltage.

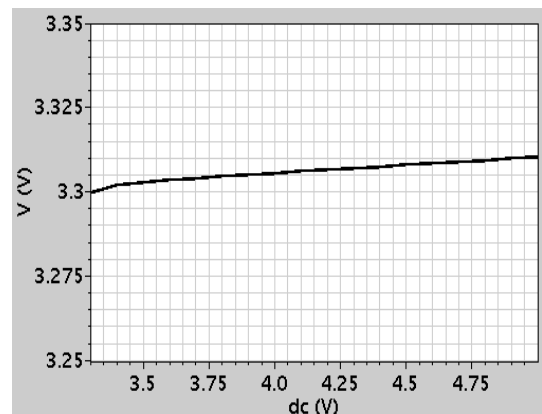


그림 8. LDO의 라인 레귤레이션 모의실험결과  
Fig. 8. Simulation result of the Line regulation of the LDO.

$$\text{Line Regulation} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \quad (2)$$

입력 전압이 3.3 V에서 5 V로 변화 할 때, 출력 전압은 3.3 V에서 3.31 V로 변화하는 것을 볼 수 있으므로, 제안하는 LDO의 라인 레귤레이션은 5.88 mV/V 이다.

다음으로, 부하 레귤레이션은 부하전류의 변화로 생기는 출력 전압의 변화를 보는 성능지표이다. 부하 레귤레이션의 계산식은 다음과 같이 표현된다.

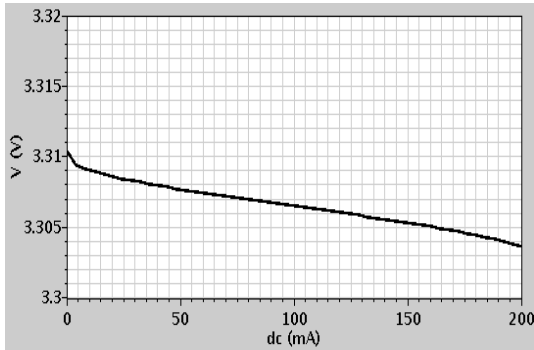


그림 9. LDO의 부하 레귤레이션 모의실험결과  
Fig. 9. Simulation result of the load regulation of the LDO.

표 1. LDO 레귤레이터 모의실험결과 요약  
Table 1. Summary of the LDO simulation results.

		Unit	Value
Input voltage		V	$\geq 3.3$
Output voltage		V	3.3
Output current		mA	$< 200$
Line regulation		mV/V	5.88
Load regulation		$\mu\text{V}/\text{mA}$	27.5
UVLO	on voltage	V	4.06
	off voltage	V	2.71

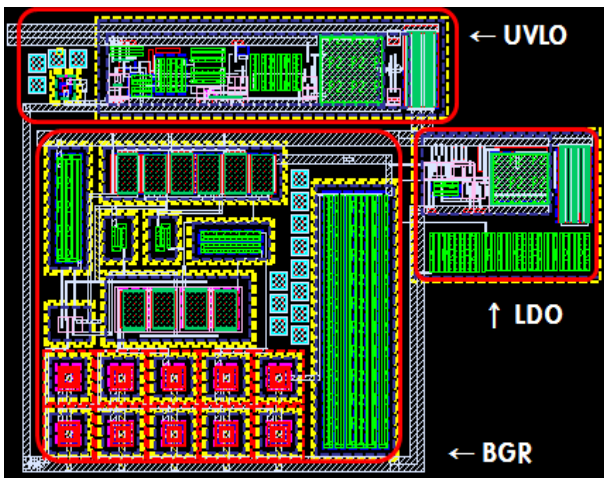


그림 10. 제안하는 LDO 레귤레이터 레이아웃  
Fig. 10. Layout of the designed LDO regulator.

$$\text{Load Regulation} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad (3)$$

출력 부하전류가 0 mA에서 200 mA로 변화함에 따라 출력전압이 3.310 V에서 3.303 V로 변화하므로, 부하 레귤레이션은 35  $\mu\text{V}/\text{mA}$  이다.

본 연구에서 설계한 UVLO 기능의 LDO 레귤레이터의 모의실험결과를 표 1에 정리하였다.

그림 10은 본 논문에서 설계한 LDO 레귤레이터 회로의 레이아웃 모습이다. 전체적인 크기는 UVLO, LDO 레귤레이터, BGR을 포함하여 약  $600 \mu\text{m} \times 800 \mu\text{m}$ 이며, 파워 트랜지스터를 내장하여 설계하였다.

본 설계는 1  $\mu\text{m}$  20 V 1-poly 3-metal CMOS 고전압 공정을 이용하여 레이아웃 하였다.

#### IV. 결 론

본 논문에서는 UVLO 기능을 가지는 LDO 레귤레이터의 특성을 1 $\mu\text{m}$  20 V 고전압 CMOS 공정을 사용하여 설계 및 모의실험 하였다. LDO에 UVLO 보호기능을 추가하여, 낮은 구동 전압에서 LDO 회로가 동작되지 않도록 하여 오동작에 의한 칩 파괴를 방지하였다. UVLO는 5V의 구동전압이 하강하여 2.71 V 이하일 때 출력전압이 off가 되어 LDO 레귤레이터의 동작이 멈추고, 구동전압이 다시 상승하면서 4.06 V 이상일 때는 출력전압이 on이 되어 LDO 레귤레이터가 다시 동작함을 확인할 수 있었다. 본 논문에서 설계 한 LDO 레귤레이터의 라인 레귤레이션은 3.3 V~5 V의 입력전압 변화에 대하여 5.88 mV/V이며, 부하 레귤레이션은 0 mA~200 mA의 출력 부하전류의 변화에 대하여 27.5  $\mu\text{V}/\text{mA}$ 을 보였다. 제안한 LDO 레귤레이터는 안정한 출력전압을 가지므로 휴대용 전자기기의 PMIC의 응용이 가능할 것으로 기대된다.

#### REFERENCES

- [1] M. Paavola, M. Kamarainen, M. Saukoski, and K. Halonen, "A micropower low-dropout regulator with a programmable on-chip load capacitor for a low-power capacitive sensor interface", IEEE International Conference on Electronics, Circuits and Systems, pp. 450-453,

2008.

[2] Mohammad Al-Shyukh, Hoi Lee and Raul Perez, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation," IEEE J. Solid State Circuit, vol. 42, no.8, pp.1732-1742, Aug. 2007.

[3] Hoi Lee, T. Karnik, Philip K. T. Mok, Ka Nang Leung, "A design of low-power analog drivers based on slew-rate enhancement circuits for cmos low-dropout regulators," IEEE. J. Solid - State Circuit, Vol.52, No.9, pp.563-567, September, 2005.

[4] Man Siu, Philip K. T. Mok, Ka Nang Leung, Yat-Hei Lam, Wing-Hung Ki, "A voltage-mode pwm buck regulator with end-point prediction," IEEE TCAS II, vol. 53, no. 4, pp. 294-298, April 2006.

[5] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", IEEE Trans. Circuits and Systems I, vol. 52, no. 7, pp. 1276-1291, 2005.

[6] Ho Jong Park, Yun Seok Heo, Yong Su Park, Nam Tae Kim and Han Jung Song, "Design of a Voltage Protection Circuit for DC-DC Converter of the Potable Device Application", IEEK, vol. 49, no. 1, pp. 18-23, Mar. 2012.

— 저 자 소 개 —



박 원 경(학생회원)  
 2012년 인제대학교 나노공학부  
 학사 졸업.  
 2013년 현재 인제대학교 나노시스  
 템공학과 재학 중.  
 <주관심분야 : 반도체 회로설계,  
 소자>



이 수 진(학생회원)  
 2013년 현재 인제대학교  
 나노공학부 재학 중.  
 <주관심분야 : 반도체 회로설계,  
 소자>



박 용 수(정회원)  
 대한전자공학회 논문지  
 제46권 IE편 1호, p.22 참조  
 2013년 현재 충청대학교  
 전기전자학부 교수  
 <주관심분야 : 반도체 테스트 및  
 회로설계>



송 한 정(정회원)-교신저자  
 대한전자공학회 논문지  
 제46권 IE편 1호, p.22 참조  
 2013년 현재 인제대학교  
 나노공학부 교수  
 <주관심분야 : 반도체소자 신뢰성  
 및 회로설계>