

논문 2013-50-10-25

플랫 판넬표시장치용 DC-DC 컨버터 집적회로의 설계

(A Integrated Circuit Design of DC-DC Converter for Flat Panel Display)

이 준 성*

(Jun-sung Lee[Ⓢ])

요 약

본 논문은 플랫판넬 디스플레이 장치에 사용할 DC-DC 변환기의 설계에 관한 것이다. 6~14[V]의 단일 DC 전원전압으로부터 플랫 판넬 백바이어스용 -5[V] DC 전압 발생회로(Negative DC Voltage Generator)와 승압된 15[V], 23[V] DC 전압 발생회로, 그리고 강압된 3.3[V] DC를 얻기 위한 회로를 설계하였다. 또한 기준 전압원으로 사용하기 위한 밴드갭 회로와 발진기, 레벨변환기 회로, 고온보호 회로 등을 설계하였다. 제작공정은 부(-)전압으로 동작하는 회로와 기타 회로를 분리하기 위해서 트리플-웰(Triple-Well)구조가 적용된 공정 내압 30[V], 최소선폭 0.35[μ m], 2P_2M CMOS 공정을 사용하였다. 설계된 모든 회로는 시뮬레이션으로 검증하여 동작을 확인하였으며 원 칩으로 제작하여 플랫판넬 디스플레이 장치에 응용할 수 있도록 기능을 확보하였다.

Abstract

This paper describes a DC-DC converter IC for Flat Panel Displays. In case of operate LCD devices various type of DC supply voltage is needed. This device can convert DC voltage from 6~14[V] single supply to -5[V], 15[V], 23[V], and 3.3[V] DC supplies. In order to meet current and voltage specification considered different type of DC-DC converter circuits. In this work a negative charge pump DC-DC converter(-5V), a positive charge pump DC-DC converter(15V), a switching Type Boost DC-DC converter(23V) and a buck DC-DC converter(3.3V). And a oscillator, a thermal shut down circuit, level shift circuits, a bandgap reference circuits are designed. This device has been designed in a 0.35[μ m] triple-well, double poly, double metal 30[V] CMOS process. The designed circuit is simulated and this one chip product could be applicable for flat panel displays.

Keywords : Flat Panel Display, Charge pump DC-DC converter, Negative DC Voltage Generator.

I. 서 론

영상 디스플레이 장치 중 LCD(Liquid Crystal Display) 판넬(Pannel)은 저소비전력, 높은 명암비 그리

고 크기를 최소화 할 수 있다는 장점 등으로 인해 그 사용이 확대되고 있다.^[1~2] LCD 판넬을 구동하기 위해서는 액정을 기동하기 위한 고전압이 필요하여 특히 부(Negative)의 DC 전압이 필요하다. 또한 LCD 판넬이 대형화 되면서 필요한 전류량도 상대적으로 많이 요구되고 있다. 본 논문은 LCD 판넬을 구동하기 위해 필요한 여러 형태의 DC 전압을 생성하는 DC 전압 발생용 집적회로 설계에 관한 것이다. 본 설계에 적용된 전압 발생회로는 네 가지 방식의 DC-DC 변환기와 기타 회로들로 구성되어 있다. 첫 번째 DC-DC 변환기는

* 정회원, 인덕대학교 컴퓨터전자과
(Department of Computer Engineering and
Electronics of Induk University)

Ⓢ Corresponding Author(E-mail: ljsskku@induk.ac.kr)

※ 본 연구는 인덕대학교 교내학술연구비 지원으로 수행 되었음.

접수일자: 2013년7월8일, 수정완료일: 2013년9월30일

-5[V] 전압 발생회로이다. 이 회로는 차지펌프(Charge Pump)구조로 설계하였는데 외부 콘덴서에 충·방전되는 전류의 방향을 제어하여 부의 전압을 만들어 낸다. 두 번째와 세 번째는 승압형 DC 전압 변환기(Boost DC-DC Converter)이다. 6~14[V] DC 전원전압으로부터 각각 15[V]와 23[V] DC 전압을 발생시킨다. 이 중에서 출력전압 15[V] 생성용 변환기는 차지펌프형 구조^[3]로 설계하였고, 출력전압 23[V] 대전류용 변환기는 승압형 스위칭 레귤레이터(Boost DC-DC Converter) 구조로 설계하였다. 이들 회로는 모두 칩 내부에서 생성한 약 100~300[KHz]의 PWM 연속펄스를 사용하며, 변환된 출력 DC전압을 모니터링하여 기준 전압과 비교함으로써 적정 DC 전압 범위내에서 전류를 공급하도록 설계하였다. 네 번째는 3.3[V] DC 전압을 만들기 위한 강압형 변환기(Step-down DC-DC Converter)이다. 이 네 가지 DC-DC 변환기가 한 개의 칩에서 잘 동작하도록 하기 위해서 기타 회로들을 부가하였다. 과도한 전류 공급시 발열에 의한 칩 손상을 방지하기 위한 온도보호회로(Temperature Shutdown, TSD), 칩 내외부의 온도변화나 인가 전원전압의 변화 등에도 안정된 출력 DC전압을 공급하기 위한 밴드갭 기준전압회로(Band Gap Reference), UVLO(Under Voltage Lockout) 회로^[4], 레벨변환기(Level Shifter) 회로 그리고 기준 연속펄스를 생성하기 위한 발진기(Oscillator)등이다. 본 IC 설계에 있어서는 스위칭 구조의 DC-DC 변환회로에 사용하는 내부 스위칭 소자의 온-저항으로 인해 에너지의 소모가 발생되며, 이는 에너지효율을 저하시키게 되므로 스위칭소자의 구조를 최적화하는 것은 매우 중요하다.

II. 본 론

설계된 플랫 패널 표시기용 DC-DC 변환기의 간략화된 전체 블록도는 그림 1과 같다. 본 IC는 하나의 전원 전압으로부터 플랫 패널 표시장치를 구동할 때 필요한 다양한 값의 DC 전압원을 생성한다. Miaosen Shen^[5]의 연구에서 DC-DC 변환기를 이용한 다치 전원(Multiple DC Source)이 제안되었으나 본 연구에서는 부 전원의 필요성, 전류 구동능력의 차이 등에 의한 제약 조건 때문에 다른 접근을 하였다. 본 설계는 플랫 패널에 인가하기 위한 고압인 23[V]와 부의 DC 전압인

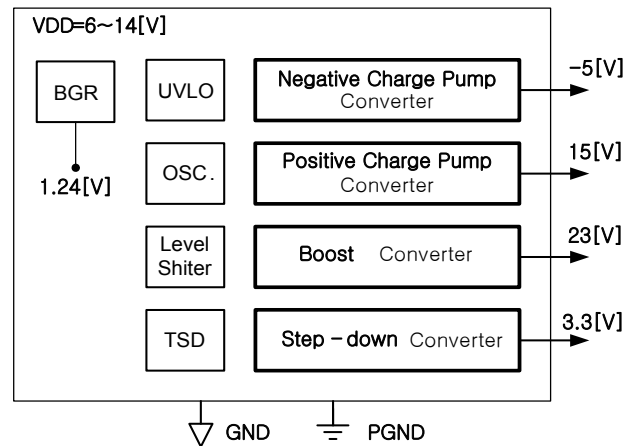


그림 1. 플랫패널 표시장치용 DC-DC 변환기의 블록도
Fig. 1. The block diagram of Flat Panel display DC-DC converter.

-5[V]와 DC 15[V] 그리고 로직 회로와 아날로그 회로에 필요한 DC 3.3[V] 전압을 만들어 낸다. 그 중 15[V]와 -5[V] DC 전압원은 상대적으로 많은 전류를 필요로 하지 않기 때문에 차지펌프형 DC 변환기 구조로 설계하였다. 23[V]와 3.3[V] DC 전압은 상대적으로 많은 전류를 필요로 하기 때문에 각각 스위칭동작을 하는 승압형(Boost) 변환기와 강압형(Buck) 변환기 구조로 설계하였다. 이미 잘 알려지고 널리 사용되는 회로이지만 다양한 전압의 전원이 한 개의 IC 내에 집적되기 때문에 회로 설계 및 도면 설계 시에 상호 분리는 매우 중요한 요소이다. 그리고 전원 변환 회로 외에 몇 개의 보조회로가 설계되었다. UVLO(Under Voltage Lockout) 회로는 IC에 인가되는 전원전압이 최소 4[V]에서 15[V] 범위내에서만 IC가 동작하도록 전원을 감시하고 회로를 제어한다. 또한 밴드갭 회로^[6]는 인가된 전원전압이나 온도가 변동되어도 약 1[%] 이내의 안정된 전압이 출력되도록 설계하였다. 이 때문에 네 개의 DC-DC 변환기의 최종 출력 전압은 입력 전원전압(VDD)의 변동하에서도 정확하게 출력될 수 있다. 이 회로 이외에도 기준 클럭신호를 생성하기 위한 발진기(Oscillator) 회로, 레벨변환기 회로, 대전류 구동에 따라 IC의 온도가 170 [°C]이상이 되면 전류 공급을 차단하여 IC를 보호하는 온도보호회로 등을 설계하여 한 개의 칩에 집적할 수 있도록 고려하였다.

2.1 -5[V] 변환용 차지펌프 DC-DC 변환기

그림 2의 (a)는 -5[V] DC 전압을 생성하기 위한 차

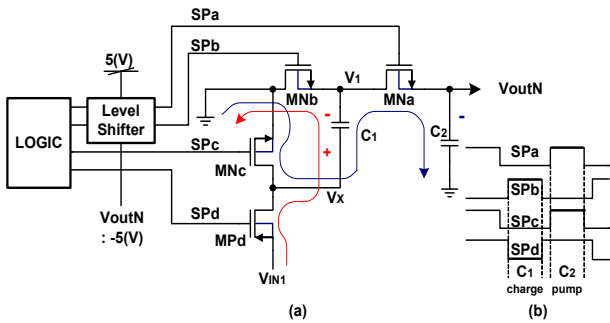


그림 2. -5[V] DC-DC 변환기의 회로도
Fig. 2. The schematic diagram of -5[V] DC-DC converter.

지펄프형 DC-DC 변환기의 동작을 나타내는 회로도이며 동작에 따른 전류의 흐름을 화살표로 나타내었다.

그림(b)는 각 스위칭 트랜지스터에 인가되는 입력 스위칭 펄스의 파형이다. 그림(b)의 SPa~SPd는 각 스위칭 트랜지스터에 인가되는 입력 스위칭 펄스의 파형이다. 스위칭 신호의 전환부분에서 MNa~MNC와 MPd 스위칭 트랜지스터가 모두 도통할 경우 관통전류가 흘러 C1과 C2의 충전효율이 떨어지므로 이를 방지하기 위하여 비중첩(Non overlap) 형태로 인가하였다. 전압 생성 원리는 다음과 같다. 충전(Charge) 구간에서는 MNb와 MPd를 “온”, MNa와 MNC를 “오프”시킨다. 그러면, 인가된 DC 전압인 VIN1은 화살표와 같이 C1을 통하여 충전된다. 이 후에 MNb와 MPd를 “오프”, MNa와 MNC를 “온”시키면 C1에 (+)로 충전된 단자(Vx)가 MNC를 통하여 접지측으로 연결되므로 C1의 (-) 극성(V1)의 전압이 MNa를 통하여 C2에 충전(Pump)된다. 이를 반복하면 C2 전압이 (-) 방향으로 계속 증가한다. 이후 최종 C2에 충전되는 전압(VoutN)은 -VIN이 된다. 이렇게 만들어진 부의 전압에 의해 칩이 래치업(Latch-up)상태에 쉽게 빠질 수 있기 때문에 -5[V] 단자와 GND 사이에 쇼트키 다이오드를 연결해 준다. 부 전압 생성용 차지펌프 DC-DC 회로를 설계할 때 주의할 점은 C1의 위쪽 단자인 V1과 출력 단자인 VoutN의 전압이 (-)가 된다는 점이다. 즉, MNa와 MNb를 오프시키기 위해서 MNa와 MNb의 게이트 전압 (SPa, SPb)을 “로우”(L)로 인가할 경우, 로직의 로우 레벨도 V1 및 VoutN과 비슷하거나 낮게 되도록 유지해 주어야 한다. 그림 2에서 V1과 VoutN 노드 전압은 DC-DC 변환기의 동작이 시작되면 0(V)로부터 -5(V)까지 서서히 낮아지는 동작을 한다. 아래 그림 2에 그림 7과 같은 레

벨 변환회로(Level Shifter)를 추가한 것은 MNa와 MNb가 확실히 오프가 되게 하기 위함이다. 5(V)와 VoutN 전압을 각각 상, 하측 전원전압으로 사용한 레벨변환회로를 통해 게이트 전압 SPa와 SPb의 로우 측 전압은 항상 VoutN이므로 MNa와 MNb의 오프 동작을 확실하게 보장할 수 있다.

2.2 15[V] 변환용 차지펌프 DC-DC 변환기

그림 3의 (a)는 15[V] DC 전압을 생성하기 위한 차지펌프형 DC-DC 변환기의 회로이다. 그림 3의(a)와 같이 MPe~MPg와 MNh로 이루어져 있으며 이 회로의 동작에 따른 전류의 흐름을 화살표로 나타내었다. 그림 (b)의 SPe~SPh는 각 스위칭 트랜지스터에 인가되는 입력 스위칭 펄스의 파형으로 비중첩(Non overlap) 형태로 인가하였다.

전압 생성 원리는 다음과 같다. 충전(Charge) 구간에서는 MPf와 MNh를 “온”, MPe와 MPg를 “오프”시킨다. 그러면, 인가된 DC 전압인 VIN2는 화살표와 같이 C3을 통하여 충전된다. 이 후에 MPf와 MNh를 “오프”, MPe와 MPg를 “온”시키면 C3에 (-) 극성으로 충전된 단자(Vy)가 MPg를 통하여 VIN2 전압으로 연결되므로 C3의 (+) 단자(V2)의 전압이 MPe를 통하여 C4에 충전(Pump)된다. 이를 반복하면 C4 전압이 (+) 방향으로 계속 증가한다. 이후 최종 C4에 충전되는 전압은 최대 $2 * V_{IN2}$ 가 된다.

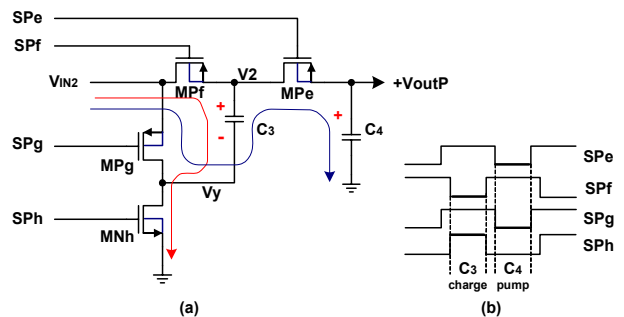


그림 3. 15[V] DC-DC 변환기의 회로도
Fig. 3. The schematic diagram of 15[V] DC-DC converter.

2.3 23[V] 변환 승압형 DC-DC 변환기

LCD 액정 구동 시 필요한 고압, 대전류 DC 전압원을 구현하기 위하여 승압형 스위칭 변환기를 설계하였다. IC 내부에 설계된 NMOS 트랜지스터(Qbst)가 IC

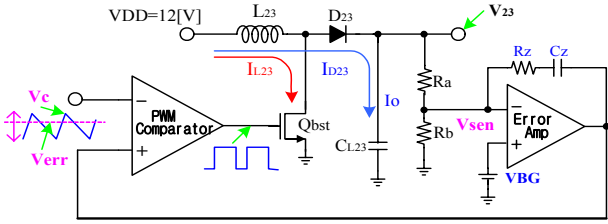


그림 4. 승압형 DC-DC 변환기 회로
Fig. 4. The schematic of Boost DC-DC Converter.

외부의 코일(L₂₃)을 구동하는 구조이다. 그림 4에 이 회로의 구조를 나타내었다. L₂₃의 한쪽 단자는 12[V] DC 전원이 인가되어 있다. 반대편에는 다이오드(D₂₃)의 양극(Anode)과 Qbst의 드레인 단자가 연결되어 있다. Qbst의 게이트에 하이 펄스가 인가되면 L₂₃이 Qbst를 통하여 접지측으로 연결된다.

그러면 전류 I_{L23}가 흐르면서 이 전류가 코일에 축적된다. 이 후 Qbst가 오프되면 L₂₃에 축적되어 있던 전류는 D₂₃을 통해서 CL₂₃에 충전된다. 이 동작을 계속 반복하면 콘덴서에 일정 전압을 충전시킬 수 있고 이 전압(V₂₃)을 전원으로 사용할 수 있게 된다. 최종 안정되는 출력 전압은 Ra와 Rb로 조절할 수 있다. 즉 에러 증폭기(Error Amplifier)가 VBG 전압과 VSEN 전압을 비교하여 출력 전압을 발생시키게 되고 이 전압과 (-) 단자의 삼각파를 이용하여 PWM 비교기(Comparator)에서 전압의 크기에 해당되는 펄스폭을 만들게 된다. 이 펄스를 Qbst의 게이트에 인가하면 조정해 놓은 출력 전압값으로 전압이 안정되게 된다.

2.4 3.3[V] 변환용 강압형 DC-DC 변환기

이 회로는 인가되는 입력 전원전압인 6~14[V]를 직접 3.3[V]로 낮춰 변환하는 회로이다. 벡 컨버터(Buck Converter)라고 알려져 있으며 IC에 내장된 NMOS 트랜지스터가 외부의 코일(L_o)과 다이오드(D)를 구동하는 구조이다. 아래 그림 5에 나타내었다. 전류의 흐름을 화살표로 나타내어 동작을 설명하였다.

펄스 제어 신호(Control)에 의해서 트랜지스터 Qsw의 게이트 단자(VCTL)로 펄스가 인가된다. 펄스에 의해 Qsw가 턴-온 될 경우 VDC에서 공급된 전류는 Qsw를 통하여 L_o에 서서히 충전되며 Co에 전압으로 충전된다. Qsw가 오프되면 VDC와 L_o 사이가 차단되고 L_o에 충전되어 있던 전류는 서서히 감소하면서 Co를 거쳐 다이오드(D)를 통해 흐른다. 결국 최종출력 단

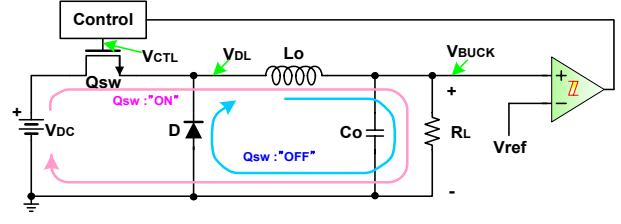


그림 5. 강압형 DC-DC 변환기 회로
Fig. 5. The schematic of Step down DC-DC Converter.

자(VBUCK) 단자에는 DC 전압이 나타나는데 최초 가해진 전원전압(VDC)보다는 항상 낮게 생성된다. 기준 전압(Vref)과 VBUCK전압을 비교하여 PWM 신호를 제어하므로써 원하는 출력 전압(VBUCK)을 설정할 수 있다.

2.5 발진기(Oscillator)

그림 6에 발진기 회로를 나타내었다. Ma와 Mb, Mc와Md, Me와 Mf 세 개의 인버터 체인을 사용하여 정궤환 회로를 구성하므로써 발진을 유도한 회로이다.

칩 내부에 설계한 Cosc와 IC 외부소자인 Rosc에 의해 발진 주파수(f_{osc})가 결정되는데 $f_{osc} = 1 / (2.2 * R_{osc} * C_{osc})$ 이다. R_{osc}가 칩 외부에 위치하게 하였으므로 저항값을 변경하면 발진주파수를 가변 시킬 수 있다. 발진 여부를 칩 외부에서 선택할 수 있다. 발진 허용(Oscillator Enable) 신호를 “하이(H)”로 하면 발진이 되며, “로우(L)”로 할 경우 Mg와 Mh가 오프 상태가 되어 Mc와 Md로 구성된 인버터가 플로팅(Floating) 상태가 되어 발진을 멈추게 된다. 트랜지스터 Mi는 발진 정지시 Mc와 Md로 구성된 인버터가 플로팅 될 경우 V_{osc} 단자 전압이 불안정하게 될 수 있기 때문에 이 전압을 확실하게 Vss 전압으로 붙잡기 위하여 연결하였다. 최

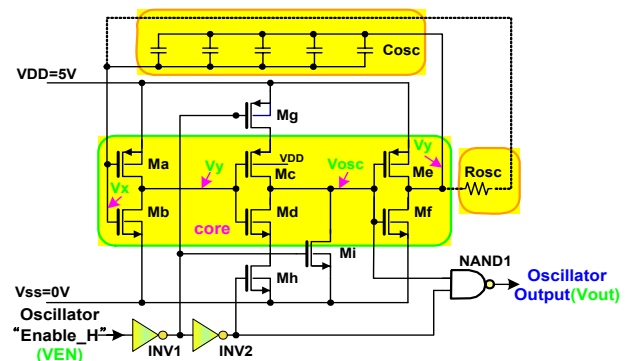


그림 6. 발진기 회로
Fig. 6. The schematic of Oscillator.

중 발진 신호는 로직게이트 NAND1을 통하여 출력된다. 이러한 형태의 발진기는 충·방전 시정수가 같이 때문에 듀티비(Duty Ratio)가 거의 50(%) 정도로 유지된다.

2.6 레벨 변환 회로

본 IC에는 내부 기능 회로 블록별로 3.3[V], 5[V], 15[V], 23[V]의 다양한 전원전압을 사용하고 있다. 따라서 서로 다른 전원전압을 사용하는 회로 간 신호 전달을 위해서는 다양한 형태의 레벨변환기가 필요하다. 예를 들면 3.3[V]를 사용하는 동작회로에서 23[V] 전원을 사용하는 회로에 신호를 전달하기 위한 레벨변환기 그리고, 15[V] 회로에서 3.3[V] 회로에 신호를 전달하기 위한 레벨변환기 등이다. 본 논문에서는 5[V] 동작회로로부터 부(-)의 전압을 생성하기 위한 차지펌프 DC-DC 변환기에 PWM 제어 신호를 전달하기 위한 레벨 변환기를 설계하였다.

그림 7에 레벨변환기를 나타내었다. M5~M10으로 구성된 래치형 회로에 의해 레벨변환의 속도와 정확성을 확보하였다. 공통(common) 단자에 -5[V]를 인가하므로써 최종 출력 펄스의 진폭이 $\pm 5[V]$ 가 된다.

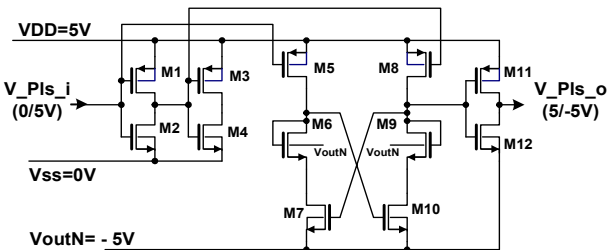


그림. 7. 레벨 변환 회로
Fig. 7. The schematic of Level Shifter.

2.7 고온 차단 회로 및 UVLO 회로

본 설계의 IC는 비교적 큰 전류를 공급하는 회로이기 때문에 발열에 의한 소자 파괴 및 전체 IC의 손상이 나타날 수 있다. 따라서 비이상적인 고온 동작 시 소자를 보호하기 위하여 TSD(Thermal Shut Down) 회로를 설계하여 적용한다. 바이폴라 트랜지스터의 베이스-에미터간 턴온 전압은 상온에서 약 0.6~0.7[V] 정도인데 이 전압은 온도에 따라 약 $-2[mV/^{\circ}C]$ 정도 변화 한다. 따라서 이를 이용하면 칩 온도가 약 $170[^{\circ}C]$ 를 초과할 때

IC 전체의 동작을 차단했다가 다시 온도가 하강하여 약 $140[^{\circ}C]$ 정도가 되면 IC의 동작을 정상화하는 기능을 수행할 수 있다. 설계한 IC의 예상 칩사이즈는 약 $5000[\mu m^2]$ 정도로 크기 때문에 온도를 감지하는 바이폴라 소자 한 개로는 열 감지 능력이 부족하다. 따라서 레이아웃 시 온도감지 소자를 칩의 네 군데 정도로 분산 배치하여 칩의 특정 부위에서 열이 집중적으로 발생되지 못하도록 고려하여야 한다. 또한 UVLO 회로를 추가하여 일정 범위의 전원 전압에서만 전체 회로가 동작하도록 하였다. 본 회로의 설계에서는 공급전원이 4~15[V] 구간에서만 전체 회로가 동작되도록 하였다.

2.8 제작공정 검토

플랫판넬 표시 장치용 DC-DC 변환기를 설계하기 위하여 칩 제작공정은 트리플-웰이 구축된 공정을 선택하였다. 이는 IC 내부에서 양(+)의 전압뿐 아니라 부(-)의 전압도 생성되며 각 전압별로 동작하는 해당회로를 내장해야하기 때문에 상호 분리를 위해서 필수적이다. 그림 8에는 설계 시 적용한 공정의 수직구조와 전압별 소자사용 방법을 나타내었다. 기판(P-substrate)에는 생성한 -5[V] 전압을 인가한다.

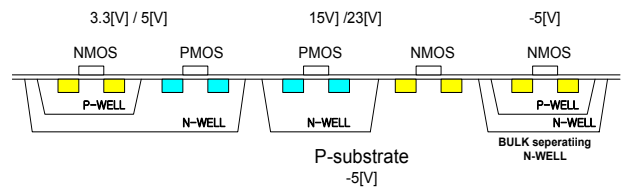


그림 8. 제작공정 수직 구조도
Fig. 8. The Vertical Structure of Process.

III. 실험

본 회로를 설계하기 위하여 T사의 트리플-웰, 최소 선폭 $0.35[\mu m]$ 급, 내압 40[V], 2P_2M CMOS 공정파라미터를 사용하였다. 설계된 모든 회로는 블록별, 기능별로 시뮬레이션을 통해 검증하였다.

그림 9는 그림 2의 차지펌프형 -5[V] DC-DC 변환기 동작 특성을 시뮬레이션으로 검증한 파형이다. V_1 과 V_x 는 각각 C_1 의 (+)와 (-) 단자 전압 파형이다. 입력 DC 3.3[V] 전압을 -5[V]로 변환한 결과(V_{outN})가 나타나 있다. V_x 전압과 V_{outN} 전압이 (-) 값으로 줄어드는

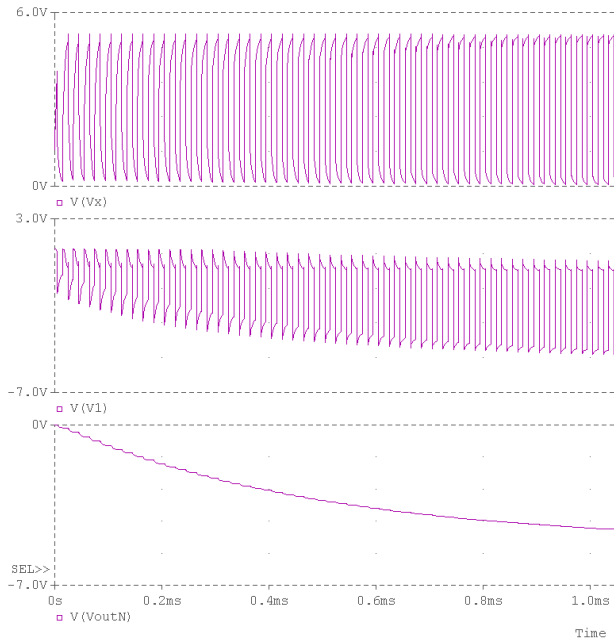


그림 9. -5[V] DC-DC 변환기의 시뮬레이션 결과파형
 Fig. 9. The simulation waveform of -5[V] DC-DC converter.

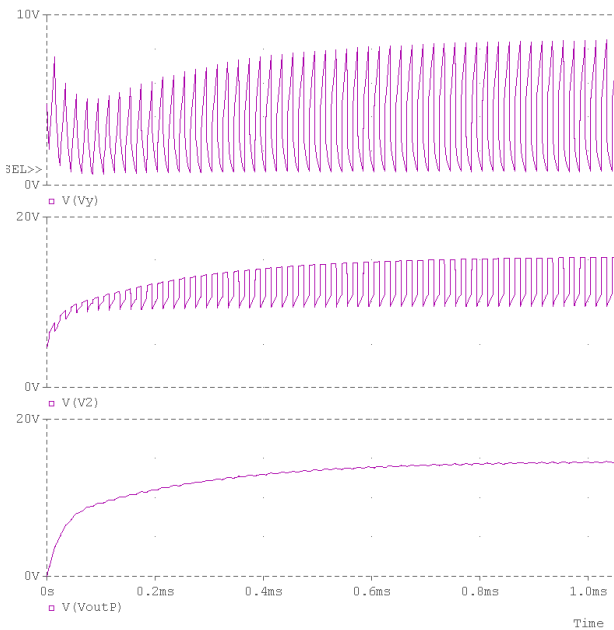


그림 10. 15[V] DC-DC 변환기의 시뮬레이션 결과파형
 Fig. 10. The simulation waveform of 15[V] DC-DC converter.

것을 볼 수 있다.

그림 10은 그림 3의 차지펌프형 15[V] DC-DC 변환기의 동작 특성을 시뮬레이션으로 검증한 파형이다. 12[V] DC 전원에서부터 15[V] DC 전원으로 변환한 결과를 나타낸 파형이다. Vy 와 V2는 각각 C3의 (+)와

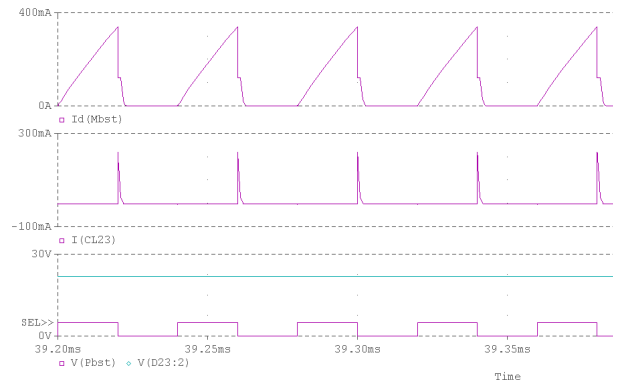


그림 11. 23[V] DC-DC 변환기의 시뮬레이션 결과파형
 Fig. 11. The simulation waveform of 23[V] DC-DC converter.

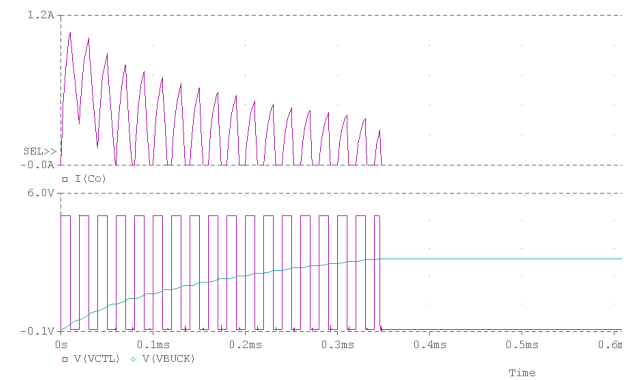
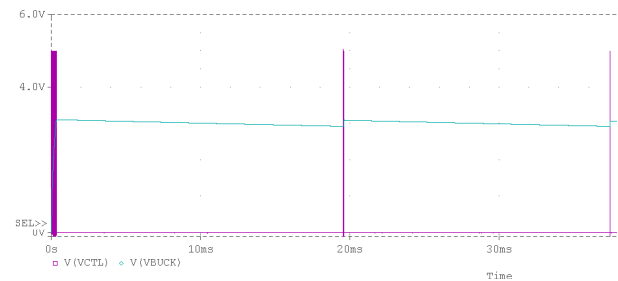


그림 12. 강압형 3.3[V] DC-DC 변환기의 시뮬레이션 결과파형
 Fig. 12. The simulation waveform of 3.3[V] Buck DC-DC converter.

(-) 단자 전압 파형이다.

그림 11은 그림 4의 23[V] 승압형 DC-DC 변환기의 동작 특성을 시뮬레이션으로 검증한 결과 파형이다. Id(Mbat) 파형은 스위칭 트랜지스터 Qbst의 드레인 전류이고, IL23은 전하 충전용 L23에 흐르는 전류, V(Pbst)는 PWM 비교기에서 출력된 펄스 신호, 그리고 V(D23)은 최종 변환된 23[V] DC 전압이다.

그림 12는 그림 5의 강압형 DC-DC 변환기를 검증한 파형이다.

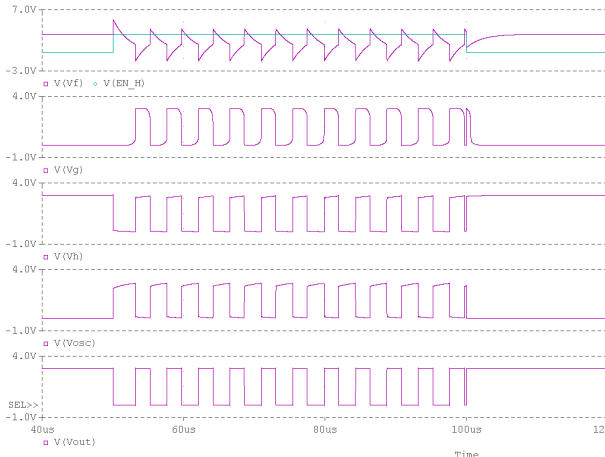


그림 13. 발진기의 시뮬레이션 결과파형
Fig. 13. The simulation waveform of Oscillator.

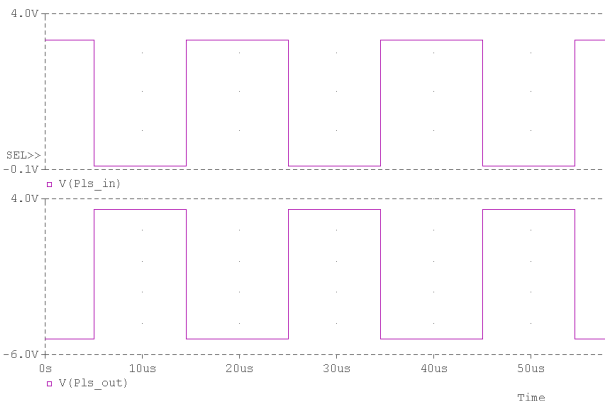


그림 14. 레벨 변환기 회로의 시뮬레이션 결과파형
Fig. 14. The simulation waveform of Level Shifter.

제일 위쪽 파형은 강압형 3.3[V] DC-DC 변환기의 최종 변환된 3.3[V] DC 전압을 검증하기 위한 시뮬레이션 결과 파형이다. V(VBUCK) 파형이 12[V] DC 전압으로부터 3.3[V] DC 전압으로 변환한 결과를 나타낸다. 제어 펄스 신호는 5[V] 전압 회로로부터 공급하였고 생성된 3.3[V] 전원에 부하를 연결하여 전류가 소모되어 3.3[V] 전원이 약 100[mV] 정도로 낮아질 경우 다시 승압동작을 하는 것을 확인하였다. 아래 두 개의 파형은 0~0.6[ms] 구간을 확대하여 Co에 흐르는 전류($I_{Co}=I_{Lo}$)와 충전되는 전압(Vbuck)을 자세히 나타낸 것이다.

그림 13은 그림 6의 인버터 체인형 발진기에 대한 시뮬레이션 결과 파형이다. 발진 허용 신호(EN_H)가 하이(H) 시만 발진을 하고 있음을 알 수 있다. 최종 발진기의 출력은 Vout 신호이다.

그림 14는 그림 7의 레벨변환기에 대한 시뮬레이션

결과 파형이다. 최종 레벨변환기의 출력은 Pls_out 신호이다. 입력신호(Pls_in)의 0[V]과 3.3[V] 전압 레벨이 3.3[V]와 -5[V] 전압 레벨로 변환하였음을 확인 할 수 있다.

IV. 결 론

본 논문에서는 플랫 판넬 표시장치를 구동하기 위해서 필요한 다수의 전원을 한 개의 칩에 집적한 회로를 설계하였다. 각 전원의 전압과 구동전류의 소요에 따라 고압이거나 고전류용 전원은 승압형 스위칭 DC-DC 변환기로, 비교적 적은 전류를 공급해도 되는 전원이나 부(-)의 전원은 차지펌프형 DC-DC 변환기로, 그리고 인가전원전압보다 낮은 전압이 필요한 전원은 강압형 스위칭 DC-DC 변환기로 선택하여 설계하였다. 입력된 12[V] 전압전압을 이용하여 23[V], 15[V], 3.3[V] 그리고 -5[V]의 개별 전원이 한 개의 칩에서 변환한 후 공급되는 구조이며 이는 플랫판넬표시장치에서 필요로 하는 전원 요구를 충족할 수 있다.

또한, 전원 변환 동작 시 필요한 펄스를 생성하기 위한 발진기회로를 설계하고 검증하였다. 다양한 전원 전압에서 동작하는 회로 간에 신호레벨을 조정하여 필요한 신호를 전달하기 위하여 레벨변환기 회로를 설계하고 검증하였다. TSD 회로는 IC 동작 시 칩의 온도를 감시하여 고온 시 회로의 동작을 차단하는 기능을 수행한다. 이는 회로의 영구적인 손상을 방지하고 IC의 수명을 연장하는 효과를 확보할 수 있다. 기타 UVLO 회로 등 설계된 모든 회로는 시뮬레이션을 통하여 기능을 검증하였고 경계조건까지를 포함하여 세부적인 동작을 확인하였다.

REFERENCES

- [1] Mark D. Fairchild, David R. Wyble, "Colormetric Characterization of the Apple studio Display (Flat panel LCD)," Munsell Color Science laboratory Technical Report, Jan. 2000.
- [2] S. H. Lee, S. H. Jang, "Technical trend and Market Survey Report of Driver IC for Flat Panel Display," Journal of The Institute of Electronics Engineers of Korea, Vol. 33, No. 5, 2006. 5.
- [3] J. Dckson, "On chip high-voltage generation in

- NMOS integrated circuits using an improved voltage multiplier technique”, IEEE J. solid state circuit, vol. 11, no. 3, pp. 374-378, June. 1976.
- [4] Jun-sung. Lee, “A Design of Integrated Circuit for High Efficiency Current mode boost DC-DC Converter,” Journal of The Institute of Electronics Engineers of Korea, Vol. 47, IE no. 2, 2010. 6, pp. 13~20
- [6] Miaosen Shen, Fang Zheng Peng, and Leon M. Tolbert, “Multilevel DC-DC Power Conversion System With Multiple DC Sources,” IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 23, NO. 1, JANUARY 2008.
- [6] R. Jacob Maker, Harry W. Li, David E. Boyce, “CMOS Circuit Design, Layout, and Simulation,” IEEE Press.

저 자 소 개

이 준 성(정회원)
대한전자공학회 논문지
제 47 권 IE 편 제 2 호 참조