

논문 2013-50-10-7

# 3차원적 전류 흐름을 고려한 FinFET의 기생 Source/Drain 저항 모델링

(Modeling of Parasitic Source/Drain Resistance in FinFET Considering 3D Current Flow)

안 태 윤\*, 권 기 원\*\*, 김 소 영\*\*

(TaeYoon An, Kee-Won Kwon, and SoYoung Kim<sup>Ⓞ</sup>)

## 요 약

본 논문에서는 RSD(Raised Source/Drain)구조를 가지는 FinFET에서 3차원적 전류 흐름을 고려한 소스와 드레인의 해석적 저항모델을 제시한다. FinFET은 Fin을 통해 전류가 흐르기 때문에 소스/드레인의 기생저항이 크고 채널을 포함한 전체저항에서 중요한 부분을 차지한다. 제안하는 모델은 3차원적 전류흐름을 고려하여 contact부터 channel 직전 영역까지의 소스/드레인 저항을 나타내며 contact저항과 spreading저항의 합으로 이루어져 있다. Contact저항은 전류의 흐름을 고려한 가이드라인을 통해 작은 저항의 병렬합으로 모델링되고 spreading저항은 적분을 통해 구현했다. 제안된 모델은 3D numerical solver인 Raphael의 실험결과를 통해 검증했다. 본 연구에서 제안된 기생저항 모델을 BSIM-CMG와 같은 압축모델에 구현하여 DC 및 AC 성능 예측의 정확도를 높일 수 있을 것이다.

## Abstract

In this paper, an analytical model is presented for the source/drain parasitic resistance of FinFET. The parasitic resistance is a important part of a total resistance in FinFET because of current flow through the narrow fin. The model incorporates the contribution of contact and spreading resistances considering three-dimensional current flow. The contact resistance is modeled taking into account the current flow and parallel connection of dividing parts. The spreading resistance is modeled by difference between wide and narrow and using integral. We show excellent agreement between our model and simulation which is conducted by Raphael, 3D numerical field solver. It is possible to improve the accuracy of compact model such as BSIM-CMG using the proposed model.

**Keywords :** Parasitic source/drain resistance, FinFET, compact model.

\* 학생회원, \*\* 정회원, 성균관대학교 정보통신대학  
(College of Information and Communication  
Engineering, Sungkyunkwan University)

Ⓞ Corresponding Author(E-mail: ksyoun@skku.edu)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음.[10039174, 22nm급 이하 파운드리 소자 및 PDK 기술 개발]

※ 본 논문은 IDEC CAD Tool 지원을 받아 수행된 것임.

접수일자: 2013년6월23일, 수정완료일: 2013년10월1일

## I. 서 론

ICs(Integrated Circuits)의 성능 향상과 고집적을 위해 소자의 scaling-down이 반드시 선행 되어야 한다. 그러나 평판채널 MOSFET의 scaling-down은 문턱전압( $V_{th}$ ) 저하, SS(Subthreshold Swing)와 DIBL(Drain Induced Barrier Lowering)의 특성저하, random 채널 도핑에 따른 소자의 특성변화, 게이트 산화막을 통한

터널링과 소스/드레인 접합부에서의 band-to-band 터널링으로 인한 누설 전류 증가와 같은 문제점들에 직면해 있다<sup>[1-2]</sup>.

Scaling-down으로 인한 문제점들을 극복하기 위해 연구되어지고 있는 새로운 소자 중 지느러미모양인 fin으로 구성된 FinFET이 차세대 소자로 각광 받고 있다. 3차원 구조인 FinFET은 채널이 수직적으로 형성되어 2차원 구조인 MOSFET에 비해 SCE(Short Channel Effect)의 감소와 높은 전류의 흐름을 가능하게 한다<sup>[3-5]</sup>. 그러나 기존 MOSFET에 비해 얇은 fin을 통해 흐르는 전류는 FinFET의 소스/드레인 저항을 증가시킨다. FinFET의 소스/드레인 저항 중 채널저항을 제외한 나머지 기생저항은 공정단위가 감소하여 채널의 길이가 짧아질수록 전체 저항에 대해 차지하는 비율이 증가하고, fin과 silicide의 크기 변화에 따라 직접적으로 반응하므로 이를 예측할 수 있는 해석적인 모델이 필요하다. 최근, FinFET의 기생저항 모델링을 위한 연구가 활발히 진행되고 있다<sup>[6-9]</sup>. 선행연구에서는 기생저항의 해석적인 모델을 만들기 위해 contact저항을 TLM(Transmission Line Model)<sup>[10-11]</sup>로 구현했다. TLM을 사용하여 간단한 수식으로 나타낼 수 있지만 fin높이와 silicide의 두께의 변화에 대해 정확한 저항 예측이 어렵다.

본 논문에서는 사각형 RSD(Raised Source/Drain) 구조의 폭이 얇은 경우와 두꺼운 경우로 나누어 FinFET의 기생저항의 모델링을 진행하였다. 공정 시 RSD 구조는 각 면의 성장속도가 다름에 따라 수직방향의 최종 단면이 마름모에 가까운 모양으로 형성된다. 사각형 구조의 RSD의 경우와 비교하여 높이와 폭에 대한 경향성은 동일하므로 간단한 보정상수를 통해 적용할 수 있다. 제안한 모델은 TLM을 사용하지 않고 구간별로 나누어 적분을 통해 분석적인 식을 구현하여 수식의 복잡도는 증가하지만 정확한 저항 예측이 가능하다. 기생저항 모델은 3D numerical solver인 Raphael<sup>[12]</sup>을 통해 검증하였고, 선행연구의 모델과 비교하여 silicide 구조의 변화에 대해 개선된 정확도를 보여준다.

## II. 모델링 구조 및 simulation 방법

본 논문의 해석적 모델링을 위한 FinFET의 단면도가 그림 1에 도시되어 있다. FinFET을 이루는 영역은

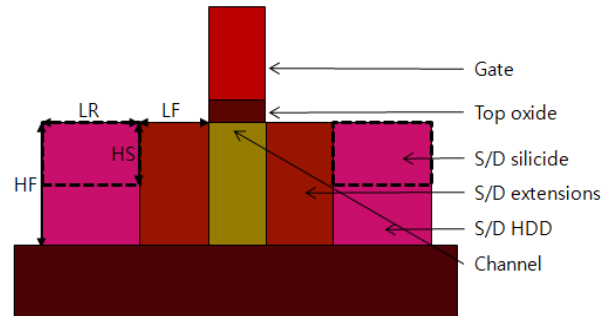


그림 1. FinFET의 단면도  
Fig. 1. Cross-section of a FinFET to be modeled.

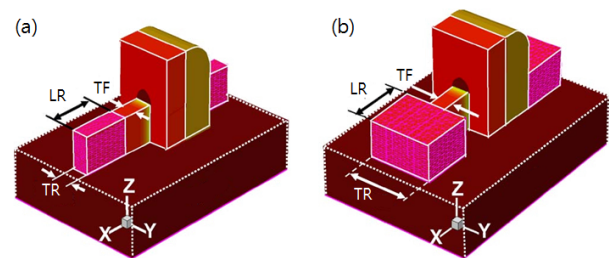


그림 2. 연구를 진행한 FinFET 구조  
(a) 기본적인 RSD 구조 (b) 확장된 RSD 구조  
Fig. 2. FinFET structure in study  
(a) basic RSD structure. (b) expanded RSD structure.

표 2. FinFET의 구조를 나타내는 변수  
table 2. Parameter in FinFET structure.

변수	설명	값
HF	Fin height	50 nm
TF	Fin width	15 nm
LF	Fin length	40 nm
TR	RSD width	15 / 55 nm
LR	RSD length	40 nm
HS	Silicide depth	30 nm
$\rho_s$	S/D HDD resistivity	$5e-6 \Omega \cdot m$
$\rho_c$	S/D silicide resistivity	$2.5e-6 \Omega \cdot m$

gate, top oxide, S/D silicide, S/D extension, S/D HDD(Heavily-Doped raised S/D region), channel영역으로 나눌 수 있다. HF는 fin의 높이, HS는 contact에 의해 만들어지는 silicide의 두께, 그리고 LR과 LF는 RSD와 extension의 길이를 나타낸다. 모델링을 진행한 기본적인 RSD 구조와 확장된 RSD구조는 그림 2에 비교되어 있다. 기본적인 구조는 RSD의 두께인 TR과 extension의 두께인 TF가 동일하다. 확장된 구조는 TR이 TF보다 큰 경우로 기본구조에 비해 소스/드레인 저

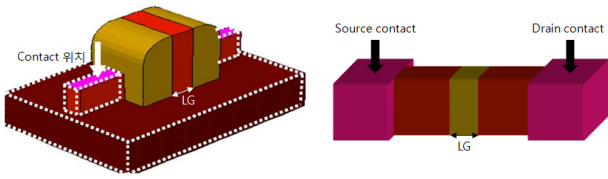


그림 3. Raphael simulation을 통해 제안한 기생저항 모델을 검증하기 위한 contact 위치  
Fig. 3. Contact position for verifying the proposal parasitic resistance model compared to Raphael simulation.

항이 작아지지만 게이트 기생 capacitance가 증가하게 된다<sup>[13]</sup>. 그림 2(a)의 기본적인 구조의 모델링을 진행한 후 추가적인 모델을 통해 그림 2(b)의 두꺼운 RSD구조로 확장했다. FinFET의 두 가지 구조는 표 1에 나타낸 값을 통해 정의했고 RSD의 두께인 TR이외의 구조적 변수가 동일하다.

FinFET의 기생저항을 모델링하기 위해 contact의 위치는 그림 3과 같이 source와 drain의 위쪽으로 하고 numerical solver인 raphael을 사용하여 simulation을 진행했다. 실제 공정 시 contact 위치에 따라 fin의 옆면에 형성되는 silicide의 영향은 모델링을 진행한 silicide가 fin의 위쪽에서 깊이 방향으로 형성되는 기본 구조의 기생 저항의 병렬합으로 확장시킬 수 있다. fin의 크기와 silicide의 깊이 변화에 대한 기생저항을 분석하기 위해 RSD의 폭, 길이가 변할 경우 contact의 크기를 같이 변화시켜 contact의 크기에 대한 변화는 고려하지 않았다. 또한, 채널 저항을 제외한 얇은 fin에 의해 생기는 기생저항을 추출해내기 위해 채널의 길이인 LG의 값을 변화시키면서 저항을 각각 구한 뒤 LG의 값을 0으로 수립시키는 저항 추출방법을 사용했다<sup>[14]</sup>.

### III. 기생저항 모델

FinFET의 기본적인 구조일 경우 소스와 드레인 영역 위에 존재하는 contact으로부터 RSD를 거쳐 extension을 지나는 전류의 흐름 단면도가 그림 4에 도시되어 있다. RSD와 extension의 기생저항 모델링을 위해 channel의 저항을 무시하면 소스와 드레인 영역이 대칭적이므로 그림 5와 같이 한쪽만을 고려할 수 있다. Contact부터 channel 직전까지의 전류의 흐름은 직선이 아니므로 단순히 길이에 비례하고 면적에 반비례하는 식으로 나타낼 수 없다. 그림 4의 전류 흐름을 반영하

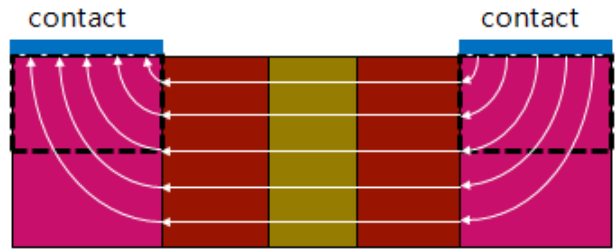


그림 4. contact 사이의 전류흐름 단면도  
Fig. 4. Cross-sectional view of a current flow between contacts.

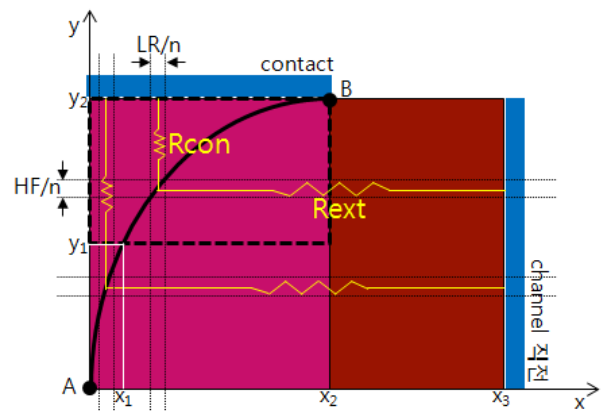


그림 5. 기생저항 모델링을 진행할 단면도  
Fig. 5. Cross-sectional view for parasitic resistance modeling.

고 해석적인 식을 유도하기 위해 그림 5의 A와 B를 있는 가이드라인을 정의한 후 contact부터 가이드라인까지 저항을  $R_{con}$ , 가이드라인부터 extension의 저항을  $R_{ext}$ 라 한다. 가이드라인은 그림 5와 같은 x-y 좌표계에서 기울기가 b에 의해 조절되고 A와 B를 지나야하는 제한조건으로 배수 a가 결정되는 다음과 같은 식으로 나타낼 수 있다.

$$f(x) = a \ln\left(\frac{x}{b} + 1\right) \quad (1)$$

FinFET의 구조와 도핑농도 변화는 전류의 흐름의 변화를 야기하고 이로 인해 잘게 나눈 구간들의 저항과 전류의 쏠림 정도 역시 변화한다. 본 논문에서 제안한 FinFET 구조의 범위 내에서 가이드라인의 기울기 b는 2.512이고 배수 a는 0.894이다. 전체 기생저항을 가이드라인 통해 나누어진  $R_{ext}$ ,  $R_{con}$ 의 합으로 나타내기 위해 contact면과 channel면을 n등분하고 식을 구현한 뒤 n을 무한대로 보내는 적분의 기본과정을 진행한다. x축

의 값이 0인 영역을 1구간, x2인 영역은 n구간이라 하면 다음과 같이 전체 기생저항을 병렬합으로 나타낼 수 있다.

$$R_{total.1} = (R_{con.1} + R_{ext.1}) // \dots // (R_{con.n} + R_{ext.n}) \quad (2)$$

전체 기생저항을 작은 구간들의 적분으로 나타내기 위해서 임의의 k번째 구간의  $R_{con.k}$ 와  $R_{ext.k}$ 의 수식을 구현해야 한다. 그림 5의 점선으로 나타낸 silicide와 가이드라인이 만나는 x축 기준으로  $x < x_1$  구간에서  $R_{con.k}$ 는 silicide와 HDD 영역을 지나며 다음과 같은 저항의 직렬합으로 나타낼 수 있다.

$$R_{con.k} = \rho_c \frac{HS}{LR/n} + \rho_s \frac{HF - HS - f((k-0.5)LR/n)}{LR/n} \quad (3)$$

$x > x_1$  구간에서는 silicide 영역만을 지나며 수식으로 나타내면 다음과 같다.

$$R_{con.k} = \rho_c \frac{HF - f((k-0.5)LR/n)}{LR/n} \quad (4)$$

$R_{ext.k}$ 는  $R_{con.k}$ 와 달리 silicide와 가이드라인이 만나는 y축 기준으로  $y < y_1$ 의 구간에서 HDD와 extension 영역을 지난다. HDD와 extension의 비저항이 같다는 가정 하에 모델링을 진행했기 때문에 일반적인 다면체 기둥의 저항식으로 표현하면 다음과 같다.

$$R_{ext.k} = \rho_s \frac{LR + LF - f^{-1}((k-0.5)HF/n)}{HF/n} \quad (5)$$

$y > y_1$ 의 구간에서는 silicide와 extension 영역을 지나며 저항의 직렬합을 통해 수식으로 나타내면 다음과 같이 쓸 수 있다.

$$R_{ext.k} = \rho_c \frac{LR - f^{-1}((k-0.5)HF/n)}{HF/n} + \rho_s \frac{LF}{HF/n} \quad (6)$$

그림 2(a)와 같이 RSD가 넓은 구조의 기생저항 모델은 기본 구조의 모델을 확장시켜 얻을 수 있고 두 가지 구조의 전류의 흐름 차이는 그림 6에 나타나있다. 전류의 흐름이 일정한 기본구조와 달리 확장된 구조는 RSD 영역에서 전류가 확산한다. 기생저항은 RSD와 extension 영역의 저항의 직렬합으로 나타낼 수 있고 extension에서의 전류 흐름과 저항이 동일하다는 가정의 통해, 두 가지 경우 전체 기생 저항의 차이는 RSD 영역의 저항 차이로 할 수 있다. 기본 구조에서 RSD

영역의 저항을  $R_1$ , 확장된 구조에서 RSD 영역의 저항을  $R_2$  두 가지 구조의 차이인  $R_1 - R_2$ 를 spreading 저항 ( $R_{sp}$ )으로 정의하면 확장된 구조의 전체 기생저항은 다음과 같이 나타낼 수 있다.

$$R_{total.2} = R_{total.1} - R_{sp} \quad (7)$$

Silicide와 HDD의 비저항이 다르지만 각각의 영역에서 흐르는 전류의 흐름이 그림 6과 같이 위에서 바라본 RSD의 구조의 전류의 흐름과 동일하다는 가정을 통해,  $R_2$ 는 silicide영역의 저항  $R_{c.1}$ 과 HDD영역의 저항  $R_{s.1}$ 의 병렬연결로 나타낼 수 있다.

$$R_1 = R_{c.1} // R_{s.1} \quad (8)$$

$R_{c.1}$ 과  $R_{s.1}$ 은 비저항, 전류가 흐르는 길이에 비례하고 면적에 반비례하는 직육면체 구조의 저항을 구하는 방법을 사용하여 다음 식을 얻을 수 있다.

$$R_{c.1} = \rho_c \frac{LR}{HS \cdot TF} \quad (9)$$

$$R_{s.1} = \rho_s \frac{LR}{(HF - HS) \cdot TF} \quad (10)$$

$R_2$ 는  $R_1$ 과 마찬가지로 silicide와 HDD의 비저항이 다르지만 각각의 영역에서 흐르는 전류의 흐름이 동일하다는 가정을 통해 silicide영역의 저항  $R_{c.2}$ 과 HDD영역의 저항  $R_{s.2}$ 의 병렬연결로 나타낼 수 있다.

$$R_2 = R_{c.2} // R_{s.2} \quad (11)$$

$R_{c.2}$ ,  $R_{s.2}$ 는 그림 6과 같은 확장된 구조의 전류의 흐

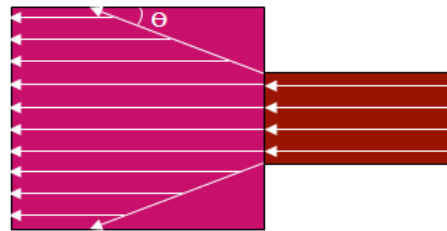
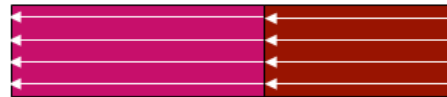


그림 6. 위에서 내려다본 기본적인 구조와 확장된 구조의 전류의 흐름

Fig. 6. Top view of basic and expanded structure current flow.

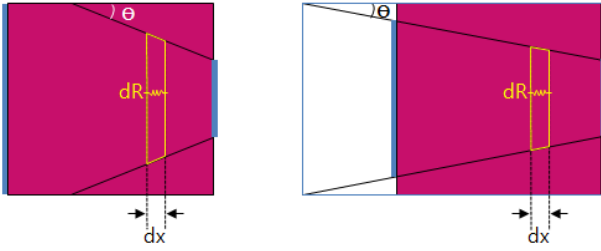


그림 7. 위에서 내려다본 확장된 RSD 구조의 전류 흐름과  $\theta$ 에 따른 적분 방법

Fig. 7. Top view of expanded RSD structure current flow and integral method according to  $\theta$ .

를 적분을 통해 해석적인 식으로 구현한다. 전류가 흐르면서 퍼지는 각도  $\theta$ , RSD의 폭, 너비, silicide와 HDD의 높이, 비저항에 따라 발산정도와 적분 범위가 변화한다. 그림 7과 같이 전류의 흐름을 선으로 표현했을 때 RSD 영역의 폭인 TF까지 발산될 경우를 기준으로 전달된 거리가 LR보다 큰 경우와 작은 경우를 나누어 적분을 진행한다. 전류가 발산이 빨라 LR 이내로 들

어올 경우( $\frac{TR-TF}{2} \cot\theta < LR$ ), 나머지 영역은 단순한 직육면체 구조 저항의 직렬합으로 가정하면  $R_{c2}$ ,  $R_{s2}$ 는 다음과 같다.

$$R_{c2} = \frac{\rho_c \ln\left(\frac{TR}{TF}\right) + \rho_c \frac{LR - \frac{TR-TF}{2} \cot\theta}{TR}}{HS} \quad (12)$$

$$R_{s2} = \frac{\rho_s \ln\left(\frac{TR}{TF}\right) + \rho_s \frac{LR - \frac{TR-TF}{2} \cot\theta}{TR}}{HF - HS} \quad (13)$$

전류의 발산이 LR보다 큰 경우( $\frac{TR-TF}{2} \cot\theta > LR$ ), LR의 확장을 시켰을 때 만나는 지점과 이루는 각이  $\theta$ 가 된다. 고려해야할 저항이 안쪽까지의 저항이기 때문에 RSD 영역까지 적분을 실행하여  $R_{c2}$ ,  $R_{s2}$ 를 다음과 같이 구현할 수 있다.

	LR = 20 nm	LR = 40 nm	LR = 80 nm
Model	—	- - -	⋯
Simulation	⊙	⊠	⬠

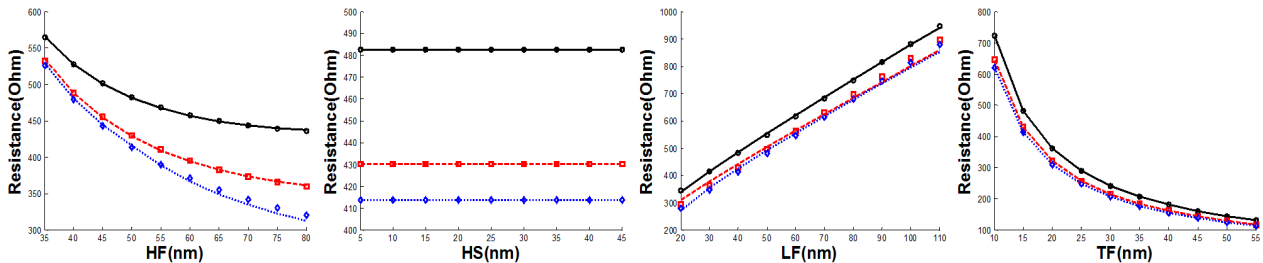


그림 8. HDD와 silicide 영역의 비저항이 동일한 경우 Raphael simulation 결과와 제안한 모델의 기생저항 비교

Fig. 8. Comparison between parasitic resistance model (lines) and the 3-D numerical simulation (symbols) at  $\rho_c = \rho_s$  in basic structure.

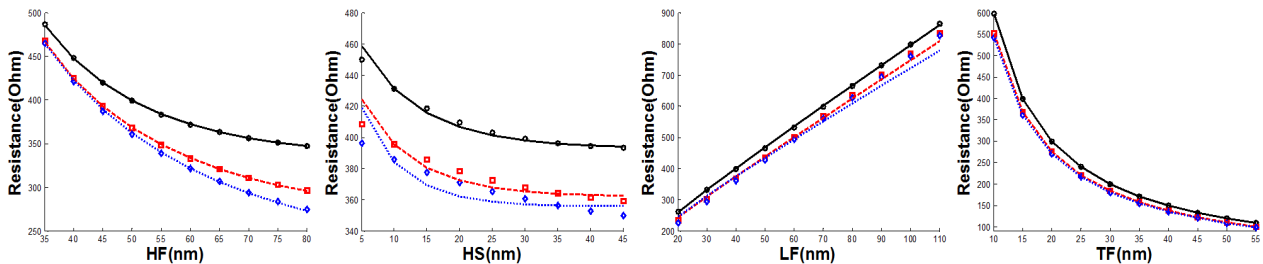


그림 9. Silicide 영역의 비저항이 HDD, extension 영역의 비저항의 절반일 경우 Raphael simulation 결과와 제안한 모델의 기생저항 비교

Fig. 9. Comparison between parasitic resistance model (lines) and the 3-D numerical simulation (symbols) at  $\rho_c = \rho_s/2$  in basic structure.

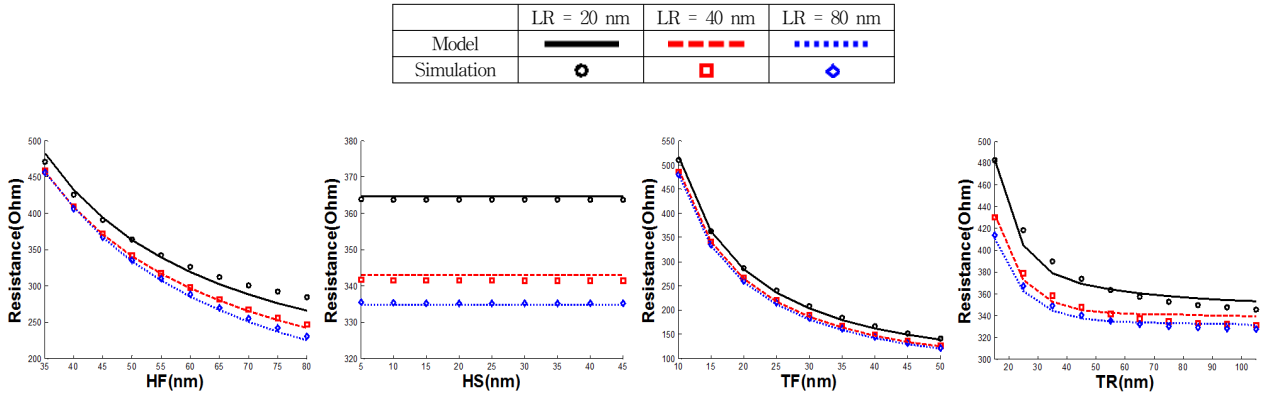


그림 10. RSD 폭이 확장된 구조에서 HDD와 silicide 영역의 비저항값이 동일한 경우 Raphael simulation 결과와 제안한 모델의 기생저항 비교

Fig. 10. Comparison between parasitic resistance model (lines) and the 3-D numerical simulation (symbols) at  $\rho_c = \rho_s$  in expanded structure.

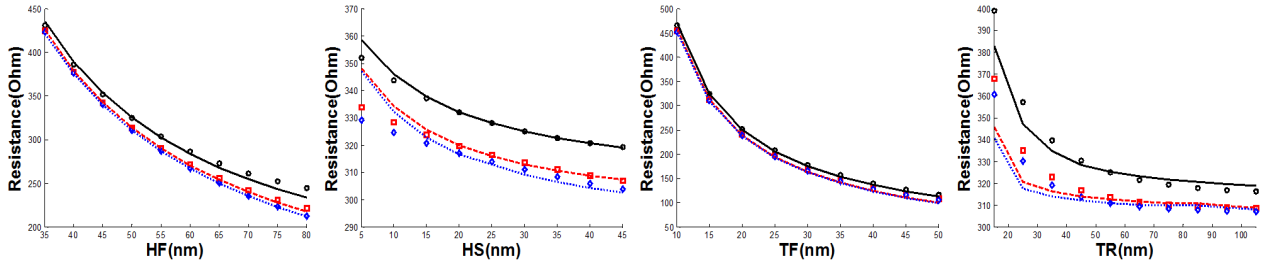


그림 11. RSD 폭이 확장된 구조에서 silicide 영역의 비저항값이 HDD, extension 영역의 비저항값의 절반일 경우 Raphael simulation 결과와 제안한 모델의 기생저항 비교

Fig. 11. Comparison between parasitic resistance model (lines) and the 3-D numerical simulation (symbols) versus HF, HS, TF, and TR at  $\rho_c = \rho_s/2$  in expanded structure.

$$R_{c,2} = \frac{\rho_c}{2 \tan \theta} \ln \left( \frac{TR - 2M \tan \theta}{TF} \right) \quad (14)$$

$$R_{s,2} = \frac{\rho_s}{2 \tan \theta} \ln \left( \frac{TR - 2M \tan \theta}{TF} \right) \quad (15)$$

$$M = \frac{TR - TF}{2} \cot \theta - LR \quad (16)$$

#### IV. 모델 검증 및 분석

##### 1. 기본 구조

HDD와 silicide 영역의 비저항이 동일할 경우 Raphael simulation을 통해 검증한 결과는 그림 8과 같다. HF가 증가할수록  $R_{con}$ 은 증가하지만 extension 영역을 포함하는  $R_{ext}$ 의 감소로 인해 전체 기생 저항은 감소

한다. 또한  $\rho_c = \rho_s$ 는 silicide 영역이 존재하지 않는 경우이므로 HS의 변화에 대해서는 저항의 값이 변하지 않는다. LF가 증가함에 따라 extension 영역에서 전류가 진행하는 거리의 증가로 기생저항이 증가하고 TF의 증가는 전류가 진행하는 면적의 증가로 기생저항의 감소를 가져온다. 각각의 경우 LR이 20 nm, 40 nm, 80 nm 증가함에 따라 contact의 영역이 넓어지므로 저항은 작아진다. 기생저항은 LR의 길이가 증가할수록 LR의 변화에 둔감하게 반응하고 contact 안쪽에 전류가 모여 dominant해지는 현상을 보여준다. 제안한 모델이 fin의 높이 HF, silicide의 깊이 HS, extension의 길이 LF, fin의 두께 TF의 변화에 대한 기생저항의 변화를 정확하게 예측하는 결과를 볼 수 있다.

Silicide의 비저항이 HDD, extension 영역의 비저항의 절반일 경우 검증결과는 그림 9에 도시되어 있다.  $\rho_c = \rho_s$ 인 경우와 마찬가지로 제안한 모델은 20 nm, 40 nm, 80 nm LR값에 대해 HF, HS, LF, TF의 변화를 잘



반영함을 알 수 있다. Silicide의 비저항이 감소할수록 LR의 길이가 증가함에 따라 생기는 기생저항의 수렴현상이 더 빠르게 진행된다. 이는 silicide의 비저항이 감소할수록 저항이 작은 안쪽으로 더 몰리면서 LR의 변화가 영향을 끼치지 못한다는 예측과 일치한다.

## 2. 확장된 구조

HDD와 silicide영역의 비저항이 동일할 경우 Raphael simulation을 통해 모델을 검증한 결과는 그림 10과 같다. 제안한 모델이 fin의 높이(HF), silicide의 깊이(HS), fin의 두께(TF), RSD의 두께(TR)의 변화에 대한 기생저항의 변화를 정확하게 예측함을 알 수 있다. 확장된 구조는 기본구조에 비해 contact의 면적이 증가하여 전체적인 기생저항의 값이 감소한다. HF, HS, TF의 변화에 대한 경향성은 기본구조의 경우와 일치하고 RSD의 두께인 TR이 증가함에 따라 contact 면적의 증가로 저항은 감소한다. 기본구조와 동일하게 LR이 길어질수록 안쪽의 저항이 작아지면서 전류가 몰리는 현상이 심화 현상을 보인다.

Silicide의 비저항이 HDD, extension영역의 비저항의 절반일 경우 두 번째 모델의 검증결과는 그림 11과 같다.  $\rho_c = \rho_s$ 인 경우와 마찬가지로 제안한 모델은 20 nm, 40 nm, 80 nm LR값에 대해 HF, HS, TF, TR의 변화를 잘 반영함을 볼 수 있다.  $\rho_c = \rho_s$ 인 경우와 비교하여 LR이 증가함에 따라 기생저항이 더 빠른 속도로 수렴한다.

## VII. 선행 연구와 비교

소스/드레인 기생저항에 관련된 선행연구인 BSIM-CMG, Dixit, Daniel model과 제안한 모델의 비교를 진행했다. BSIM-CMG는 Berkeley에서 개발한 다중게이트 트랜지스터의 compact model로서 기생저항뿐만 아니라 소자의 전기적인 특성을 포함하고 있다. 본 연구에서 제안한 모델과 비교하기 위해 source와 drain 사이의 기생저항 모델만의 비교를 진행했다. Dixit 모델과 Daniel 모델은 double-gate FinFET의 기생저항에 관한 모델이다. 선행연구에서 기생저항을 식으로 구현하기 위해 TLM근사를 사용했다. TLM근사는 2차원 구조인 BJT와 MOSFET에서 기생저항을 모델링하기 위해 사용하는 방법으로 FinFET에 적용하기 위해 fin의 높이인 HF와 silicide의 두께인 HS가 충분히 진행방향에 대해 작은 값을 가진다는 가정을 사용한다. 따라서 선행연구의 모델은 HF와 HS의 변화를 정확히 반영하지 못한다. Silicide의 비저항이 HDD영역의 비저항의 절반일 경우, HF와 HS의 변화에 대해 제안한 모델과 기존 선행연구를 비교했다.

제안한 모델과 선행연구를 HF와 HS의 변화에 대해 전체 기생저항을 비교하여 그림 12에 나타냈다. fin높이 HF가 증가함에 따라 extension영역의 저항은 감소하고 contact부터 extension영역직전까지의 저항은 증가한다. 선행연구의 경우 HF가 감소함에 따라 extension 영역의 저항은 감소하나 contact저항은 변화가 없어 전체 기생저항의 감소율이 simulation결과보다 빠르게 된다.

Simulation	Model	BSIM	Dixit	Daniel

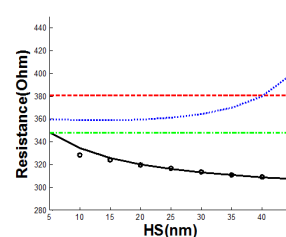
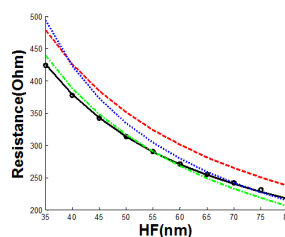
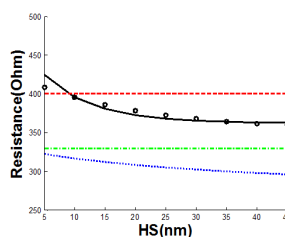
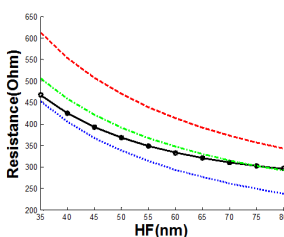


그림 12. Raphael simulation 결과와 제안한 모델, BSIM-CMG, Dixit, Daniel 선행연구 모델의 기생저항 비교

Fig. 12. Comparison between proposed, BSIM-CMG, Dixit, Daniel model, and the 3-D numerical simulation.

그림 13. RSD 폭이 확장된 구조에서 Raphael simulation 결과와 제안한 모델, BSIM-CMG, Dixit, Daniel 선행연구 모델의 기생저항 비교

Fig. 13. Comparison between proposed, BSIM-CMG, Dixit, Daniel model, and the 3-D numerical simulation in wide RSD structure.

반면, 제안한 모델은 HF증가에 따른 contact저항의 증가를 반영하여 simulation결과의 경향과 같고 선행연구에 비해 작은 오차를 갖는다. 따라서 HF의 변화에 대해 제안한 모델이 더 정확한 기생저항을 예측할 수 있다.

Silicide의 두께인 HS의 변화에 따른 simulation값을 살펴보면 HS가 증가함에 따라 기생저항의 값은 작아진다. HS의 변화에 영향을 받지 않는 extension영역의 저항은 일정하지만 silicide영역의 두께인 HS의 증가에 대해 contact저항은 감소하기 때문이다. TLM근사를 사용한 선행연구는 contact저항의 변화를 반영하지 못하고 HS의 변화에 대해 일정한 값을 갖는다. Dixit의 모델은 TLM근사를 사용한 contact저항과 HS의 변화를 반영한 저항의 병렬연결을 사용하여 일정한 값을 갖지 않는다. 하지만 높이에 관한 근사로 인해 제안한 모델에 비해 정확한 값을 예측하지 못한다.

RSD 폭이 확장된 구조의 경우 제안한 모델과 선행연구를 simulation 결과가 그림 13에 도시되어 있다. 확장된 경우 역시 선행연구의 TLM근사의 한계는 존재한다. 본 연구에서 제안한, fin높이가 충분히 높다는 근사를 사용하지 않은 모델이 FinFET구조 변화에 대해 정확한 값을 예측할 수 있다.

## VIII. 결 론

본 논문에서는 FinFET의 소스/드레인 기생저항을 수학적으로 모델링하고 3D numerical solver인 Raphael을 이용하여 검증했다. 3차원 구조인 FinFET의 기생저항을 모델링하기 위해 RSD 폭에 따라 기본 구조와 확장된 구조로 나누어 분석하였다. 제안하는 모델은 전류의 흐름을 고려하여 구간을 나누기 위해 가이드라인을 사용하여 적분을 통해 구현했고, 선행연구에서 사용한 TLM근사 방법을 사용한 모델과 비교하여 더 정확한 예측을 할 수 있음을 보였다. 제안한 FinFET의 기생저항 모델을 compact model인 BSIM-CMG에 구현함으로써 소자 구조 변화에 따른 정확한 회로 성능을 예측할 수 있다.

## REFERENCES

[1] The International Technology Roadmap for Semiconductors(ITRS), 2011.

- [2] Byung-Kil Choi, Kyoung-Rok Han, Ki-Heung Park, Young-Min Kim, and Jong-Ho Lee, "Study on Electrical Characteristics of Ideal Double-Gate Bulk FinFETs," The Journal of The Institute of Electrical Engineers of Korea, vol. 43, no. 11, pp. 754 - 760, Nov. 2006.
- [3] K. W. Lee, SeokSoon Noh, NaHyun Kim, KeeWon Kwon, and SoYoung Kim, "Comparative study of analog performance of multiple fin tri-gate FinFETs," International Conference on Electronics, Information and Communication, 2012.
- [4] W. Yang and J. G. Fossum, "On the feasibility of nanoscale triple gate CMOS transistors," IEEE Trans. Electron Devices, vol. 52, no. 6, pp. 1159-1164, Jun. 2005.
- [5] SeokSoon Noh, KeeWon Kwon, and SoYoung Kim, "Analysis of Process and Layout Dependent Analog Performance of FinFET Structure using 3D Device Simulator," The Journal of The Institute of Electrical Engineers of Korea, vol. 50, no. 4, pp. 795-802, April. 2013.
- [6] BSIM-CMG106.1.0 Technical Manual 9.11.2012
- [7] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, and K. De Meyer, "Analysis of the parasitic S/D resistance in multiple-gate FETs," IEEE Trans. Electron Devices, vol. 52, no. 6, pp. 1132-1140, jun. 2005.
- [8] D. Tekleab, S. Samavedam, and P. Zeitzoff, "Modeling and Analysis of Parasitic Resistance in Double-Gate FinFETs," IEEE Trans. Electron Devices, vol. 56, no. 10, pp. 2291-2296, oct. 2009.
- [9] C. W. Sohn, C. Y. Kang, M. D. Ko, D. Y. Choi, H. C. Sagong, E. Y. Jeong, C. H. Park, S. H. Lee, Y. R. Kim, C. K. Baek, J. S. Lee, J. C. Lee, and Y. H. Jeong, "Analytic Model of S/D Series Resistance in Trigate FinFETs With Polygonal Epitaxy," IEEE Trans. Electron Devices, vol. 60, no. 4, pp. 1302-1309, April. 2013.
- [10] H. H. Berger, "Contact resistance on diffused resistors," in Proc. ISSCC, 1969, pp. 162-163.
- [11] K. Varahramyan and E. J. Verret, "A model for specific contact resistance applicable for titanium silicide-silicon contacts," Solid State Electron, vol. 39, no. 11, pp. 1601-1607, Nov. 1996.
- [12] TCAD Raphael User's Guide, Synopsys.
- [13] Balasubramanian Murugan, Samar K. Saha and Rama Venkat, "Analysis of Subthreshold Behavior of FinFET using Taurus," Journal of Semiconductor Technology and Science, vol. 7,



no. 1, Mar. 2007.

- [14] K. Terada and H. Muta, "A new method to determine effective MOSFET channel length," Japanese journal of applied physics, vol. 18, no. 5, pp. 953-959, May. 1979.

저 자 소 개



안 태 윤(학생회원)  
2013년 성균관대학교  
반도체시스템공학 학사  
2013년~현재 성균관대학교  
반도체디스플레이대학원  
석사과정

<주관심분야 : Device Simulation and Modeling>



권 기 원(정회원)  
2001년 Stanford University  
재료공학과 박사 졸업.  
2001년~2006년 삼성전자(주)  
DRAM개발실 수석연구원  
2007년~현재 성균관대학교  
정보통신대학 부교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed mode 설계>



김 소 영(정회원)-교신저자  
1997년 서울대학교  
전기공학부 학사 졸업.  
1999년 Stanford University  
전기공학과 석사 졸업.  
2004년 Stanford University  
전기공학과 박사 졸업.

2004년~2008년 Intel Corporation  
2008년~2009년 Cadence Design Systems  
2009년~현재 성균관대학교 정보통신대학  
반도체시스템공학과 부교수

<주관심분야 : Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility>