

전압 제어형 카오스회로의 온도특성 해석

박용수¹, 주계초², 송한정^{2*}

¹충청대학교 전기전자학부

²인제대학교 나노시스템 공학부

Temperature Analysis of the Voltage Contolled Chaotic Circuit

Yongsu Park¹, Jichao Zhou² and Hanjung Song^{2*}

¹Department of Electronics Engineering Chung Cheong University

²Department of Nano Systems Engineering Inje University

요 약 본 논문에서는 전압 제어형 카오스 신호 발생회로를 설계하고, 온도변화에 따른 특성을 해석 하였다. 제안하는 CMOS 회로로 이루어지며, 카오스 특성의 전압 제어형 오실레이터의 온도 변화에 따른 특성해석을 실시하였다. 제안하는 회로는 2상 클럭의 샘플앤드홀드로 3개의 MOS 소자로 이루어지는 비선형 함수 블록과 소스 팔로워로 이루어지는 레벨 쉬프터로 구성된다. SPICE 모의실험을 통하여 온도변화에 따른, 비선형함수의 전달함수 변화를 통하여, 분기도 특성, 주파수 특성 등의 카오스 다이내믹스가 변화됨을 확인 하였다. 또한 25℃ 의 온도 조건에서, 제어전압 1.2 V - 2.3 V 범위에서, 카오스 신호가 생성됨을 확인하였다.

Abstract This paper presents a temperature analysis of the chaotic behavior in the voltage controlled CMOS chaotic circuit. The circuit is based on a simple nonlinear function block which is needed for chaotic signal generation. It consists of a NFB (nonlinear function block), a level shifter and non-overlapping two-phase clock for sample and hold. By SPICE simulation, chaotic dynamics such as frequency spectra and bifurcations according to the temperature variations were analyzed. And, it was showed that the circuit can generate discrete chaotic signals within control voltage in the range from 1.2 V to 2.3 V in a specific temperature condition of 25℃.

Key Words : Bifurcation, Chaotic circuit, Nonlinear, Temperature, Time series

1. 서론

최근, 주목을 받고 있는 카오스 이론은 대표적인 비선형 동역학 이론의 하나로, 물리학, 공학을 비롯한 여러 분야에서 지속적으로 연구되고 있다[1]. 이러한 비선형 동역학계의 카오스 현상을 공학적으로 응용하려는 시도가, 암호통신, 신경망이론을 중심으로 끊임없이 이루어져 왔다. 카오스 이론의 공학적, 특히 전자공학적인 응용분야를 살펴보면 카오스 메모리, 다치논리 시스템, $\sigma\Delta$ 변조기, 이미 지프로세싱, 패턴인식, 카오스를 이용한 신호의 송수신, 카오스 뉴런을 이용한 인공지능 및 신경망 분야가 두드

러지다 할 수 있다[1-4]. 카오스 신호를 이용한 통신연구는 카오스 신호의 초기치 민감성으로 인한 동기화 문제에 대하여, 1990년 Pecora[5]가 카오스 시스템을 적절한 부시스템으로 분리할 경우 조건적 동기화가 가능하다는 연구결과가 나오면서 활발히 연구되고 있다. 이러한 응용에 필요한 카오스 신호 생성회로는 혼성 전자회로 구현을 거쳐, 최근에는 반도체 집적회로로 이루어지는 여러 형태의 카오스 회로가 제안된 바가 있다[6-9]. 카오스 신호는, 연속형과 이산형으로 나뉠 수 있고, 본 연구에서는 이산형 카오스 신호 생성회로에 대하여 다룬다. 안정된 성능의 카오스 응용시스템 구현에는 카오스 신호 생성

본 논문은 2012년도 충청대학교 교내연구비 지원을 받아 수행된 것임

*Corresponding Author : Hanjung Song(Inje Univ.)

Tel: +82-10-7778-0202 email: hjsong@inje.ac.kr

Received April 23, 2013 Revised (1st July 3, 2013, 2nd July 12, 2013, 3rd July 26, 2013) Accepted August 7, 2013

회로의 제어용이성, 안정성, 저전력 및 소형화가 요구되어 지게 마련이다[7,9]. 지금까지는, 카오스 회로의 경우, 제어전압 의존성에 대한 연구가 주로 이루어져 있다. 그러나, 반도체로 이루어지는 집적회로로 구현되는 경우, 안정적인 카오스 신호 생성을 위하여 반도체의 온도에 따른 특성변화를 고려해야 한다[10].

본 논문에서는 전압제어형 카오스 회로를 제안하고, 이에 대한 온도변화에 따른 특성해석을 실시한다. 제안하는 카오스 집적회로는 이산시간 전압모드로 2상 클럭에 의해 동작되며, 비선형함수, 샘플앤드홀드 블록 등으로 구성된다. 제안하는 회로는 0.6 μm CMOS 공정의 파라메타를 이용하여 SPICE 모의실험을 통하여, 온도변화에 따른, 시간파형, 주파수특성 및 분기도 등의 카오스 특성변화를 분석한다.

2. 온도특성 분석을 위한 카오스 회로

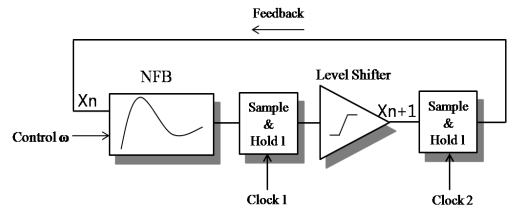
일반적으로 이산형 카오스 신호는 다음과 같은 차분 방정식을 통하여 표현될 수 있다[6,7].

$$x(n+1) = f(x(n)) \quad (1)$$

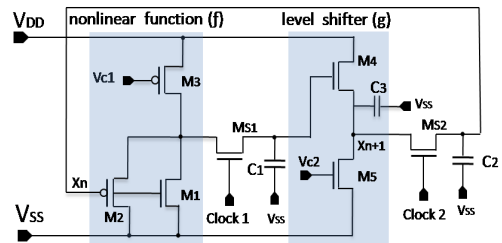
여기에서 x 는 신호의 상태변수를 나타내며, 비선형 함수 f 를 통하여 출력신호의 입력 귀환에 의해 카오스 신호가 생성 될 수 있다. 카오스 신호 생성을 위해서는 최소한 1개 이상의 비선형 함수가 요구된다[7]. 지금까지 발표된 논문을 분석해 보면, 이산형 카오스 신호를 생성하기 위하여 대부분 1개의 비선형함수를 사용해 왔다[7]. 일반적으로, 카오스 신호생성에 필요한 비선형 함수를 어떻게 구현하느냐에 따라, 카오스 회로의 구조와 형태가 달라질 수 있다. 본 논문에서는 종래의 회로와는 다르게, 2개의 비선형함수, 즉 범프형 비선형 함수와 전압변화 유도를 위한 레벨시프터로 이루어지는 새로운 회로를 제안한다. Fig. 1에 나타나 있다시피, 1개의 비선형 함수(NFB)와 2상 클럭에 의해 구동되는 샘플앤드 홀드 블록 및 레벨 시프터 등으로 구성된다. 본 논문의 온도해석을 위한 이산형 카오스 회로는 다음과 같은 1차원 차분 방정식으로 표현 될 수 있다.

$$x(n+1) = g \cdot f(x(n-1), \omega) \quad (2)$$

여기에서 x 는 상태변수, ω 는 온도변수를 나타내며, f 와 g 는 각각 비선형함수와 레벨 시프터를 나타낸다.

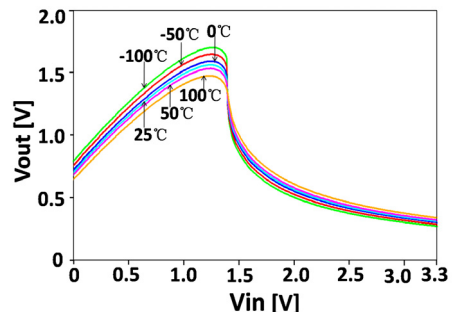


[Fig. 1] Proposed block diagram of chaotic circuit for chaotic signal.

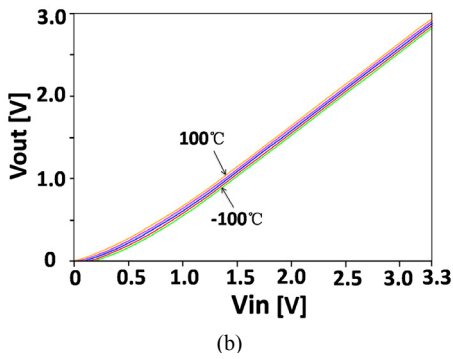


[Fig. 2] Voltage controlled chaotic circuit for temperature analysis

온도특성 해석을 위한, 카오스회로를 Fig. 2에 나타냈다. 제안하는 회로는 2상 클럭으로 구동되며, 3개의 MOS로 이루어지는 비선형함수(NFB : nonlinear function block) f 와 레벨 시프터 g 로 구성된다. 제안하는 회로는 동작 원리는, 카오스 생성회로의 입력 X_n 이 비선형 함수회로(NFB)를 거치며 스위치 $Ms1$ 를 통하여, 레벨 시프터의 입력으로 연결되고, 그 출력 X_{n+1} 이 스위치 $Ms2$ 를 거쳐 다시 입력으로 귀환된다. 함수(NFB) f 는 카오스 신호 생성에 필요한 비선형 함수를 구현한다. Fig. 3은 비선형함수와 레벨 시프터의 온도변화에 따른 전달특성곡선을 나타낸다. Fig. 3(a)에서 보듯이, NFB의 전달특성 곡선이 온도가 증가함에 따라서, 입력전압이 낮은 경우에 피크점과 함께 아래로 이동하며, 입력전압이 높아지는 경우 위로 이동함을 나타낸다. 한편 레벨시프터의 경우, 온도증가에 따라 출력특성이 거의 선형적으로 증가함을 보여준다.



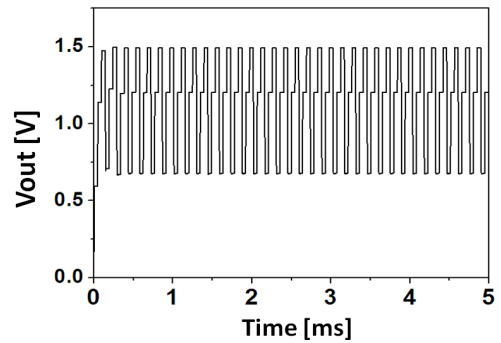
(a)



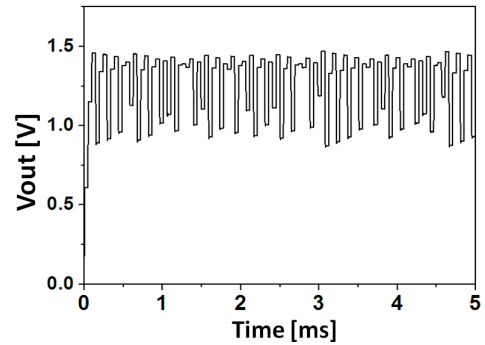
[Fig. 3] Transfer curves of the nonlinear function (a) block (NFB) and (b) level shift block under the temperatures fluctuation.

3. 온도변화에 따른 카오스 회로 해석

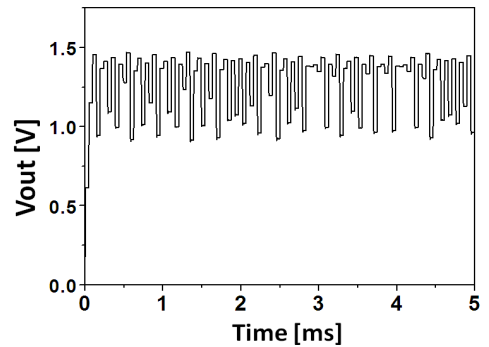
본 논문에서 제안하는 이산형 카오스 회로의 온도 변화에 따른 대하여 SPICE 모의실험을 실시하여 특성변화를 분석하였다. 사용된 SPICE 파라미터는 0.6 μm CMOS 공정파라미터이다. 제안하는 회로는 전원전압 3.3 V와 제어전압 V_{c1} 의 변화에 따라, 클럭 주파수 20 kHz에서 구동되도록 하였다. 카오스 회로의 특성변화를 분석하기 위하여, 총 6개의 온도조건 즉, -50°C , 0°C , 25°C , 50°C , 75°C , 100°C 로 설정하여 모의실험을 실시하였다. Fig. 4(a)에서 보듯이, 낮은 온도에서는 카오스 신호 생성이 되지 않고 3주기성 신호가 생성됨을 알 수 있다. 0°C 의 경우 Fig. 4(b)의 시간파형에서 보듯이 출력특성이, 0.8 V ~ 1.5 V 범위에서 카오스 특성의 신호가 생성됨을 알 Fig. 4는 제어전압 V_{c1} 를 1.5 V로, $V_{c2} = 1$ V 고정한 상황에서, 온도 변화에 따른 특성을 시간파형으로 나타낸 것이다. -50°C 의 경우, 출력전압이 Fig. 4(a)의 시간파형에 수 있다. 마찬가지로, 25°C , 50°C 의 경우, Fig. 4(c)와 (d)에서 보듯이, 각각, 0.9 V ~ 1.5 V와 1.0 V ~ 1.45 V 범위에서 또 다른 카오스 신호가 생성된다. 한편 75°C 의 경우, 1.0 V ~ 1.5 V에서 4주기 특성의 신호가 생성된다. 마찬가지로, 100°C 의 경우, Fig. 4(f)의 시간파형에서 보듯이 2주기성의 특성을 보인다.



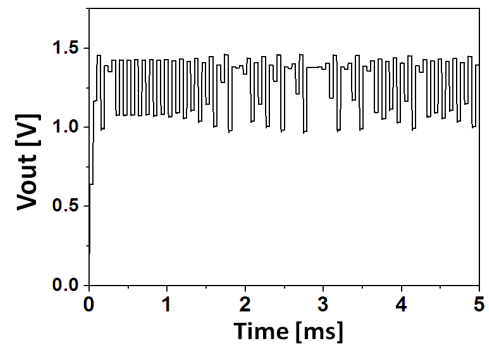
(a) -50°C



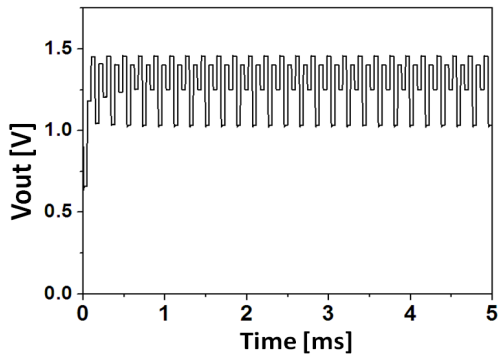
(b) 0°C



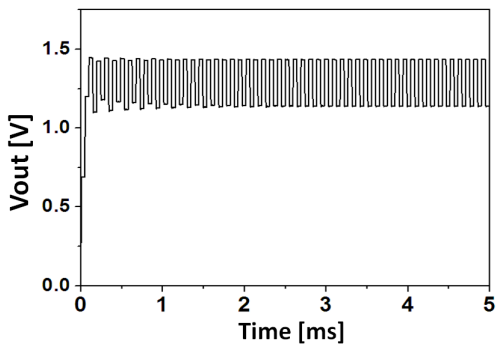
(c) 25°C



(d) 50°C



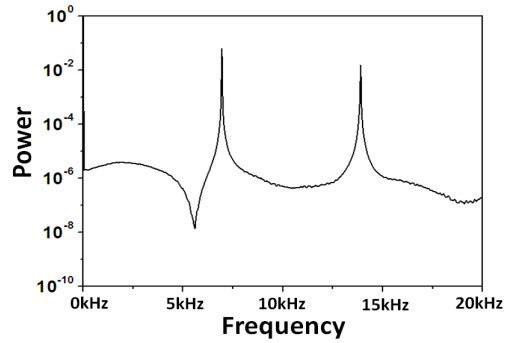
(e) 75°C



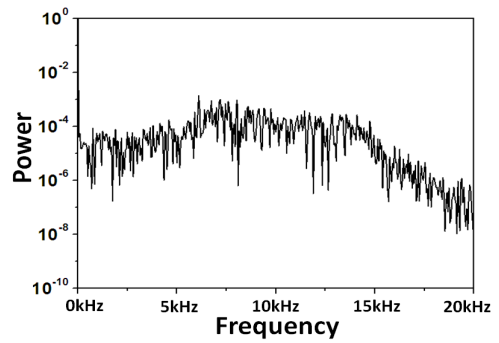
(f) 100°C

[Fig. 4] Generated time signals of the chaotic circuit according to temperature variation

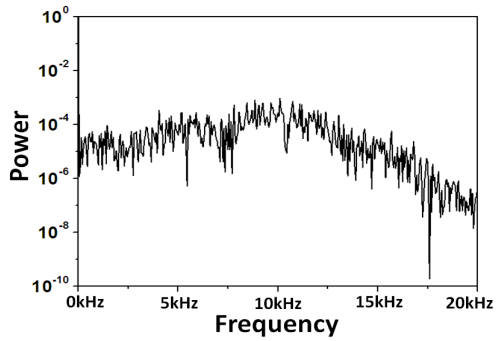
Fig. 5는 온도 변화에 따른 출력신호의 주파수의 특성 변화 분석 그림이다. 제어전압 조건과 온도조건은 Fig. 4와 동일하게 하였다. -50°C의 경우, 출력전압이 Fig. 4(a)의 시간파형에서 보듯이 3주기성의 신호가 생성됨을 볼 수 있다. Fig. 5(a)는 Fig. 4(a)의 조건 즉 -50°C의 경우로, 출력전압의 주파수 피크가 2개를 나타내며 전형적인 3주기의 펄스임을 보여준다. 마찬가지로, Fig. 5(b),(c),(d)는 0°C, 25°C, 50°C의 경우로, 출력전압이 전체 주파수 영역에 걸쳐 주파수 성분이 분포하는 전형적인 카오스 신호 특성을 보이고 있다. Fig. 5 (e)는 75°C의 경우로, 출력전압의 주파수 피크가 3개, 즉 4주기성을 나타낸다. 마지막으로, Fig. 5(f)는 100°C의 경우로, 출력전압의 주파수 특성으로 1개 펄스, 즉 2주기성을 나타낸다.



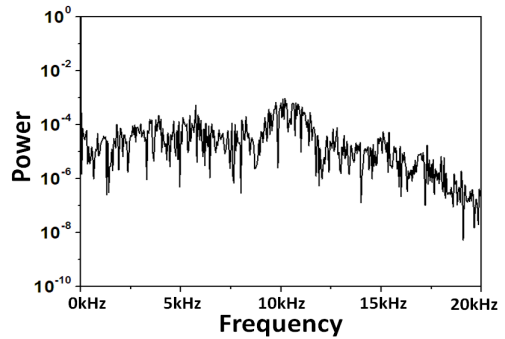
(a) -50°C



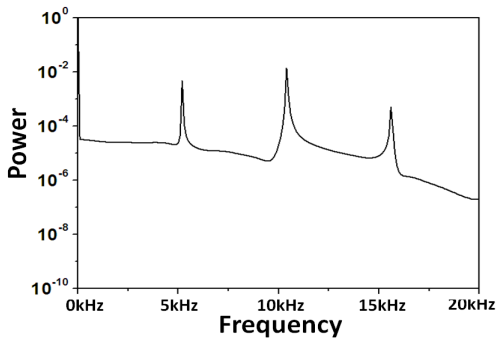
(b) 0°C



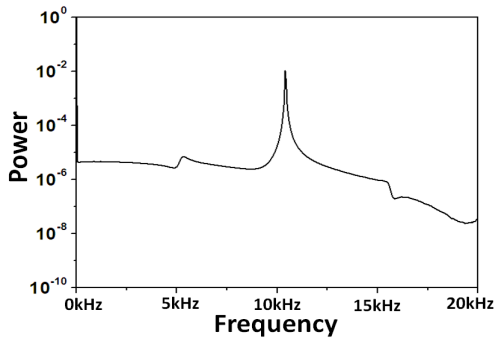
(c) 25°C



(d) 50°C



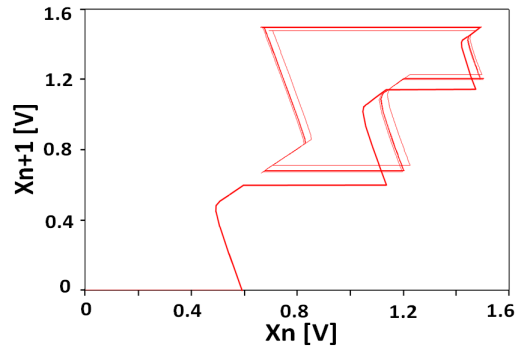
(e) 75°C



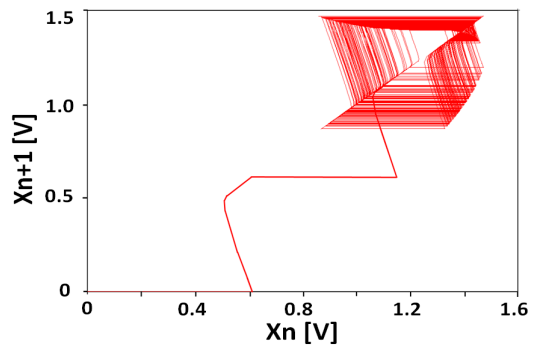
(f) 100°C

[Fig. 5] Frequency analysis of the chaotic circuit according to temperature variation

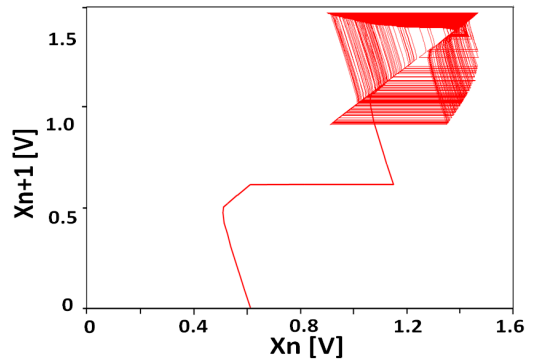
Fig. 6은 온도 변화에 따른 출력신호의 상태천이도 (state transition diagram)이다. 제어전압 조건과 온도조건은 Fig. 4와 동일하게 하였다. 각각, -50°C의 경우에 해당하는, Fig. 6(a)는 카오스 회로의 출력에 대한 상태 천이도로 최종적인 궤적이 3주기성의 패턴을 그리고 있는 것을 보여주고 있다. 마찬가지로, Fig. 6(b),(c),(d)는 각각, 0°C, 25°C, 50°C의 경우로, 카오스 회로의 출력에 대한 상태 천이도가, 시간에 따라 계속적으로 다른 궤도를 그리며 카오스 패턴을 보여주고 있다. Fig. 6(e)는 75°C의 경우로, 카오스 회로의 출력에 대한 상태 천이도가 4주기성 패턴의 궤적을 그리고 있는 것을 보여주고 있다. 마지막으로, Fig. 6(f)는 100°C의 경우로, 상태 천이도에서, 최종적인 궤적이 2주기성의 패턴을 그리고 있는 것을 보여주고 있다.



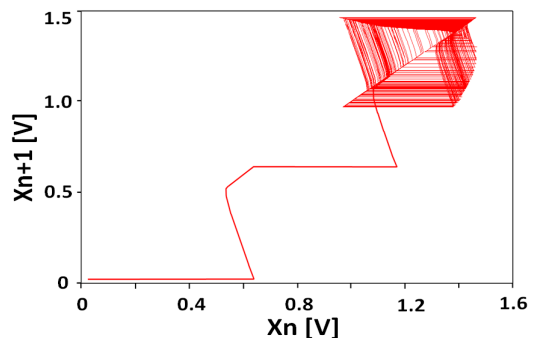
(a) -50°C



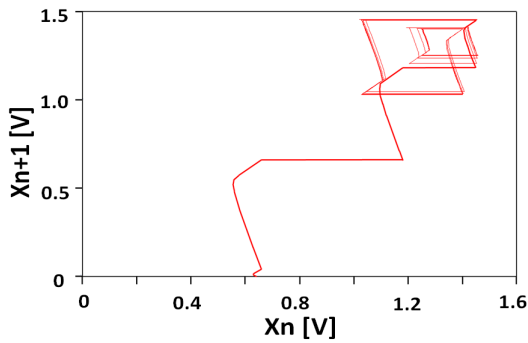
(b) 0°C



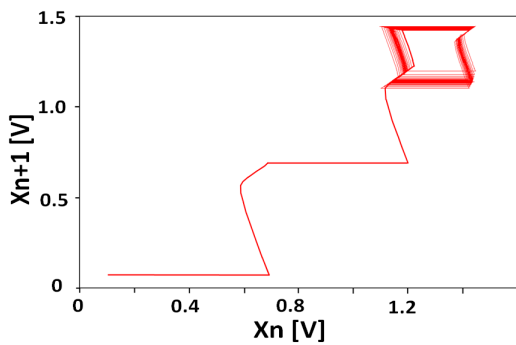
(c) 25°C



(d) 50°C

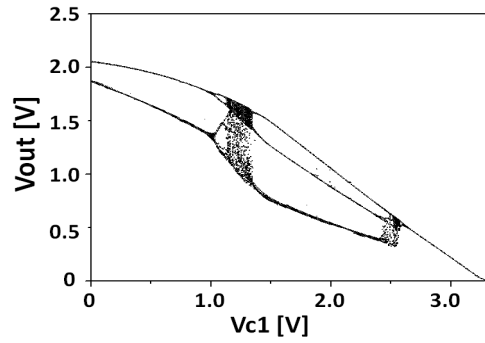


(e) 75°C

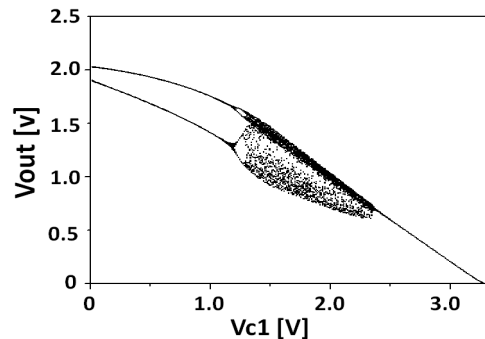


(f) 100°C

[Fig. 6] Transistion diagram analysis of the chaotic circuit according to temperature variation



(a) -50°C



(b) 25°C

[Fig. 7] Bifurcations of output voltage according to control voltage (Vc1)

마지막으로 고정된 온도에서 제어전압의 변화에 따른 분기도를 구하였다. Fig. 7은 온도 변화에 따른 분기도로, 그림에서 보듯이, 제어전압 조건에 따른 주기상태에서 카오스 상태로 분기되는 것을 볼 수 있다. Fig. 7(a)의 경우 온도 -50°C 일 때의 분기도이다. 제어전압이 $0\text{ V} < V_{c1} < 1.0\text{ V}$ 일 때 2 주기특성을 보이며,

4주기성으로 분기하다가, $1.1\text{ V} < V_{c1} < 1.4\text{ V}$ 일 때 카오스 특성이 생성되는 것을 알 수 있다. 계속 제어전압이 높아짐에 따라, 다시 3주기 특성을 나타내며, $2.41\text{ V} < V_{c1} < 2.6\text{ V}$ 일 때 다시 카오스 신호가 생성된다. 제어전압 V_{c1} 이 2.6 V 이상의 경우에는 그림에서 보듯이 일정한 출력전압으로 수렴되는 평형상태를 나타내고 있다. 한편 온도조건이 25°C 일 때, 제어전압 V_{c1} 에 따른 분기도를 Fig. 7(b)에 나타내고 있다. Fig. 7(a)와 비교해 볼 때, 카오스 신호가 생성되는 제어전압 구간이 $1.4\text{ V} < V_{c1} < 2.4\text{ V}$ 로 확장됨을 알 수 있다. 제어전압이 1.4V 이하일 경우, 2주기와 4주기성을 보이며, 제어전압이 2.4V 이상일 경우 평형상태로 수렴됨을 보여주고 있다.

4. 결론

본 논문에서는 온도변화에 따른 카오스 회로의 분석을 위하여, 전압제어 방식의 이산형 카오스 회로를 제안하였다. 제안하는 회로는 비선형 함수 블록과 레벨 쉬프터로 이루어지며, 2상 클럭으로 구동된다. 온도조건을 6가지로 하여 회로 특성이 어떻게 변화되는지를, 시간과형, 주파수 특성, 천이특성 및 분기도를 구하여 분석하였다. 분석 결과, 온도변화에 따라, 비선형함수와 레벨 쉬프터의 전달특성곡선이 미소한 변화와 또, 전체 회로에 미치는 영향을 확인하였다. 온도조건에 따라, 제어전압의 제한된 영역에서만, 카오스 신호가 생성됨을 확인하였다. 향후, 안정적인 카오스 신호 생성을 위하여, 카오스 회로 설계시, 이러한 온도에 따른 변화를 고려해야 할 것으로 사료된다.

References

- [1] J. W. Jung, J. W. Lee and H. J. Song, "Implementation of an integrated op-amp based chaotic neuron model and observation of its chaotic dynamics," *Chaos*, vol.21 no.1, pp. 013105(1-7), March 2011
DOI: <http://dx.doi.org/10.1063/1.3548064>
- [2] W. Kinzel, A. Englert and I. Kanter, "On chaos synchronization and secure communication," *Phil. Trans. R. Soc. A*, vol. 368 pp. 379-389 2010
DOI: <http://dx.doi.org/10.1098/rsta.2009.0230>
- [3] X, Y. WANG and X. L. REN, "Chaotic synchronization of two electrical coupled neurons with unknown parameters based on adaptive control," *Chin. Phys. Lett.* vol. 28, no. 5, pp.050502(1-4), May 2011
DOI: <http://dx.doi.org/10.1088/0256-307X/28/5/050502>
- [4] K. Aihara, T. Takbe, and M. Toyoda, "Chaotic neural networks," *Phys. Lett. A*, vol.144, no.6, pp.333-340, 1990.
DOI: [http://dx.doi.org/10.1016/0375-9601\(90\)90136-C](http://dx.doi.org/10.1016/0375-9601(90)90136-C)
- [5] Louis M. Pecora and Thomas L. Carroll, "Synchronization in chaotic systems," *Phys. Rev. Lett.* vol. 64, Feb, 1990.
DOI: <http://dx.doi.org/10.1103/PhysRevLett.64.821>
- [6] H. J. Song and K.D. Kwack, "CMOS circuit design and implementation of the discrete time chaotic chip", *ISCAS 2002*, vol. III, pp.73-74, 2002
DOI: <http://dx.doi.org/10.1109/ISCAS.2002.1010163>
- [7] P. Dudek and V. D. Juncu, "Compact discrete-time chaos generator circuit", *Electronics Letters*, vol. 39, pp.1431-1432, 2003.
DOI: <http://dx.doi.org/10.1049/el:20030881>
- [8] M. Delgado-Restituto, A. Rodriguez-Vazquez, "Integrated chaos generators," *Proceedings of the IEEE*, vol. 90, pp. 747-767, May 2002.
DOI: <http://dx.doi.org/10.1109/JPROC.2002.1015005>
- [9] José L. Rosselló, et al., "A simple CMOS chaotic integrated circuit," *IEICE Electronics Express*, vol. 5, no. 24, pp. 1042-1048, December 2008.
DOI: <http://dx.doi.org/10.1587/elex.5.1042>
- [10] S. Govindarajulu and T. J. Prasad, "Temperature variation insensitive energy efficient CMOS circuits design in 65 nm technology," *International Journal of Engineering Science and Technology*, vol. 2, no. 6, pp. 2140-2147, June 2010.

박 용 수(Yong-su Park)

[정회원]



- 1986년 2월 : 경북대학교 전자공학과 (공학사)
- 1988년 2월 : 경북대학교 전자공학과 (공학석사)
- 2005년 2월 : 충북대학교 전자공학과 (공학박사)
- 1994년 3월 ~ 현재 : 충청대학교 전기전자학부 교수

<관심분야>

반도체 소자 신뢰성 및 반도체 테스트

주 계 초(Jichao Zhou)

[준회원]



- 2012년 2월 : 인제대학교 전자지능로봇공학과 (공학사)
- 2012년 3월 ~ 현재 : 인제대학교 나노공학부 (석사과정)

<관심분야>

반도체소자 회로설계

송 한 정(Han-Jung Song)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 교수

<관심분야>

반도체 소자 신뢰성 및 회로설계