

양 방향성과 높은 홀딩전압을 갖는 사이리스터 기반 Whole-Chip ESD 보호회로 The Design of SCR-based Whole-Chip ESD Protection with Dual-Direction and High Holding Voltage

송 보 배*, 한 정 우**, 남 종 호**, 최 용 남**, 구 용 서**

Bo-Bae Song*, Jung-Woo Han**, Jong-Ho Nam**, Yong-Nam Choi**, Yong-Seo Koo**

Abstract

We have investigated the electrical characteristics of SCR(Silicon Controlled Rectifier)-based ESD power clamp circuit with high holding voltage and dual-directional ESD protection cells for a whole-chip ESD protection. The measurement results indicate that the dimension of n/p-well and p-drift has a great effect on holding voltage (2V-5V). Also A dual-directional ESD protection circuit is designed for I/O ESD protection application. The trigger voltage and the holding voltage are measured to 5V and 3V respectively. In comparison with typical ESD protection schemes for whole-chip ESD protection, this ESD protection device can provide an effective protection for ICs against ESD pulses in the two opposite directions, so this design scheme for whole-chip ESD protection can be discharged in ESD-stress mode (PD, ND, PS, NS) as well as VDD-VSS mode. Finally, a whole-chip ESD protection can be applied to 2.5~3.3V VDD applications. The robustness of the novel ESD protection cells are measured to HBM 8kV and MM 400V.

요 약

본 논문에서는 높은 홀딩 전압을 갖는 SCR 기반의 파워 클램프용 ESD 보호회로와 whole-chip ESD 보호를 위한 양 방향성 ESD 보호회로를 제안하였다. 측정 결과, 파워 클램프의 경우 N/P-웰과 P-drift 영역의 길이의 변화에 따른 홀딩 전압의 증가를 확인하였으며 I/O의 경우 5V의 트리거 전압과 3V의 홀딩 전압을 확인하였다. 일반적인 whole-chip ESD 보호회로와 달리, VDD-VSS 모드 뿐만 아니라 PD, ND, PS, NS의 ESD stress mode의 방전 경로를 제공하여 효과적인 보호를 제공하며 최대 HBM 8kV, MM 400V의 감내특성을 가진다. 따라서 제안된 whole-chip ESD 보호회로는 2.5V~3.3V의 공급전원을 가지는 application에 적용 가능하다.

Key words : ESD, SCR, *gg*NMOS, Trigger voltage, Holding voltage

* Dept. of Electronics and Electrical Engineering,
Dankook University
sbb0906@dankook.ac.kr 010-3445-0906

★ Corresponding author

※ Acknowledgment

1. This work was supported by the IT R&D program of MKE/KEIT [10035171, Development of High Voltage/Current Power Modules and ESD for BLDC Motors], the Ministry of Knowledge Economy(MKE) and Korea Institute for Advancement of Technology(KIAT) through the

Research and Development for Regional Industry [70011347, Development of Driver IC Module and High Voltage/High Speed Switching Power MOSFET based on Silicon Semiconductor] and Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy [10039145, The development of system semiconductor technology for IT fusion revolution]

Manuscript received Sep. 13, 2013; revised Sep. 24,2013
; accepted Sep. 26. 2013

I. 서론

정전기 방전(Electrostatic discharge) 현상은 공정 기술이 발달함에 따라 집적회로의 신뢰성과 관련된 중요한 문제로 야기되고 있다. 공정의 발달은 집적회로의 소형화를 가져왔지만 이에 반해 정전기 방전 현상에 따른 정상 상태에서의 오작동 및 파괴는 점점 심각한 문제로 인식되고 있다[1]. SCR은 우수한 ESD(Electrostatic Discharge) 감내 능력과 높은 전류 구동 능력으로 광범위한 기술 영역에서 ESD 보호 소자로서 사용되어 왔다. 일반적인 SCR 구조는 N-웰과 P-웰 사이의 avalanche breakdown 전압에 의해 약 20V 이상의 높은 트리거 전압을 가진다. 또한 SCR 내부에 기생적으로 존재하는 NPN/PNP 바이폴라 트랜지스터의 턴-온 전압이 약 2V 이하의 낮은 홀딩 전압을 가지고 있다[2-4]. 그리고 이러한 문제점으로 인해 SCR은 ESD 보호소자로 사용할 경우 높은 트리거 전압과 낮은 홀딩 전압에 의해 내부회로의 파괴 또는 overshoot 전압 및 노이즈에 의해 latch-up이 발생하는 문제가 생길 수 있다. 이에 따라, 낮은 trigger 전압과 높은 holding 전압을 가지는 효율적인 ESD 보호소자가 필요하다[5].

인가되는 ESD 전하는 양전하 또는 음전하일 수도 있기 때문에, 극성에 따라 VDD 또는 VSS 핀에 대해 네 가지의 ESD 테스트 모드를 제공한다 (PD, ND, PS, NS) [6]. 또한 I/O 핀에서의 테스트는 pin-to-pin과 VDD-to-VSS의 테스트 역시 전체 칩의 감내특성을 검증하기 위해 수행된다. 이 경우, ESD 보호회로는 stress mode에 대한 ESD 방전을 충족시키기 위해 면적이 커질 수 밖에 없다 [7].

따라서 본 논문에서는 높은 홀딩 전압을 갖는 새로운 구조의 SCR 기반의 ESD 보호회로를 제안하여 latch-up에 대한 면역성을 높이고, 양방향성 ESD 보호회로를 통해 면적의 효율성을 높인 I/O용 ESD 보호회로를 제안하였다. 또한 제안된 ESD 보호회로를 이용하여 전체 칩에 대한 보호 설계 계획을 제안하였다.

II. 본론

1. 제안된 파워 클램프용 ESD 보호회로 : HHVSCR

그림 1은 제안된 높은 홀딩 전압을 가지는 RC-회로 기반의 SCR(HHVSCR; High Holding Voltage SCR)을 나타내었다. 다음의 ESD 보호회로는 VDD와 VSS 사이에서 ESD가 인가되었을 경우 턴-온되도록 설계되어 효율적인 ESD 방전 경로를 제공한다. ESD

상태가 아닌 정상 동작 상태에서의 전원이 인가되는 상황에서 ESD 보호회로는 반드시 턴-오프 상태를 유지해야 한다. 따라서 이런 동작 요구 조건을 만족시키기 위해서 일반적인 ESD 전압의 상승시간이 약 10ns이고 VDD 전원이 인가될 시 상승시간이 ms단위인 점을 고려하여 RC 시상수는 약 0.1~1us로 설계하였다 [7].

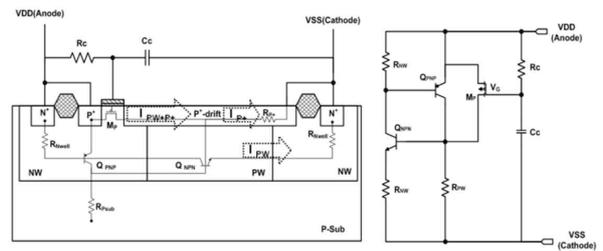


Fig. 1. Cross-section and equivalent circuit of HHVSCR
그림 1. HHVSCR 기반 ESD 보호회로의 단면도와 등가회로

VDD 전원 인가 시에, PMOS는 게이트에 바이어스가 인가되지 않기 때문에 턴-오프 상태를 유지한다. N-웰과 P-drift 영역 (PMOS의 드레인 영역) 사이의 reverse blocking 상태의 접합은 높은 전계의 영향으로 avalanche breakdown이 발생한다. ESD 전류는 QPNP를 통해 P-웰과 P-drift 영역으로 흘러 QPNP의 이미터-베이스 접합의 forward bias를 유도하여 QNPN을 턴-온시킨다. RC network의 시상수는 약 0.1us로 약 10ns의 ESD 전압에 비해 크기 때문에 게이트 전압은 ESD 전압 레벨보다 훨씬 느리게 증가하게 된다. 따라서 PMOS의 게이트 전압 증가의 time delay 때문에 PMOS는 ESD 전압에 의해 bias된다. 따라서 전원 공급이 없는 floating 상태에서는 PMOS는 RC-network의 time delay에 의해 턴-온되고 QNPN의 이미터-베이스 접합을 forward bias시키는 유사한 방식으로 동작한다. 따라서 제안된 SCR 기반 파워 클램프 ESD 보호회로는 floating 상태와 VDD 전원 인가 상태에서 모두 P+ 확산영역 - N-웰 - P-웰 - N-웰로 구성되는 SCR 동작을 하게 되어 ESD에 의한 손상으로부터 효율적으로 보호가 가능하다. N-웰로부터 캐소드로 흐르는 QNPN 전류는 QPNP에 forward bias를 공급하게 되고 이에 따라 애노드 전압은 더 이상 QPNP를 위한 전압을 공급할 필요가 없어진다. 이 때, SCR의 대전류 동작 하에서 애노드와 캐소드 사이의 전압 강하를 홀딩 전압이라 하며 식 (1)과 같이 나타낼 수 있다.

$$V_H = V_{BE}(Q_{PNP}) + V_{BE}(Q_{NPN}) \tag{1}$$

식 (2)와 (3)에서 $I_{(PW+P+)}$ 는 애노드로부터 공급되는 전류이며 avalanche breakdown 이후에 P-drift와 P-웰 영역을 통해 흐른다. $V_{(P-drift)}$ 는 VDD와 VSS 사이의 PNP 트랜지스터의 이미터-베이스 사이의 전압강하를 나타낸다. I_{P+} 은 캐소드와 연결된 P-drift 영역의 ESD 전류를 나타낸다. I_{PW} 는 ESD 파워 클램프 내에서 P-drift 영역에서 P-웰로 흐르는 ESD 전류를 나타낸다. 캐소드에서 N-웰의 저항 성분은 고려되지 않는다.

$$(V_{BE})_{NPN} = I_{(PW+P+)} \times R_{PW} - \frac{(V_{P+-drift} \times R_{PW})}{R_{P+}} \quad (2)$$

$$(V_{BE})_{NPN} = [I_{(PW+P+)} - \frac{V_{P+-drift}}{R_{P+}}] \times R_{PW} \quad (3)$$

식 (1)로부터, 홀딩 전압은 식 (4)와 같이 정리하여 나타낼 수 있다.

$$V_H = (V_{BE})_{PNP} + [I_{(PW+P+)} - \frac{V_{P+-drift}}{R_{P+}}] \times R_{PW} \quad (4)$$

제안된 ESD 보호회로는 R_{P+} 와 R_{PW} 의 저항 성분에 의해 높은 홀딩 전압의 전기적 특성을 갖는다. 따라서 홀딩 전압의 최적화는 식 (4)로부터 N-웰과 P-웰의 면적 비율(D1)과 P+ 확산영역의 길이(D2)를 조절함으로써 얻을 수 있다.

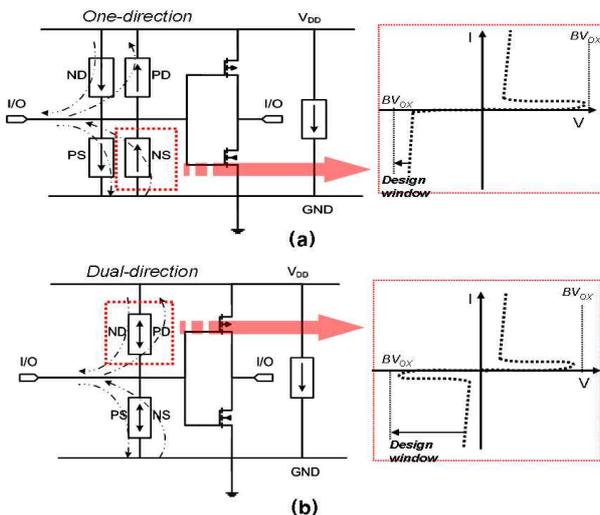


Fig. 2. The typical schematic diagram for whole-chip ESD protection and typical I-V characteristics for ESD protection

그림 2. 일반적인 전체 칩 ESD 보호에 대한 회로도 및 I-V 특성

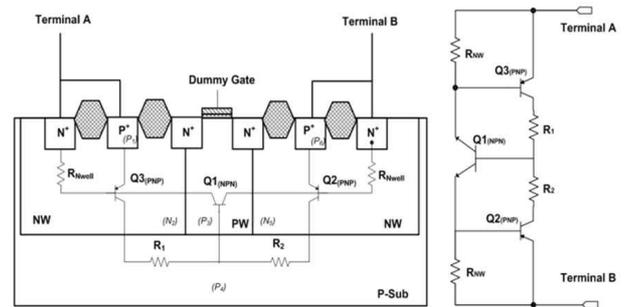


Fig. 3. Cross-section of Bi-SCR and equivalent circuit of Bi-SCR

그림 3. 제안된 Bi-SCR ESD 보호회로의 단면도와 등가회로

2. I/O용 ESD 보호회로 : Bi-SCR

실제적으로 패드에 인가되는 ESD 펄스는 PD, ND, PS, NS 모드로 분류되는 각기 다른 형태로 인가될 수 있다. 하지만 이럴 경우, ESD 보호는 각각의 모드에 대한 보호 계획을 가져야하기 때문에 보호회로의 크기가 더욱 증가하게 된다. 이는 낮은 임피던스의 방전 경로가 forward ESD 방전 시, 한 방향으로만 형성되기 때문에 ESD 감내특성에 대한 제한을 가져온다. 그림 2(a)는 5가지 ESD 방전 모드에 대한 회로 구조와 일반적인 I-V 특성을 나타낸다. 그림 2(b)는 dual-directional SCR을 이용한 ESD 보호 방법에 대한 회로 구조와 I-V 특성을 나타낸다. 설계된 dual-directional ESD 보호 구조와 등가 회로는 그림 3에 나타나 있다. dual-directional ESD 보호회로는 하나의 수평형 NPN 트랜지스터(Q1NPN)와 두 개의 수직형 PNP 트랜지스터(Q2PNP, Q3PNP), 그리고 기생 저항 성분(R_1, R_2)으로 구성되어 있으며 단자 A와 단자 B 사이에 연결되어 있다. 만약 positive ESD 펄스가 B 단자(PS 모드일 때 GND)에 대해 A 단자(I/O 패드)로 유입되면, Q1의 BC 접합(N2P3)은 reverse bias 상태가 되고 avalanche breakdown이 발생하면 EHP(Electron-Hole Pairs)가 형성된다. 접촉 영역 P4-N5 (N+ 확산영역)이 접지된 단자 B로 연결되어 있기 때문에 과잉 정공 전류는 단자 B로 흘러 기생저항 R_2 사이에서 전압 강하를 형성하여 Q1의 베이스-이미터 접합(P3N5)을 forward bias 시킨다. Q3-Q1(P1N2P3N5)의 SCR은 동작하기 시작하고 낮은 임피던스의 경로를 형성하여 ESD 전류를 안전하게 방전시키고 I/O 패드의 전압을 충분히 낮은 레벨로 제한한다. SCR은 빠른 시간 내에 ESD 전류를 방전시키고 소자의 홀딩 전류 레벨 아래로 감소함에 따라 자체적으로 턴-오프된다. 같은 방식으로

Q2-Q1(P6N5P3N2)로 형성되는 SCR의 NS 모드 ESD 상태일 때도 적용되어 반대 방향의 방전 경로를 형성한다. 따라서 제안된 ESD 보호 소자는 양 방향의 ESD 펄스에 대해서 집적회로의 효율적인 보호를 제공할 수 있으며 그림 2(b)에서 알 수 있듯이 대칭적인 I-V 특성을 보인다. 유사하게, I/O 핀에서 VDD로 연결된 ESD 보호회로 역시 같은 방식으로 ND와 PD 모드에 대해 동작할 수 있다.

3. Whole-chip ESD 보호의 레이아웃

레이아웃은 CMOS IC 내에서 ESD 보호회로의 설계와 집적화를 하는데 있어 중요한 단계이다. ESD 보호회로는 작은 크기, 신뢰성 뿐만 아니라 IC 제조 기술에 의해 제공되는 design rule에 부합해야하며 사용 가능한 빈 공간에 적용할 수 있어야 한다. ESD는 I/O 핀 상에서 floating 상태의 VDD 또는 VSS 핀에 대해 positive 또는 negative의 전압을 가질 수 있기 때문에 네 가지의 ESD stress mode를 가진다(PD,

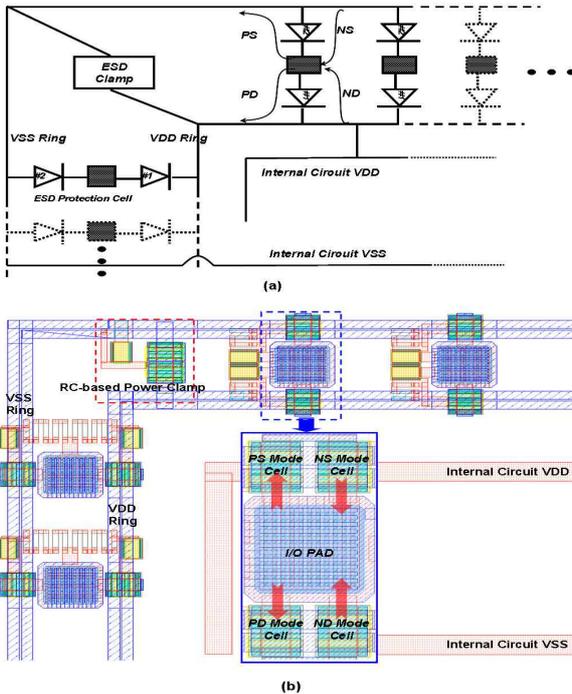


Fig. 4. (a) The schematic for whold-chip ESD protection (b) The layout of the whole-chip ESD protection design for the four ESD-stress mode(PD, ND, PS, NS) on an I/O pins and discharge between VDD and VSS power lines.

그림 4. (a) Whole-chip ESD 보호를 위한 회로 구성도 (b) I/O 핀과 VDD-VSS 전원선에서의 네가지의 ESD 모드(PD, ND, PS, NS)를 위한 레이아웃

PS, ND, NS). 또한 파워 클램프 회로에 의해 VDD와 VSS 사이에서 방전 경로(DS)를 가진다. 그림 4는 전체 칩 상에서의 네가지 ESD stress mode의 ESD 보호를 위한 I/O 및 파워 클램프의 회로 구성도와 레이아웃 설계 방안을 제시하였다.

Whole-chip ESD 보호를 위해 제안된 SCR 기반의 파워 클램프 회로와 양방향성 I/O ESD 보호회로가 설계

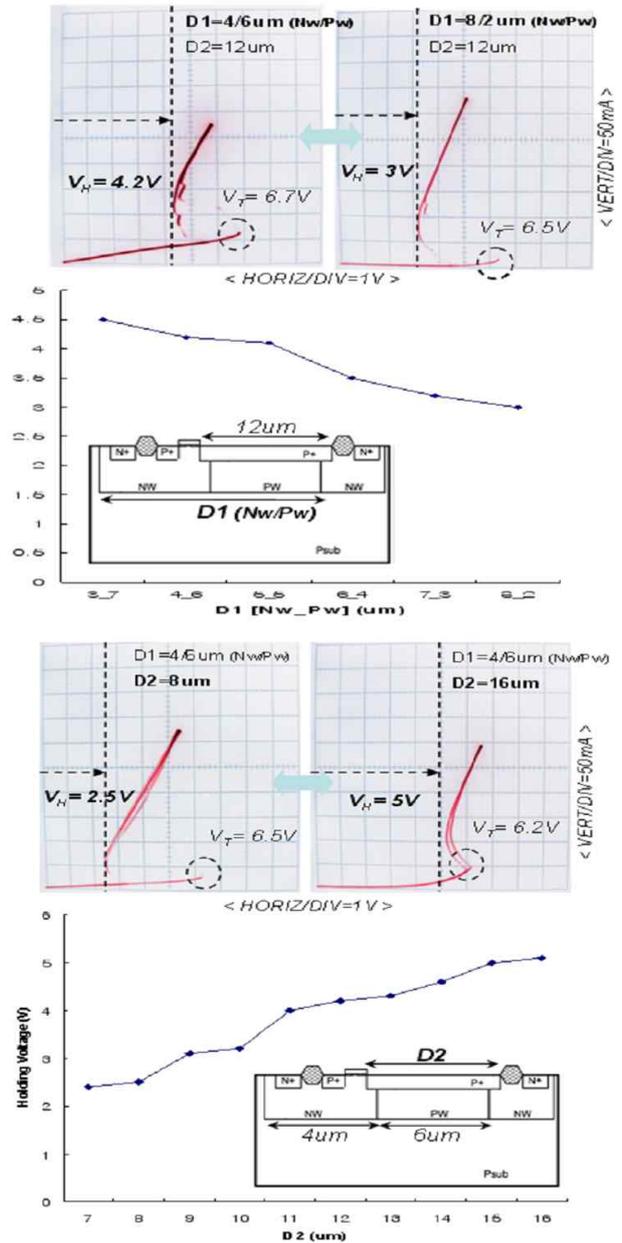


Fig. 5. The measurement results of ESD power clamp circuit for the variation of N-well (D1) and P+-drift (D2) 그림 5. N-웰의 길이 (D1)와 P-drift 영역의 길이 (D2)에 따른 ESD 파워 클램프 회로의 측정 결과

및 적용되어 pin-to-pin과 VDD-to-VSS에 대한 효율적인 방전 경로를 제공하여 높은 ESD 신뢰성을 가진다. 설계된 ESD 보호회로는 패드(핀)수를 줄일 수 있고, 각 I/O 패드가 네가지 ESD stress mode에서 동작할 수 있기 때문에 면적 효율성을 높일 수 있다. 각 ESD 보호소자의 구조는 multi-finger 구조로 설계되어 더 높은 감내 특성을 가진다. 소자 폭(width)의 확장은 공정의 변화에 영향을 받지 않는 요소이다 [6]. 각 ESD 보호소자의 폭은 60um로 설계되어 패드의 폭인 80um에 맞게 설계되었다. 패드를 포함한 ESD 보호 cell의 면적은 80um×160um(L×W)이다. 따라서 제안된 ESD 보호 계획은 파워 클램프 회로를 포함하여 VDD-VSS 모드 뿐만 아니라 네가지 ESD stress mode에 대한 방전 경로를 제공하여 향상된 면적 효율성을 제공할 수 있다.

4. 제안된 ESD 보호회로의 측정 및 분석

제안된 ESD 보호회로는 130nm CMOS 공정 기술을 사용하여 설계 및 제작되었다. 그림 5는 제안된 파워 클램프의 설계 변수 D1과 D2에 따른 트리거 전압과 홀딩 전압을 정리하였다. 소자의 다른 영역의 길이는 design rule에 허용되는 최소 사이즈로 유지하였다. 측정 결과, N-웰의 길이가 3um에서 8um로 증가하고 동시에 P-웰의 길이가 7um에서 2um로 상대적으로 감소할 때 홀딩 전압은 그림 6과 같이 4.5V에서 3V로 감소하는 것을 확인하였다. P-drift 영역의 길이(D2)가 7um에서 16um로 증가했을 때, 홀딩 전압은 2.5V에서 5V로 증가하는 것을 확인하였다. 따라서 홀딩 전압은 식 (4)에서도 나타나듯이 P-웰과 P-drift 영역의 저항 성분의 증가로 인해 두 영역의 길이 변화에 영향을 받는다는 것을 알 수 있다.

그림 6은 양방향성 ESD 보호소자의 트리거 전압과 홀딩 전압의 측정 결과를 나타내며 positive stress mode에서 각각 5V와 3V로 측정되었다. 또한 이 구성은 양 방향으로의 ESD stress mode를 가지기 때문에 일반적인 한 방향으로의 ESD 보호 계획이 달리 두 다른 방향의 ESD 펄스에 대한 효과적인 보호를 제공할 수 있다. 측정 결과, 제안된 ESD 보호 cell은 최대 HBM 8kV 이상, MM 400V의 감내특성을 가지는 것으로 확인되었다.

III. 결론

본 논문에서는 latch-up 면역성을 확보하기 위해 높은 홀딩 전압을 가지는 RC time delay를 이용한 SCR 기반의 효율적인 ESD 파워 클램프 회로를 제안하였다. 설계

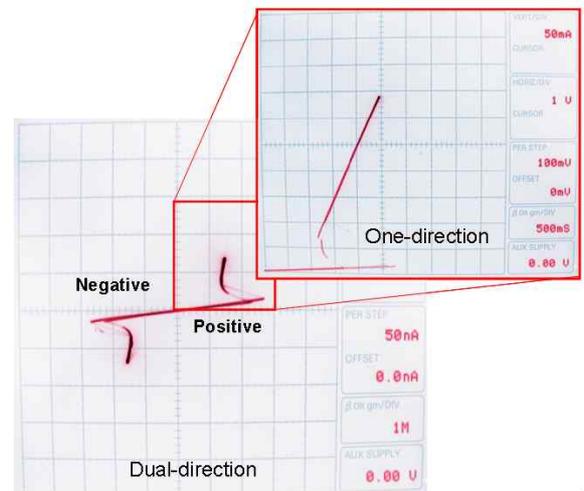
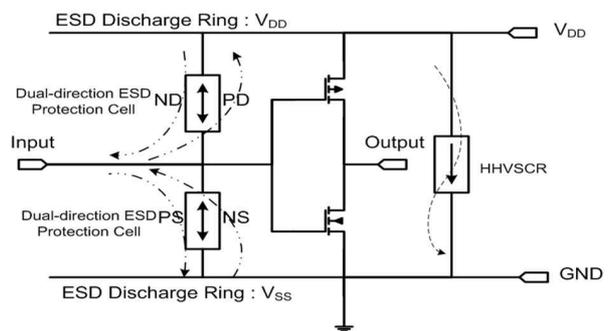


Fig. 6. The measurement results of Bi-SCR for PS and NS mode

그림 6. PS, NS 양 방향 모드에 따른 Bi-SCR의 측정 결과



Device Width = 60um Fingers (Anode X Cathode)	PD		PS		ND		NS	
	HBM (kV)	MM (kV)						
1 X 2	6.2	250	5.5	220	5.8	200	5	200
2 X 2	7	300	6.5	280	7	320	6.2	290
2 X 4	>8	400	8	370	>8	380	7.5	350

Fig. 7. The measurement result of the robustness of the designed whole-chip ESD protection network

그림 7. 제작된 ESD 보호회로의 전체 칩 상에서의 감내 특성 평가 결과

된 ESD 보호회로 (HHVSCR)는 N-웰과 P-웰의 길이 비율(D1)과 P-drift 영역의 길이(D2)를 조절함으로써 홀딩 전압을 증가시킬 수 있다. 설계된 I/O ESD 보호소자는 애노드와 캐소드 구분 없이 두 방향의 ESD 펄스에 대한 낮은 임피던스의 방전 경로를 형성하여 효과적인 보호를 제공할 수 있다. 측정 결과, 파워 클램프 회로 (HHVSCR)는 N-웰의 길이를 증가시키고 P-웰의 길이를 감소시켰을 때 홀딩 전압은 4.5V에서 3V로 감소하는 것

을 확인하였다. P-drift 영역의 길이가 7 μ m에서 16 μ m로 증가했을 때는 홀딩 전압이 2.5V에서 5V로 증가하는 것을 확인하였다. Dual-direction ESD 보호회로의 트리거 전압과 홀딩 전압은 PS 모드에서 각각 5V와 3V로 측정되었다. 또한 전체 칩 상에서 ESD 보호소자는 multi-finger 구조를 이용하여 설계되었다. ESD 보호 cell의 면적은 패드 면적을 포함해서 (80 μ m \times 80 μ m) 80 μ m \times 160 μ m이다. 결과적으로 제안된 ESD 보호회로의 구성은 VDD-VSS 모드 뿐만 아니라 PD, PS, ND, NS 네가지의 ESD stress mode에 대한 방전을 제공할 수 있다. 또한 감내특성은 HBM 8kV, MM 400V를 가져 결과적으로 높은 면적 효율, 감내특성, 낮은 온-저항을 가져 2.5V에서 3.3V 사이의 공급전원을 가지는 application에 적용 가능하다.

References

- [1]Ming-Dou Ker, Cheng-Cheng Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latchup-Like Failure During System-Level ESD Test," IEEE Journal of Solid-State Circuit, vol. 43, no.11, pp. 2533-2545, November 2008.
- [2]Mergens, Markus P.J, "ESD Protection Considerations in Advanced High-Voltage Technologies for Automotive" Proc. 28thEOS/ESD Symp., Westin La Paloma Tucson, Arizona, USA, pp. 54-63, September 2006.
- [3]Fred G. Kouper, "Design of SCR-based ESD Protection Considerations in Advanced High-Voltage Technologies for Automotive" in Proc. of the EOS/ESD Symp,pp.54-63, 2006
- [4]V. Vashchenko, A. Concannon, M. ter Beek, and P. Hopper, "High holding voltage cascoded LVTSCR structures for 5.5-V tolerant ESD protection clamps", IEEE Trans. on Device and Materials Reliability, vol. 4, no. 2, pp. 273-280, 2004.
- [5]Kui-Dong Kim, Jo-woon Lee, Sang-Jo Park, Yoon-sik Lee, Yong-Seo Koo "A study on the Novel SCR Nano ESD Protection Device Design and fabrication" in Proc. of the IKEEE Vol.9 No.2 pp82-91
- [6]Russ C, Mergens M, Verhaege K, et al. GGSCRs: GGNMOS Triggered Silicon Controlled Rectifier for ESD protection in deep submicron CMOS process. In ESD/ESD 2001:22.

- [7]Ming-Dou Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuit for submicron CMOS VLSI", IEEE transactions on electron device, vol.46, no1, January 1999.

BIOGRAPHY

Song Bo-Bae (Student Member)



2012 : BS degree in Electronics Engineering, Seokyeong University.
2012 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
<main interesting field>
Power Device, ESD Protection

Han Jung-Woo (Student Member)



2013 : BS degree in Electronics Engineering, Seokyeong University.
2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
<main interesting field>
Power Device, ESD Protection

Nam Jong-Ho (Student Member)



2013 : BS degree in Electronics Engineering, Seokyeong University.
2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
<main interesting field>
Power Device, ESD Protection

Choi Yong-Nam (Student Member)

2013 : BS degree in Electronics
Engineering, Seokyeong
University.

2013 ~ presently : MS degree in
Electronics and Electrical
Engineering, Dankook University.

<main interesting field>

Power Device, ESD Protection

Koo Yong-Seo (Life Member)

Refer to

Journal of IKEEE Vol. 8, No. 1