

PCB에 구현한 멤리스터 에뮬레이터 회로 및 응용 Practical Implementation of Memristor Emulator Circuit on Printed Circuit Board

최준명*, 신상학**, 민경식**

Jun-Myung Choi*, SangHak Sin**, Kyeong-Sik Min**

Abstract

In this paper, we implemented memristor emulator circuit on Printed Circuit Board (PCB) and observed the inherent pinched hysteresis characteristic of memristors by measuring the emulator circuit on PCB. The memristor emulator circuit implemented on PCB is composed of simple discrete devices not using any complicated circuit blocks thus we can integrate the memristor emulator circuits in very small layout area on Silicon substrate. The programmable gain amplifier is designed using the proposed memristor emulator circuit and verified that the amplifier's voltage gain can be controlled by programming memristance of the emulator circuit by circuit simulation. Threshold switching is also realized in the proposed emulator circuit thus memristance can remain unchanged when the input voltage applied to the emulator circuit is lower than V_{REF} . The memristor emulator circuit and the programmable gain amplifier using the proposed circuit can be useful in teaching the device operation, functions, characteristics, and applications of memristors to students when they cannot access to device and fabrication technologies of real memristors.

요약

본 논문에서는 멤리스터 에뮬레이터 회로를 PCB 보드 상에서 구현하여 이의 측정을 통해서 멤리스터의 고유한 pinched hysteresis 특성을 관찰하였다. PCB 보드 상에서 구현된 멤리스터 에뮬레이션 회로는 간단한 부품으로 구성되어 있고 복잡한 회로 블록을 사용하지 않았기 때문에 집적회로의 구현 시에도 매우 작은 면적으로 설계가 가능하다는 장점이 있다. 또한 본 논문에서는 프로그램 가능한 이득증폭기를 멤리스터 에뮬레이션 회로를 사용하여 설계해서 이 회로의 전압이득이 멤리스터의 저항의 프로그래밍을 통해서 조절이 가능하다는 것을 보였다. 이득증폭기에 사용되는 멤리스터 에뮬레이션 회로의 구현을 위해서 멤리스터 소자의 특성 중에 하나인 threshold switching 특성이 회로로 구현되어 V_{REF} 보다 낮은 전압이 인가되었을 때는 멤리스터의 저항 값이 변하지 않도록 설계하였고 이의 동작을 시뮬레이션을 통해서 검증하였다. 본 논문에서 PCB 보드 상에서 구현되고 검증된 멤리스터 에뮬레이션 회로와 이 회로를 이용한 프로그램 가능한 이득증폭기는 멤리스터 소자의 실제 제작이 불가능한 경우에, 멤리스터의 동작과 기능, 특성 및 멤리스터 응용회로의 이해에 많은 도움이 될 것이다.

Key words: Memristors, Emulator circuit, Programmable gain amplifier, emerging memory, ReRAM

* School of Electronics Engineering, Kookmin University
kyesun21@kookmin.ac.kr, +82-10-6863-9318

★ Corresponding author

※ This work was financially supported by the SRC/ERC program (R11-2005-048-00000-0), the Basic Science Research Program(2010-0023469), the Global Research Network Program (NRF-2011-220-D00089), the Nano-Material Technology Development Program (2011-0030228) through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology, and the Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239). The CAD tools were supported by the IC Design Education Center (IDEC), Korea.

Manuscript received Sep. 2, 2013; revised Sep. 11, 2013 ; accepted Sep 11. 2013

I. Introduction

지금까지 DRAM, FLASH 메모리에 대한 많은 연구가 진행이 되어 왔지만,^{[1][2][3][4]} 공정 미세화의 어려움과 소자 누설전류 등의 물리적인 한계로 다른 종류의 차세대 emerging 메모리 소자에 대한 관심이 점점 높아지고 있다.^{[5][6][7][8]} 최근에 차세대 emerging 메모리 소자의 하나로 외부의 입력 전류와 전압에 따라서 저항이 변화하는 특성을 갖는 멤리스터 기반 메모리에 대한 연구가 많이 진행되고 있다.^{[9][10][11][12]} 멤리스터 소자를 실제 메모리 회로에서 사용하기 위해서는 기존의 CMOS 공정과 호환이 가능한 멤리스터 소자 제작 공정이 필요하지만 이것에 대한 연구는 아직까지는 많이 진척이 되지 않은 상태이다. 또한 멤리스터 소자와 CMOS 회로를 동일한 기판위에서 집적하는 공정에 대한 개발이 아직 많이 진척되어 있지 않기 때문에 멤리스터 소자의 CMOS 회로 응용에 대한 연구를 위해서는 멤리스터 소자의 전기적인 특성을 CMOS 회로로 재현할 수 있는 멤리스터 에뮬레이터 회로가 필요하다.^{[13][14][15]}

2008년 HP에서 발표된 멤리스터의 동작에 대한 간단한 모델을 나타낸 수식 (1)은 다음과 같다.^[9]

$$v(t) = \left(R_{SET} \frac{w(t)}{D} + R_{RESET} \left(1 - \frac{w(t)}{D} \right) \right) i(t) \quad (1)$$

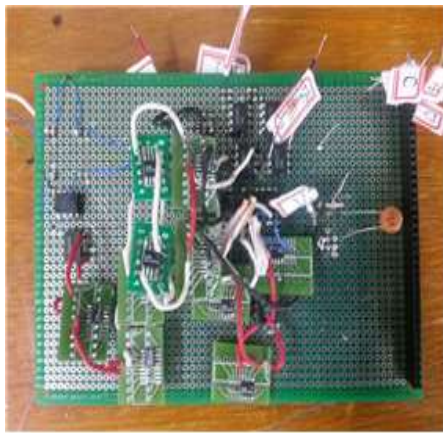
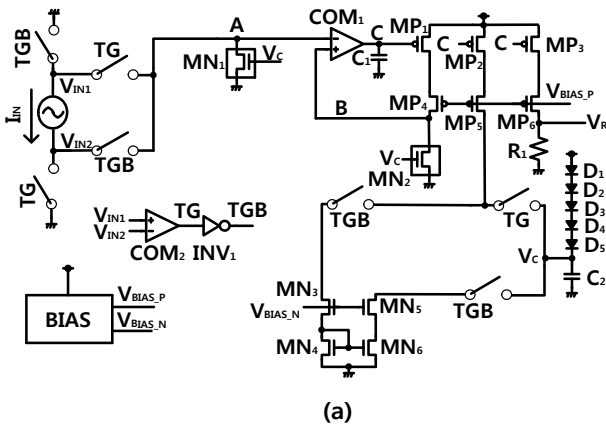
수식 (1)에서 $v(t)$ 와 $i(t)$ 는 각각 멤리스터의 전압과 멤리스터에 흐르는 전류를 나타낸다. R_{SET} 과 R_{RESET} 은 멤리스터의 SET 상태와 RESET 상태의 저항 값을 각각 나타내고, D 는 멤리스터 내의 인가된 전압과 전류의 값에 따라서 변하는 낮은 저항 영역의 가능한 최대 폭을 나타낸다. $w(t)$ 는 시간에 따라 변하는 낮은 저항 영역의 폭의 값을 나타내며 멤리스턴스를 변화시키는 일종의 상태 변수 (state variable)의 역할을 한다.

멤리스터 에뮬레이터 회로에 관한 기존의 연구를 살펴보면, 우선 Y. Pershin과 M. Ventra는 멤리스터 에뮬레이터 회로에서 상태변수의 역할을 하는 회로를 Analog-to-Digital Converter (ADC)와 프로그램 할 수 있는 마이크로컨트롤러로 구현한 회로를 제안하였다.^[13] Y. Pershin과 M. Ventra이 제안한 멤리스터 에뮬레이터 회로는 off-chip 부품으로 구성이 되어 있기 때문에 on-chip으로 구현할 수 없다는 단점이 있고 ADC와 마이크로컨트롤러의 면적도 상당히 크기 때문에, on-chip에서 멤리스터 에뮬레이터 회로로 어레이 등을 구현하기에는 부적당하다는 것을 알 수 있다. 또한 C. Jung 등이 발표한 에뮬레이터 회로에서는 멤리스터의 저항의 변화를 ADC 회로와 저항의

어레이로 구현을 하였다.^[14] 또한 상태변수의 값을 저장하는 방법으로 커패시터의 전압을 사용했다. 여기에서는 커패시터의 전압인 아날로그 전압을 디지털 신호로 바꾸어서 저항 어레이 중에서 해당하는 저항을 선택하도록 한다.^[14] 이렇게 해서, 상태변수의 변화에 따라서 멤리스터의 저항 값이 변하도록 하였다. 또 다른 멤리스터 에뮬레이터 회로는 ADC를 사용하지 않고 아날로그적인 방법으로 상태변수를 저장하고, 이 상태변수를 아날로그 곱셈기를 사용해서 외부의 입력전류와 곱한다. 그 결과를 통해 출력전압을 구하는 방식을 사용하였다.^[15] 그러나 이러한 곱셈기 회로는 큰 레이아웃 면적을 차지하기 때문에, on-chip에서 멤리스터 에뮬레이터 회로들의 어레이를 구현하는 것이 어렵다.^[15] 기존의 복잡한 프로그램 가능한 마이크로컨트롤러의 off-chip 부품, ADC와 저항 어레이 회로, 및 아날로그 곱셈기 회로 등을 사용하지 않고 간단하게 on-chip화 할 수 있는 CMOS 소자로만 구현이 된 멤리스터 에뮬레이터 회로가 최근에 제안되었다.^{[16][17]} 제안된 멤리스터 에뮬레이터 회로는 기존의 에뮬레이터 회로에 비해서 레이아웃 면적이 1/32로 줄어들기 때문에, 특히 멤리스터 어레이를 사용한 응용회로를 제안된 에뮬레이터 회로로 구현할 때 효과적이다.^{[16][17]} 본 논문에서는 최근에 제안된 멤리스터 에뮬레이터 회로를 Printed Circuit Board (PCB)에 구현하고 이 PCB 기판 위의 회로가 멤리스터의 pinched hysteresis 특성을 보임을 확인하였다. PCB 기판 위에 구현된 멤리스터 에뮬레이터 회로에는 구입이 쉬운 일반적인 트랜지스터, 다이오드, 저항과 커패시터의 부품을 사용하였다. 또한 본 논문에서 구현한 멤리스터 에뮬레이터 회로를 프로그램 가능 이득 증폭기에 적용하여 증폭기의 이득을 멤리스터의 저항 변화로 조절할 수 있음을 보였다. 본 논문에서 PCB 보드 상에서 구현되고 검증된 멤리스터 에뮬레이션 회로와 이 회로를 이용한 프로그램 가능한 이득증폭기는 멤리스터 소자의 실제 제작이 불가능한 경우에, 멤리스터의 동작과 기능, 특성 및 멤리스터 응용회로의 이해에 많은 도움이 될 것이다.

II. Memristor emulator circuit implemented on PCB

제안된 멤리스터 에뮬레이터 회로의 스케매틱을 그림1(a)에 나타내었다.^[17] 이 회로의 동작을 살펴보면 V_{IN1} 이 V_{IN2} 보다 크면 COM_2 의 출력인 TG 신호는 high가 되고 TGB 신호는 low가 된다. INV_1 은 반전기를 나타내며 TG 신호를 TGB 신호로 반전시키는



(a) Memristor emulator circuit (b) PCB implementation of memristor emulator circuit.
 그림 1. (a) 멤리스터 에뮬레이터 회로 (b) PCB 상에 구현한 멤리스터 에뮬레이터 회로

역할을 한다. TG 신호가 high가 되면 V_{IN1} 에 연결된 스위치가 켜지게 되고 V_{IN1} 이 A 노드에 바로 연결되게 된다. A 노드에는 MN_1 의 트랜지스터가 연결이 되어 있는데, 이 MN_1 은 Voltage Controlled Resistor (VCR)의 역할을 수행하므로 V_c 전압으로 VCR의 값을 조절한다. 또한 V_c 전압은 C_2 에 저장된 전압임을 그림1(a)을 보고 알 수 있다. 비교기인 COM_1 과 MP_1 은 부궤환을 구성해서 A 노드의 전압과 B 노드의 전압이 서로 같아지게 만드는 역할을 한다. COM_1 의 출력인 C 노드에 연결된 C_1 은 주파수 보상의 역할을 해서 부궤환 회로의 안정성을 제고시키는데 기여한다. B 노드와 연결된 MN_2 도 MN_1 과 마찬가지로 VCR의 역할을 하기 때문에 B 노드에 걸린 전압을 VCR의 값으로 나눈 값만큼의 전류가 VCR에 흐르게 된다. VCR에 흐르는 전류는 전류 미러에 의해서 MP_1 에서 MP_2 로 복사되게 되고 이 복사된 전류가 그

대로 TG의 스위치를 통과해서 C_2 를 충전한다. C_2 에 충전된 전압이 증가하면 이 V_c 전압이 VCR인 MN_1 과 MN_2 의 게이트에 연결이 되어 있기 때문에, 저항값을 감소시키게 된다.

또한 반대로 V_{IN2} 가 V_{IN1} 보다 더 크다면 이번에는 TG가 low가 되고 TGB가 high가 된다. 이 경우에는 V_{IN1} 대신에 V_{IN2} 가 바로 A 노드에 연결이 되게 된다. 또한 TG 대신에 TGB 신호가 high가 되기 때문에, C_2 와 연결된 충전회로는 open이 되게 되고 그 대신 MN_3 과 MN_4 , MN_5 와 MN_6 의 전류 미러가 동작을 하게 된다. MN_2 에 흐르는 전류가 그대로 NMOS 트랜지스터인 MN_3 과 MN_4 에 흐르게 되고 이 전류가 그대로 MN_5 와 MN_6 에 복사되게 된다. MN_5 와 MN_6 에 흐르는 방전전류로 C_2 에 저장되어 있는 V_c 전압을 방전시키는 역할을 하게 된다.

BIAS block은 회로에 필요한 bias 전압을 생성하는 역할을 하며 생성된 전압 중에 PMOS를 구동하는 bias 전압은 V_{BIAS_P} 로 표시했고 NMOS를 구동하는 bias 전압은 V_{BIAS_N} 으로 나타내었다. 또한 C_2 에 연결된 D_1 - D_5 은 diode를 나타낸다. D_1 - D_5 에 의해서 C_2 에 저장되는 V_c 의 전압의 최소 값은 $V_{DD}-5*V_{DIODE}$ 로 정해지게 된다. 여기서 V_{DIODE} 는 diode의 문턱전압이다. MP_3 는 전류 미러의 역할을 하며 VCR인 MN_1 과 MN_2

Table 1. List of components in the memristor emulator circuit in Figure 1(a).

표 1. 그림 1(a)의 멤리스터 에뮬레이터 회로를 구현하는데 사용한 소자 목록

TG(NMOS)	ALD116PAL	NMOS made in Advanced Linear Devices
TG(PMOS)	ALD1117PAL	PMOS made in Advanced Linear Devices
$MN_1 \sim MN_6$	ALD1116PAL	NMOS made in Advanced Linear Devices
$MP_1 \sim MP_4$	ALD1117PAL	PMOS made in Advanced Linear Devices
C_1	5uF	Electrolytic capacitor
C_2	0.47uF	Electrolytic capacitor
D	1N4729A	Zener Diode
COM_1, COM_2	TL082CP	Comparator made in Texas Instruments
R	1K Ω	Resistor with 5% variation

에 흐르는 전류를 MP₃를 통해서 R₁에 전달하게 된다. R₁에 흐르는 전류는 R₁의 저항 값과 곱해져서 V_R 전압의 출력으로 나오게 된다. 그림1(a)의 회로를 PCB 기판 위에 구현한 것을 그림1(b)에 보였다. Table 1은 PCB 기판에 그림 1(a)의 회로를 구현하는데 사용된 소자들을 표시한다.

III. Measurement and discussion

그림 1(b)의 회로를 측정된 결과를 그림 2, 3에 나타내었다. 그림 2(a)는 멤리스터 에뮬레이터 회로에 인가된 입력전압 V_{IN}을 나타낸다. V_{IN}은 V_{IN1} 노드와 V_{IN2} 노드의 전압을 측정하여 V_{IN1}-V_{IN2}로 나타내었다. 그림 1(a)의 입력전압, V_{IN}(=V_{IN1}-V_{IN2})는 3 V의 진폭을 갖고, 50 Hz의 주파수를 갖도록 인가되었다. 그림 2(b)는 그림 2(a)의 입력전압을 인가하였을 때 생성되는 V_C 전압을 나타내었다. V_C 전압은 VCR 역할을 하는 MN₁과 MN₂의 게이트를 조절하는 전압으로서 멤리스터 에뮬레이터 회로에서는 상태변수로 동작을 한다. V_{IN}이 인가되는 동안 V_{IN}이 (+) 극성일 경우에는 V_C가 증가하고, (-)극성일 때는 V_C가 감소하는 것을 알 수 있다. 그림 2(a)의 입력이 인가된 경우에는 V_C가 0.5 V부터 2.5 V까지 변하는 것을 그림 2(b)에서 알 수 있다. 그림 2(c)는 그림 2(a)의 V_{IN} 입력이 인가될 때의 멤리스터 에뮬레이터 회로에 흐르는 입력전류이다. 이때 멤리스터 에뮬레이터 회로의 VCR에 흐르는 전류가 R₁에 흘러서 전압을 발생하기 때문에, 이 전압을 R₁의 저항크기로 나누면 입력전류, I_{IN}을 계산할 수 있다. 입력전류의 모양은 멤리스터 에뮬레이터 회로의 VCR의 값이 바뀔에 따라 달라진다. V_{IN} 입력이 (+) 극성일 때는 VCR의 값이 작아지기 때문에 전류의 변화가 점점 커지는 것을 확인할 수 있다. 반대로 V_{IN}의 입력이 (-) 극성일 경우에는 입력전압이 인가될 때, VCR의 값이 점점 커지기 때문에 입력전류의 변화량이 점점 작아지는 것을 확인할 수 있다. 그림 2(d)는 그림 2(a)의 입력전압, V_{IN}을 X-축으로 하고, 그림 2(c)의 입력전류, I_{IN}을 Y-축으로 해서 그린 멤리스터 에뮬레이터 회로의 pinched hysteresis 곡선이다. 그림2 (a), (b), (c), 와 (d)에서 보인 멤리스터 에뮬레이션 회로의 측정결과와 실제 멤리스터의 모델을 사용한 시뮬레이션 결과는 서로 잘 일치하는 것을 알 수 있다.

그림 3(a)에서 인가된 멤리스터 에뮬레이터 회로의 입력전압, V_{IN}(=V_{IN1}-V_{IN2})는 3 V의 진폭을 갖고, 100 Hz의 주파수를 갖는다. 그림 3(b)는 그림 3(a)의 입력 전압, V_{IN}을 인가하였을 때 생성되는 상태변수의 역할을 하는 전압, V_C를 나타낸다. 그림 3(b)에서 보듯이

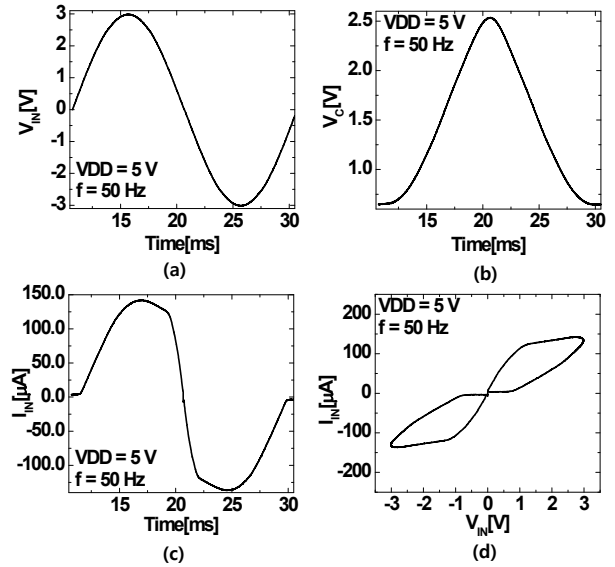


Fig. 2. (a) Input sinusoidal voltage, $V_{IN}(=V_{IN1}-V_{IN2})$, with 50 Hz and 3-V amplitude (b) waveform of V_C (c) waveform of I_{IN} (d) memristor's pinched hysteresis curve.

그림 2. (a) 3 V의 진폭과 50 Hz의 주파수를 갖는 입력전압 (b) V_C 전압 (c) 입력전류 (d) 멤리스터의 히스테리 곡선

입력전압, V_{IN}이 (+) 극성인 경우 V_C가 증가하고, (-)극성일 경우에는 V_C가 감소한다. 그러나 그림 2(b)와 비교했을 때, V_C 전압의 범위가 다름을 알 수 있다. 그림 3(b)의 V_C 전압은 1 V에서 2 V까지 변하지만, 그림 2(b)에서는 V_C 전압이 0.5 V에서 2.5 V까지 변함을 알 수 있다. 이것은 그림 3(a)의 주파수가 높아짐에 따라 C₂가 충전, 방전되는 시간이 짧아졌기 때문에 C₂에 저장되는 전압, V_C의 범위가 작아지기 때문이다. 그림 3(c)는 그림 3(a)가 입력이 인가될 때 멤리스터 에뮬레이터 회로에 흐르는 입력전류, I_{IN}이다. 100 Hz가 인가된 그림 3(b)의 경우와 비교해보면 50 Hz가 인가된 그림 2(b)의 경우에는 V_C의 전압범위가 더 커지기 때문에 VCR의 변화가 더 커지게 된다. 100 Hz가 인가된 경우에는 VCR의 변화 범위가 40 K Ω 에서 800 K Ω 이지만, 50 Hz가 인가된 경우에는 VCR이 20 K Ω 에서 100 K Ω 으로 변하게 된다. 앞에서 언급했듯이 멤리스터 에뮬레이터 회로의 V_C의 전압의 변화는 50 Hz인 경우 보다 100 Hz인 경우가 더 작아지게 된다. 따라서 50 Hz인 경우 보다 100 Hz인 경우가 VCR의 변화도 줄어들게 되고 그 때문에 I_{IN}은 그림 3(c)와 같이 나오게 된다. 그림 3(a)의 V_{IN}과 그림 3(c)의 I_{IN}의 관계를 그리면 그림 3(d)와 같은 전형적인 멤리스터 소자의 pinched hysteresis 특성을 보게 된다.

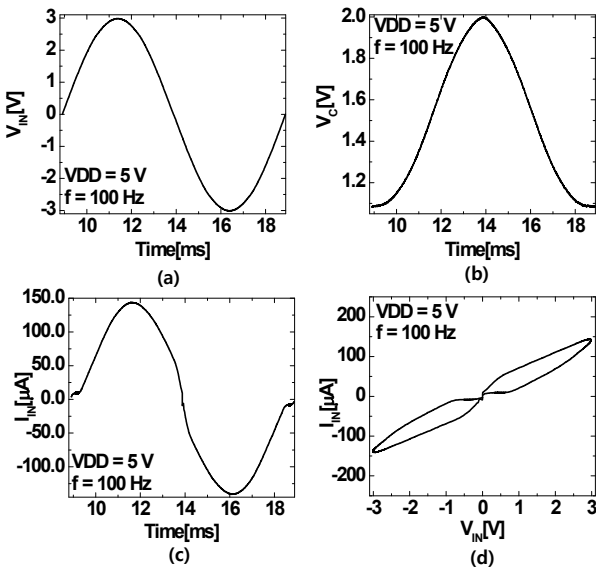


Fig. 3. (a) Input sinusoidal voltage, $V_{IN}(=V_{IN1}-V_{IN2})$, with 100 Hz and 3-V amplitude (b) waveform of V_C (c) waveform of I_{IN} (d) memristor's pinched hysteresis curve.

그림 3. (a) 3 V의 진폭과 100 Hz의 주파수를 갖는 입력전압 (b) V_C 전압 (c) 입력전류 (d) 멤리스터의 히스테리 곡선

IV. Simulation of programmable gain amplifier with memristor emulator circuit

본 논문에서 제시한 멤리스터 에뮬레이터 회로를 사용해서 프로그램 가능한 이득증폭기를 설계하고 이를 시뮬레이션 하였다. 멤리스터 에뮬레이터 회로는 그 저항을 변하게 함으로써 아날로그 앰프의 이득을 조정하는 등에 사용할 수 있다. 따라서 멤리스터 에뮬레이터 회로를 아날로그 앰프의 이득을 조정하는 회로에 적용하기 위해서 멤리스터 에뮬레이터 회로의 저항을 프로그래밍 할 수 있는 회로가 필요한데, 이러한 회로를 그림 4에 나타내었다.^[13] 그림 4에서 SET 신호가 high가 되었을 때 SET 스위치가 켜지면 멤리스터 에뮬레이터 회로의 (+) 단자에 V_{PULSE} 가 인가되고 (-) 단자에는 GND가 인가되게 된다. 이때 멤리스터에 인가된 V_{PULSE} 전압으로 인해 멤리스터 에뮬레이터 회로의 저항이 작아지는 방향으로 프로그래밍 되게 된다. 반대로 RESET 신호가 high가 되면 S_2 와 S_3 가 켜지게 된다. OR₁ 게이트의 입력은 RESET과 ACT 신호이며, OR₁ 게이트의 출력이 high가 되려면 RESET 혹은 ACT가 high가 되어야한다. OR₁ 게이트의 출력은 high가 되면 S_3 가 켜진다. ACT 신호는 active 상태를 나타내는 신호로 프로그램가능 이

득증폭기가 동작할 때 켜지는 신호이고 멤리스터 에뮬레이터 회로를 프로그래밍만 할 경우에는 켜지는 신호이다.

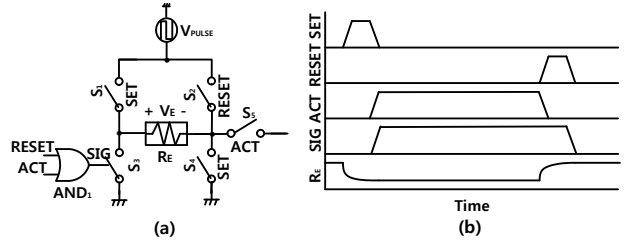


Fig. 4. (a) Memristor programming circuit (b) timing diagram. 그림 4. (a) 멤리스터 회로의 저항을 조절하는 회로 (b) 그 회로의 타이밍 다이어그램

멤리스터 소자의 특성을 측정해보면 멤리스터 소자의 양단의 전압이 일정 전압 이하일 때는 멤리스터의 상태변수가 변화하지 않고 또한 멤리스터의 저항도 변하지 않음을 알 수 있다. 이러한 특성을 threshold switching이라고 하고, 많은 멤리스터 소자가 이러한 특성을 나타내게 된다. Threshold switching 특성을 갖는 멤리스터 에뮬레이터 회로를 구현하기 위해서 그림 1(a)의 회로가 그림 5(a)의 회로로 수정되었다. 그림 5(a)의 회로에서는 COM₃와 INV₂가 추가되어서 VT_ON과 VT_OFF 신호를 생성하게 된다. A 노드의 전압이 V_{REF} 보다 작으면 VT_OFF가 high가 되고 VT_ON이 low가 되어서 A 노드의 전압이 B 노드로 전달되지 않게 된다. 이때 B 노드의 전압은 GND가 되게 되기 때문에 VCR에 전류는 거의 흐르지 않게 된다. 따라서 상태변수 역할을 하는 V_C 전압도 변하지 않게 된다. 반면에 A 노드의 전압이 V_{REF} 보다 커지게 되면 VT_ON이 high가 되고 VT_OFF는 low가 된다. 이때는 A 노드의 전압이 B 노드로 전달이 되게 되고 B 노드 전압에 의해서 VCR에 전류가 흐르게 되어서 멤리스터 에뮬레이터 회로가 그림 1(a)의 회로와 같은 동작을 하게 된다.

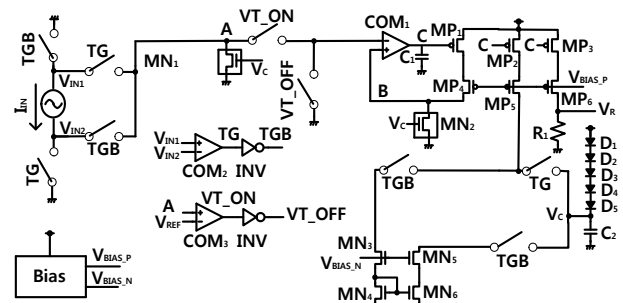


Fig. 5. Memristor emulator circuit with threshold switching. 그림 5. 문턱전압 조건을 추가한 멤리스터 에뮬레이터 회로

그림 6(a)의 회로는 OP 앰프를 이용한 프로그램 가능한 이득증폭기를 보여주고 있다. 여기에서는 멤리스터 에뮬레이터 회로가 연결이 되어서 멤리스터의 저항을 SET과 RESET 신호를 통해서 원하는 값으로 조절할 수 있게 되어 있다. COM₁은 OP 앰프를 나타내고 R₁은 negative feedback 저항을 나타내며 V_{IN}은 입력 전압, V_{OUT}은 출력전압을 나타낸다. 프로그램된 멤리스터 에뮬레이터 회로의 저항은 R_E로 나타내었다.

그림 6(a) 회로의 전압이득은 $\frac{V_{OUT}}{V_{IN}} = 1 + \frac{R_1}{R_E}$ 에

의해서 계산할 수 있다. 위의 전압이득의 식을 통하여 멤리스터 에뮬레이터 회로의 저항인 R_E가 커지면 프로그램 가능한 이득증폭기의 전압이득이 작아지고, R_E가 작아지면 이득증폭기의 전압이득이 커지는 것을 알 수 있다. 그림 6(a) 회로에서 V_{IN}은 0.1 V이고, R₁은 100 KΩ으로 설계하였다. 그림 6(a)에서의 V_E는 멤리스터 에뮬레이터 회로의 저항 R_E의 양단 전압을 나타낸다.

그림 6(b)는 멤리스터 에뮬레이터 회로의 전압, V_E를 나타낸다. 그림 6(b)에서 (-)의 부호를 갖는 7개의 전압 펄스를 연속적으로 인가하면 멤리스터의 저항, R_E의 값은 증가하는 방향으로 바뀌게 되고 (+)의 부호를 갖는 7개의 전압 펄스를 연속적으로 인가하면 멤리스터의 저항, R_E의 값은 감소하는 방향으로 바뀌게 된다. 또한 SET 혹은 RESET 프로그래밍을 위한 전압 펄스가 인가되지 않는 구간에서는 멤리스터는 단순히 저항으로 역할을 해서 R_E의 (+) 노드는 GND에 연결이 되고 (-) 노드는 ACT 신호가 ON이 되면 COM₁의 (-) 입력에 연결이 되게 된다. 그림 6(c)에서는 이득증폭기의 출력전압 V_{OUT}을 나타내고 있다. 첫 번째의 RESET 프로그래밍 전압펄스로 인해서 R_E의 저항 값이 증가하게 되면 이득증폭기의 이득은 감소하게 된다. 두 번째의 SET 프로그래밍 전압펄스로 인해서 R_E의 저항 값이 감소하게 되면 이득증폭기의 이득은 증가한다. 그림 6(c)에서는 프로그래밍 전압펄스의 인가에 따른 R_E의 변화와 그에 의한 이득증폭기의 이득의 변화를 잘 보여주고 있다. 그림 6(d)는 그림 6(b)와 마찬가지로 V_E의 전압을 보여주고 있다. 이때는 연속적인 전압펄스의 수가 두 개로 되어 있어서, 7개의 연속적인 전압펄스와 비교했을 때, 멤리스터 에뮬레이터 회로의 저항 R_E의 변화량이 작을 수밖에 없다. 그림 6(c)와 그림 6(e)를 비교하면 그림 6(e)의 V_{OUT}의 변화량이 더 작음을 알 수 있다.

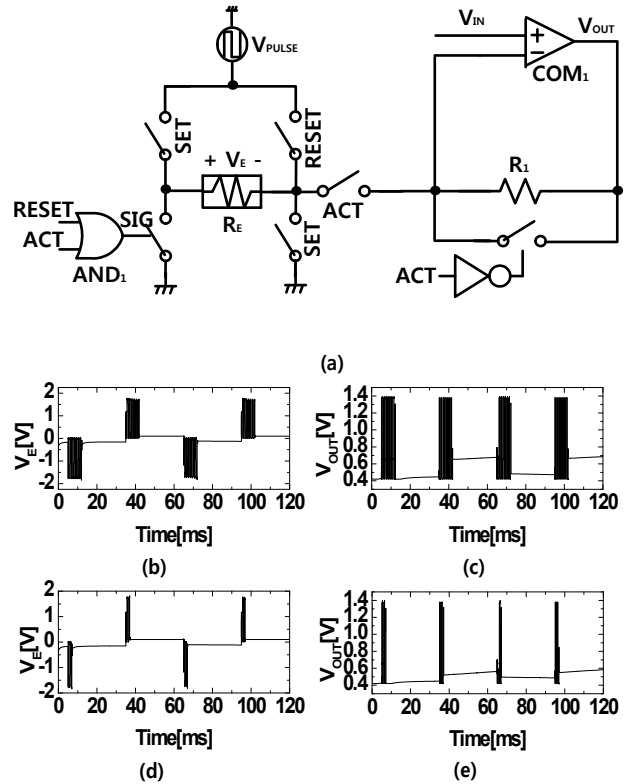


Fig. 6. (a) Programmable gain amplifier circuit with memristor emulator circuit (b) waveform of the programming voltage for memristor emulator circuit with 7 consecutive pulses (c) V_{OUT} of the gain amplifier circuit with 7 consecutive pulses (d) waveform of the programming voltage for memristor emulator circuit with 2 consecutive pulses (e) V_{OUT} of the gain amplifier circuit with 2 consecutive pulses

그림 6. (a) 멤리스터 에뮬레이터 회로를 적용한 프로그램 가능한 이득증폭기 (b) 멤리스터 에뮬레이터 회로를 프로그래밍하는 7개의 연속적인 펄스전압 (c) 7개의 연속적인 펄스가 입력된 전압이득 증폭기의 출력전압 (d) 멤리스터 에뮬레이터 회로를 프로그래밍하는 2개의 연속적인 펄스전압 (e) 2개의 연속적인 펄스가 입력된 전압이득 증폭기의 출력전압

IV. 결론

본 논문에서는 멤리스터 에뮬레이터 회로를 PCB 보드 상에서 구현하여 이의 측정을 통해서 멤리스터의 고유한 pinched hysteresis 특성을 관찰하였다. PCB 보드 상에서 구현된 멤리스터 에뮬레이션 회로는 간단한 부품으로 구성되어 있고 복잡한 회로 블록을 사용하지 않았기 때문에 집적회로의 구현 시에도 매우 작은 면적으로 설계가 가능하다는 장점이 있다. 또한 본 논문에서는 프로그램 가능한 이득증폭기를

멤리스터 에플레이션 회로를 이용하여 설계해서 이 회로의 전압이득이 멤리스터의 저항을 프로그래밍해서 조절이 가능하다는 것을 보였다. 이득증폭기에 사용되는 멤리스터 에플레이션 회로의 구현을 위해서 멤리스터 소자의 특성 중에 하나인 threshold switching 특성이 회로로 구현되어 V_{REF} 보다 낮은 전압이 인가되었을 때는 멤리스터의 저항 값이 변하지 않도록 설계하였고 이의 동작을 시뮬레이션을 통해서 검증하였다.

본 논문에서 PCB 보드 상에서 구현되고 검증된 멤리스터 에플레이션 회로와 이 회로를 이용한 프로그램 가능한 이득증폭기는 멤리스터 소자의 실제 제작이 불가능한 경우에, 멤리스터의 동작과 기능, 특성 및 멤리스터 응용회로의 이해에 많은 도움이 될 것이다.

References

- [1] O. Kwon and K. S. Min, "Dataline redundancy circuit using simple shift logic circuit for dual-port 1T-SRAM embedded in display ICs," *Journal of Institute of Korean Electrical and Electronics Engineers*, vol. 11, no. 4, pp. 129-136, Dec. 2007.
- [2] T. Tanzawa, Y. Takano, K. Watanabe, and S. Atsumi, "High-voltage transistor scaling circuit techniques for high-density negative-gate channel-erasing nor flash memories," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 10, pp. 1318-1325, Oct. 2002.
- [3] S. H. Lim and K. H. Park, "An efficient NAND flash file system for flash memory storage," *IEEE Trans. Computers*, vol. 55, no. 7, pp. 906-912, July 2006.
- [4] S. Kuge, F. Morishita, T. Tsuruda, S. Tomishima, M. Tsukude, T. Yamagata, and K. Arimoto, "SOI-DRAM circuit technologies for low power high speed multigiga scale memories," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 4, pp. 586-591, Apr. 1996.
- [5] X. Q. Wei, L. P. Shi, R. Walia, T. C. Chong, R. Zhao, X. S. Miao, and B. S. Quek, "HSPICE macromodel of PCRAM for binary and multilevel storage," *IEEE Trans. Electron Devices*, vol. 53, no. 1, pp. 56-62, Jan. 2006.
- [6] S. Tehrani, J. M. Slaughter, E. Chen, M. Durlam, J. Shi, and M. DeHerrera, "Progress and outlook for MRAM technology," *IEEE Trans. Magnetics*, vol. 35, no. 5, pp. 2814-2819, Sep. 1999.
- [7] A. Driskill-smith, D. Apalkov, V. Nikitin, X. Tang, S. Watts, D. Lottis, K. Moon, A. Khvalkovskiy, R. Kawakami, X. Luo, A. Ong, E. Chen, and M. Krounbi, "Latest advances and roadmap for in-plane and perpendicular STT-RAM," *IEEE International Memory Workshop*, pp. 1-3, Monterey in California, May 2011.
- [8] C. M. Jung, E. S. Lee, and K. S. Min, "Continuous and accurate PCRAM current-voltage model," *Journal of Semiconductor Technology and Science*, vol. 11, no. 3, pp. 162-168, Sep. 2011.
- [9] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol. 453, pp. 80-83, May 2008.
- [10] D. Ventra, Y. V. Pershin, and L. O. Chua, "Circuit elements with memory: memristors, memcapacitors, and meminductors," *Proceedings of the IEEE*, vol. 97, no. 10, pp. 1717-1724, Oct. 2009.
- [11] K. H. Jo, C. M. Jung, K. S. Min, and S. M. Kang, "Self-adaptive write circuit for low-power and variation-tolerant memristors," *IEEE Trans. Nanotechnology*, vol. 9, no. 6, pp. 675-678, Nov. 2010.
- [12] C. M. Jung, J. M. Choi, and K. S. Min, "Two-step write scheme for reducing sneak-path leakage in complementary memristor array," *IEEE Trans. Nanotechnology*, vol. 11, no. 3, pp. 611-618, May 2012.
- [13] Y. V. Pershin and D. Ventra, "Practical approach to programmable analog circuit with memristors," *IEEE Trans. Circuits and Systems*, vol. 57, no. 8, pp. 1857-1864, Aug. 2010.
- [14] C. M. Jung, K. H. Jo, and K. S. Min, "SPICE macromodel and CMOS emulator for memristors," *Journal of Nanoscience and Nanotechnology*, vol. 12, no. 2, pp. 1487-1491, Feb. 2012.
- [15] H. Kim, M. Sah, C. Yang, S. Cho, and L. O. Chua, "Memristor emulator for memristor circuit applications," *IEEE Trans. Circuits and Systems*,

vol. 59, no. 10, pp. 2422–2431, Oct. 2012.

[16] J. M. Choi, S. H. Shin, S. Cho, and K. S. Min, “CMOS circuit with small area and low complexity for emulation memristive behavior,” *Collaborate Conference on 3D & Material Research (CC3DMR)*, Jeju in Korea, June 2013.

[17] S. H. Shin, J. M. Choi, S. Cho, and K. S. Min, “Small-area and compact CMOS emulator circuit for memristors,” *submitted to Nano Research Letters*, 2013.

BIOGRAPHY

Kyeong-Sik Min (Life Member)



1991 : BS degree in Electrical Engineering, Korea University.

1993 : MS degree in Electrical Engineering, Korea Advanced Institute of Science and Technology(KAIST).

1997 : PhD degree in Electrical Engineering, Korea Advanced Institute of Science and Technology(KAIST).

1997~2001 : Research Engineer, Hynix Semiconductor Inc.

2001~2002 : Research Engineer, University of Tokyo.

2002~2013 : Professor, Kookmin University.

Jun-Myung Choi (Student Member)



2012 : BS degree in Electrical Engineering, Kookmin University.
He is currently working toward the Master's degree of Electrical Engineering at Kookmin University.

SangHak Shin (Student Member)



2013 : BS degree in Electrical Engineering, Kookmin University.
He is currently working toward the Master's degree of Electrical Engineering at Kookmin University.