

전치 증폭기 공유 기법을 이용한 8-bit

10-MSample/s Folding & Interpolation ADC

A 8-bit 10-MSample/s Folding & Interpolation ADC using Preamplifier Sharing Method

안철민*, 김영식**

Cheol-Min Ahn*, Young-Sik Kim**

Abstract

In this paper, a 8bit 10Ms/s CMOS Folding and Interpolation analog-to-digital convertor is proposed. The architecture of the proposed ADC is based on a Folding & Interpolation using FR(Folding Rate)=8, NFB(Number of Folding Block)=4, IR(Interpolation Rate)=8. The proposed ADC adopts a preamplifier sharing method to decrease the number of preamplifier by half comparing to the conventional ones. This chip has been fabricated with a 0.35[um] CMOS technology. The effective chip area is 1.8[mm] x 2.11[mm] and it consumes 20[mA] at 3.3 power supply with 10[MHz] clock. The INL is -0.57, +0.61 [LSB] and DNL is -0.4, +0.51 [LSB]. The SFDR is 48.9[dB] and SNDR is 47.9[dB](ENOB 7.6b) when the input frequency is 100[kHz] at 10[MHz] conversion rate.

요약

본 논문에서는 8bit 10Ms/s CMOS Folding and Interpolation ADC를 제안한다. 회로에 사용한 구조는 FR(Folding Rate)이 3, NFB(Number of Folding Block)가 4, IR(Interpolation rate)이 8이며, 제안된 전치 증폭기(Preamplifier) 공유 기법을 회로에 사용하여 같은 구조에서 요구하는 전치 증폭기 수를 절반으로 줄여서 전력소모와 유효면적을 줄이도록 설계하였다. 제안된 ADC는 0.35[um] CMOS 디지털 공정을 사용하여 제작하였고, 유효 칩 면적은 3.8[mm²] (1.8[mm] x 2.11[mm]) 이고, 3.3[V], 샘플링 주파수 10[MHz]에서 20[mA]의 DC 전류소모를 나타내었다. INL은 -0.57, +0.61 [LSB], DNL은 -0.4, +0.51 [LSB]으로 측정되었고, 주파수 100[kHz] 정현파 입력신호에서 SFDR은 48.9[dB], SNDR은 47.9[dB](ENOB 7.6b)로 측정되었다.

Key words : ADC, Folding, Interpolation, Zero-Crossing, Thermometer-Encoder, SFDR

* Department of Information Technology
Handong Global University.
(adsums@hgu.edu 010-2776-1610)

★ Corresponding author(young@handong.edu)

※ Acknowledgment

「This research was financially supported by the Ministry of Education (MOE) and National Research Foundation of Korea(NRF) through the Human Resource Training Project for Regional Innovation (NO. 2012H1B8A2025800).」

「This work was supported by Sabbatical Leave Grant at Handong Global University((HGU-2013)」

Manuscript received Jul, 29, 2013; revised Aug 29, 2013; accepted Sep 3. 2013

1. 서론

현재 모바일 기기에 대한 수요가 증가함에 따라 무선 통신 기술이 급속도로 발달하고 있다. 또한 CMOS 공정 기술의 발달과 디지털 응용 기술들이 확대됨에 따라 아날로그 신호를 디지털 신호로 변환하는 ADC(Analog to Digital Convertor)의 성능에 대한 요구 사항이 점점 높아지고 있다. ADC의 활용 범위는 무선 통신부터 비디오 프로세싱까지 아주 광범위하며 높은 해상도와 고속 동작이 요구가 된다.

ADC의 주요 사양으로는 변환속도와 더불어 선형성 지표인 INL(Integral Non-Linearity), DNL(Differential Non-Linearity), SFDR(Spurious Free Dynamic Range), SNDR(Signal to Noise and Distortion Ratio)이 있다. 그리고 모바일 환경에서는 특성상 전력소모도 주요한 사양이다. 지금까지 변환 속도, 선형성, 전력효율을 개선하기 위한 ADC에 대한 연구가 활발히 진행되어 왔다. 그 중에 Flash ADC가 그림 1에서 보는 바와 같이 가장 빠른 구조로 알려져 있다.[1-3] 하지만 Flash ADC는 많은 수의 비교기를 사용하여 전력 소모와 면적 그리고 입력 커패시턴스가 크다는 문제를 가지고 있다. 이것으로 인해 Two-step ADC가 일반적으로 많이 사용되고 있으며, 이는 Flash ADC에 비해 속도는 느리지만 MSB와 LSB를 분리해 출력하여 전력과 면적을 작게 사용하면서도 비교적 높은 정확도의 신호를 출력한다. 그리고 Folding & Interpolation ADC는 Flash ADC와 Two-step ADC의 장점만을 이용하여 분리된 MSB와 LSB를 출력함으로써 전력 소모와 면적을 줄이고, Flash ADC의 장점인 한 클럭 주기 내에 입력 신호에 대한 디지털 값을 출력하는 방법을 택함으로써 빠른 속도를 낼 수 있도록 설계되었다.[4-6]

일반적으로 Folding & Interpolation ADC 설계에서 Folding & Interpolation Rate에 따라 요구되는 전치 증폭기(Preamplifier)와 비교기의 수가 결정된다. 본 논문에서는 전력효율과 점유면적을 개선하기 위해 전치 증폭기를 공유하는 구조를 활용하여 Folding & Interpolation에서 요구되는 전치 증폭기의 수를 절반으로 줄여서 설계하는 방식으로 제작하였다. 또한 전치 증폭기의 입력 커패시턴스를 줄이기 기법과 kick-back현상을 줄일 수 있도록 전치 증폭기를 설계

하였다.

본 논문의 II장에서는 제안된 Folding & Interpolation ADC의 전체 구조 및 회로설계에 대해 기술하며, III장에서는 제작한 ADC를 측정된 측정결과를 정리하고, IV에서 결론을 맺는다.

II. 본론

1. 8bit Folding & Interpolation ADC

가. ADC Architecture

Folding & Interpolation ADC는 해상도에 따라 2의 지수 승으로 비교기를 필요로 하는 Flash ADC에 비해 훨씬 적은 비교기를 사용하기 때문에 낮은 전력소모와 작은 면적을 가지고 만들어 낼 수 있다.[4-6] Folding & Interpolation ADC의 구조를 정할 때 가장 중요한 점은 비교기의 개수에 직접적으로 영향을 미치는 FR(Folding Rate)과 NFB(Number of Folding Blocks) 그리고 IR(Interpolation Rate)을 정하는 것이다.[7] 낮은 FR은 많은 비교기를 요구하며 높은 FR은 많은 전치 증폭기를 요구한다. 정해진 FR, NFB, IR에 따라 전력 소모와 면적에 직접적으로 연관이 있는 전치 증폭기와 비교기의 수가 정해지므로 Folding & Interpolation ADC의 성능과 전력소모, 면적 등을 고려하여 각 상황과 목적에 맞는 FR, NFB, IR을 정해야 한다. 그러므로 ADC의 해상도와 설계의 목적에 따라 FR, NFB, IR를 조절하여 정할 수 있고 다양한 구조의 Folding & Interpolation ADC를 만들어 낼 수 있다. 현재 8-bit Folding & Interpolation ADC에 있어서 FR=8, NFB=4, IR=8 이 가장 적합한 비율의 형태로 알려져 있다. [5, 8-9]

본 연구에서 설계한 8-bit Folding & Interpolation ADC는 3bit Coarse ADC와 5bit Fine ADC로 나뉘어져 있다. FR=8, NFB=4, IR=8로 ADC를 설계 하였으며 설계한 ADC의 block diagram은 그림 2에 나타내었다. 전치 증폭기를 통해 나오는 신호 중 7개의 신호는 Coarse ADC를 거쳐 thermometer code를 만들어 내고 3bit encoder를 통해 3bit MSB신호를 출력한다. 전치 증폭기를 거쳐 나온 40개의 모든 신호는 folding block과 interpolation circuit을 통해 31개의 신호를 만들어내고 이 신호가 비교기를 지나며 생성된 thermometer code를 5bit encoder를 통해 5 bit LSB를 출력함으로써 3 MSB + 5 LSB 총 8bit의 신호를 출력한다.

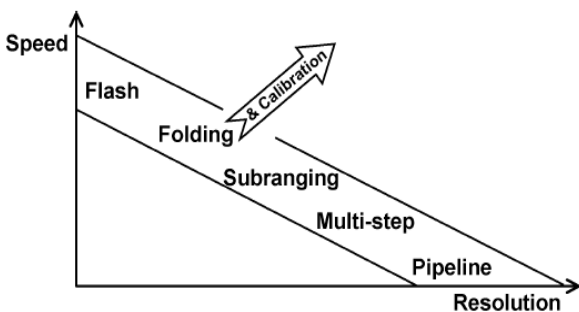


Fig. 1. Conceptual representation of speed verse resolution tradeoff for ADCs

그림 1. 동작속도와 해상도에 따른 ADC

본 논문에서 전치 증폭기를 공유하는 기법을 사용하여 같은 FR, NFB, IR을 가지고 있을 때 기존의 구조에서 필요로 하던 전치 증폭기의 수를 절반으로 줄여 전력소모와 면적을 줄일 수 있다. 표 1에는 8-bit 해상도의 Folding & Interpolation ADC에 필요한 전치 증폭기와 비교기 수를 일반적인 FR=8, NFB=4, IR=8 구조를 사용하였을 때와 본 논문에서 제안된 구조를 사용하였을 때의 결과를 요약하여 나타내었다.

Table 1. Structure of 8-bit resolution ADC

표 1. 8-bit 해상도 ADC의 구조

Structure	FR	NFB	IR	Preamp수	비교기 수
Full-Flash	●	●	●	255	255
3+5 구조	8	4	8	32(40)*	38
제안된 구조	8	4	8	17(21)*	38

(*) Folding circuit에 dummy 적용한 경우

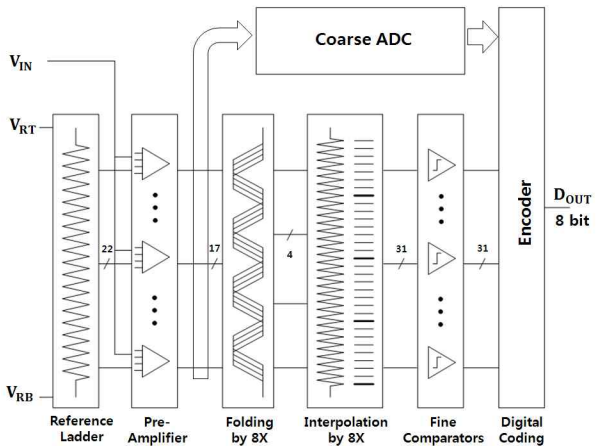


Fig. 2. The block diagram of Folding & Interpolation ADC
그림. 2. Folding & Interpolation ADC의 구조

나. 전치 증폭기의 설계

Folding & Interpolation ADC의 동작을 위해서는 folding circuit에 zero-crossing이 언제 일어나는지에 대한 정보를 전달해줘야 한다. 전치 증폭기는 아날로그 입력 값과 resistor ladder로부터 얻은 기준전압 값을 비교하여 zero-crossing point 정보가 담겨져 있는 차동 신호를 출력한다. 그림 3은 본 논문에서 설계한 전치 증폭기의 구조를 나타내고 있다.

전치 증폭기는 Folding & Interpolation ADC의 가장 앞단에 위치해 입력 커패시턴스와 직접적인 연관이 있다. 일반적으로 Folding & Interpolation ADC는

Flash ADC에 비해 작은 입력 커패시턴스 값을 가진다는 장점을 지니고 있는데, 이때 입력 커패시턴스 값은 밀러 효과에 의해 식 (1)을 이용해 알 수 있다.

$$C_{input} = C_{gd}(1 + A_V) \tag{1}$$

전치 증폭기의 이득은 입력 커패시턴스와 직접적으로 연관이 되어있기 때문에 본 논문에서는 전치 증폭기 회로에 그림 3과 같이 neutralization transistor를 추가적으로 달아서 입력 커패시턴스의 값을 상당히 줄였고 이것은 식 (2)에 나타내져있다.

$$C_{input} = C_{gd}(1 + A_V) + C_{gd}(1 - A_V) = 2C_{gd} \tag{2}$$

전치 증폭기의 또 다른 역할은 클락으로부터 입력 신호 쪽으로 잡음이 넘어오는 kick-back 현상을 막는 것인데[11] 이를 위하여 그림 3과 같이 isolation transistor를 추가하였고 그림 4는 입력으로 차동 램프 신호를 인가하였을 때의 zero-crossing 지점을 찾

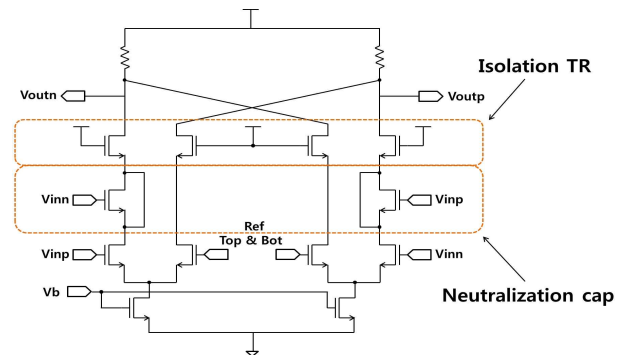


Fig. 3. Structure of preamplifier
그림 3. 전치 증폭기의 구조

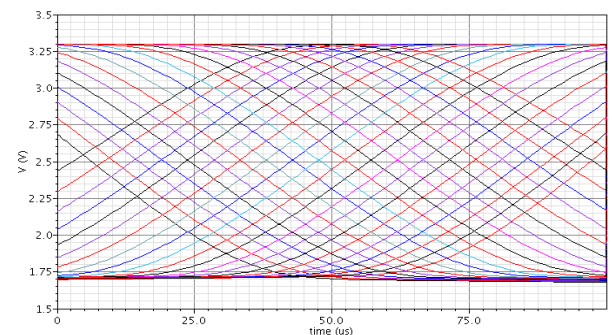


Fig. 4. Detection of zero-crossing points by preamplifier
그림 4. 전치 증폭기를 통한 zero-crossing points 검출

아낸 전치 증폭기 출력 단의 시뮬레이션 결과이다. 시뮬레이션은 Cadence 사의 Spectre tool을 이용하여 수행하였다.

다. Folding Circuit

Folding & Interpolation ADC는 그림 5에 나타난 것과 같이 크게 folding circuit, Coarse ADC 그리고 Fine ADC로 구성된다. 입력 신호에 대하여 Coarse ADC는 MSB를 출력하고 동시에 folding circuit은 그림 6과 같은 잔류 전압을 출력하며 이 잔류 전압을 이용하여 Fine ADC는 Folding ADC의 LSB를 출력한다. Coarse ADC와 Fine ADC는 독립적으로 동작하기 때문에 한 클럭 주기 안에 디지털 신호를 출력할 수 있어서 빠른 동작 스피드를 기대할 수 있다. [4-5,12]

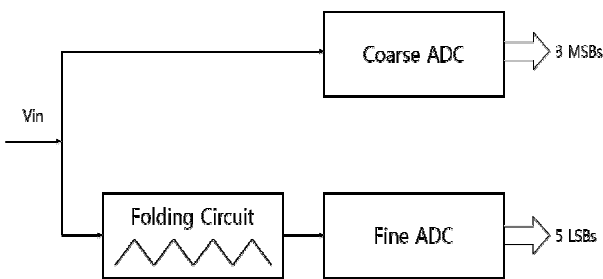


Fig. 5. Block diagram of Folding ADC
그림 5. Folding ADC의 구조

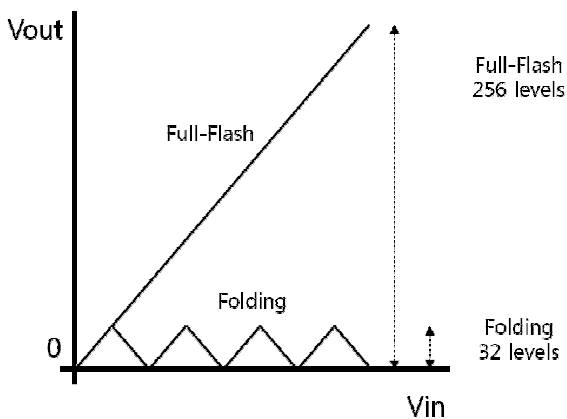


Fig. 6. Vin verse Vout of ADC
그림 6. ADC의 입출력 관계

일반적으로 folding circuit은 여러 개의 CDP(Cross-coupled Differential Pair)로 구성되어 있는 구조를 사용하며 그림 7에 본 논문에서 사용된

folding circuit 구조를 나타내었다.[1,13] CDP의 개수는 Coarse ADC의 해상도에 따라 결정되며 이로 인하여 FR이 결정 된다. 식 (3)은 Course ADC의 해상도에 따른 FR을 나타낸 식으로 본 논문에서의 Folding & Interpolation ADC는 MSB 3bit 와 LSB 5bit 로 나뉘기 때문에 8개의 CDP가 요구됨을 알 수 있다. 하지만 실제로는 입력 dynamic range에 대한 높은 선형성을 얻기 위해 그림 7과 같이 dummy CDP가 추가적으로 사용되었으며 이로 인하여 folding block 하나당 10개의 CDP가 사용되고 10개의 zero-crossing point가 필요하다.[14-15]

본 논문에서는 설계된 ADC의 NFB=4이므로 40개의 zero-crossing point를 필요로 하며 이러한 이유로 40개의 전치 증폭기가 요구된다. 그림 8은 folding circuit의 출력을 시뮬레이션으로 검증한 결과이다.

$$FR = 2^n \tag{3}$$

FR: Folding Rate

n : Course ADC의 해상도

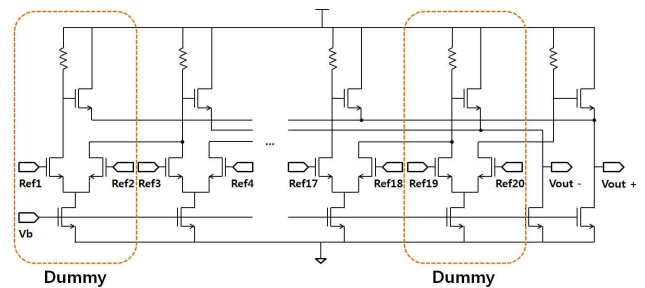


Fig. 7. Structure of folding circuit
그림 7. Folding circuit의 구조

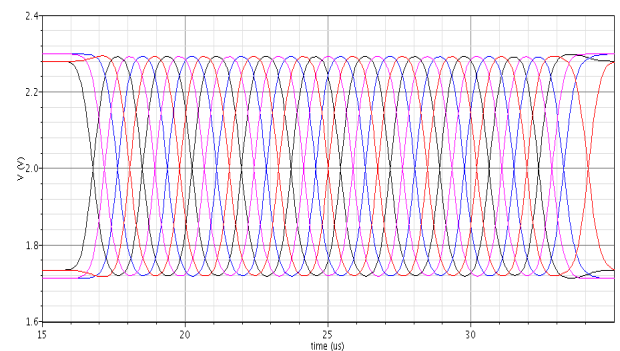


Fig. 8. Simulation results of folding circuit
그림 8. Folding circuit의 시뮬레이션 결과

라. 제안된 전치 증폭기 공유 기법

Folding circuit은 전치 증폭기로부터 받은 신호에서 zero-crossing point를 찾아내어 동작한다. FR=8, NFB=4의 구조를 지니고 있기 때문에 필요한 zero-crossing point는 $(8+2(\text{dummy CDP})) \times 4 = 40$ 개이며 이를 위해 40개의 전치 증폭기가 필요하지만 본 논문에서는 제안된 전치 증폭기를 공유하는 기법을 사용함으로써 원래 필요한 수의 절반 정도인 더미를 포함해서 21개의 전치 증폭기를 사용하여 42개의 zero-crossing point를 찾아내고 이중 40개의 zero-crossing point 정보를 사용함으로써 같은 FR, NFB를 가지고 있는 구조의 Folding & Interpolation ADC보다 전력과 면적을 적게 쓸 수 있는 효과를 기대할 수 있다.

그림 9는 제안된 전치 증폭기 공유 기법을 나타낸다. 일반적인 구조에서는 전치 증폭기 하나당 차동쌍 신호 하나를 출력하고 이것으로부터 zero-crossing point 하나를 얻을 수 있는 것에 반해 본 논문에서는 전치 증폭기에서 얻은 차동쌍 신호들을 하나씩 엇갈려서 짝을 이뤄서 전달하게 된다. 그림 9에서 Folder2와 Folder4로 전달되는 zero-crossing point는 절반의 개수의 전치 증폭기들로부터 얻은 차동쌍 신호들을 엇갈림으로써 얻어낼 수 있다. 이러한 전치 증폭기 공유 기법을 통해 같은 수의 차동쌍 신호에서 두 배의 zero-crossing point를 찾아냄으로써 필요한 전치 증폭기의 개수를 반으로 줄일 수 있다. 본 연구에서는 21개의 전치 증폭기를 사용하여 42개의 zero-crossing point를 찾아낸 후 40개의 유효한 zero-crossing point를 4개의 folding block에 각각 10개씩의 zero-crossing point 정보를 전달하여 Folding & Interpolation ADC를 동작시키도록 하였다. 전치 증폭기의 수를 절반으로 줄임으로써 전력소모 및 면적을 감소시킬 수 있었다.

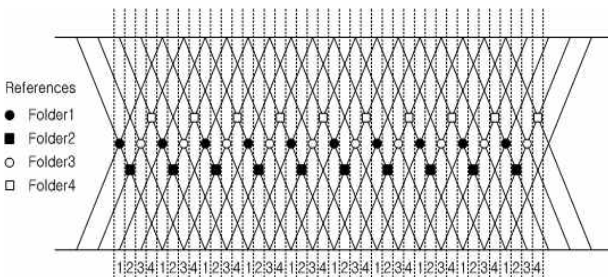


Fig. 9. Preamplifier sharing method
그림 9. 전치 증폭기 공유 기법

마. TC-to-BC Encoder

Folding & Interpolation ADC의 비교기는 TC(Thermometer Code)를 결과 값으로 내보내기 때문에 TC를 BC(Binary Code)로 바꿔주는 digital encoder가 필요하다. TC-to-BC encoder에는 보통 XOR encoder, Wallace encoder, Fat-Tree encoder가 주로 사용된다. 위의 방법 중 Fat-Tree encoder가 전력 소모와 동작 속도 면에서 가장 뛰어난 걸로 알려져 있다.[16-17] 본 논문에서는 Successive Selection Encoder라고 불리는 새로운 타입의 SSE TC-to-BC encoder를 설계하였다.[16-17]

Fat-Tree encoder가 OR operation을 기반으로 동작하는 것에 반해 SSE는 간단한 MUX operation을 통해 TC 입력으로부터 직접적으로 BC 출력을 얻어내는 구조로 되어 있다. 그렇기 때문에 SSE 타입으로 설계할 경우 Fat-Tree encoder에 비해 사용되는 게이트의 수가 줄어들고 동작 속도도 빨라지는 장점을 지니고 있다. SSE 타입 인코더는 크게 Forward SSE와 Backward SSE 타입으로 나뉜다. 그림 10과 그림 11은 4-bit Forward SSE와 Backward SSE의 동작원리를 나타내고 있다. 위에서 언급한 바와 같이 Forward SSE는 Fat-Free encoder에 비해 게이트의 수와 operation stage가 적다는 장점을 가지고 있다. 하지만 TC 신호가 여러 개의 MUX를 컨트롤해야 한다는 이유 때문에 Forward SSE는 동작 속도가 빠르지 않다는 결점이 있다. 반면에 Backward SSE는 직접적으로 TC 신호를 MUX 컨트롤 신호로 사용하기 때문에 동작 스피드의 향상을 기대할 수 있다.[16-17]

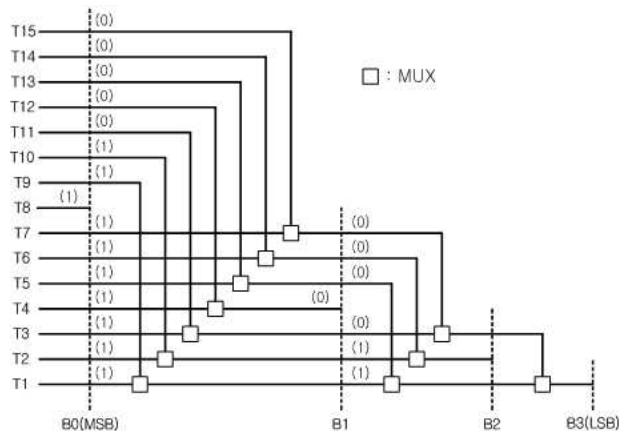


Fig. 10. Forward Successive Selection encoder
그림 10. Forward Successive Selection 인코더

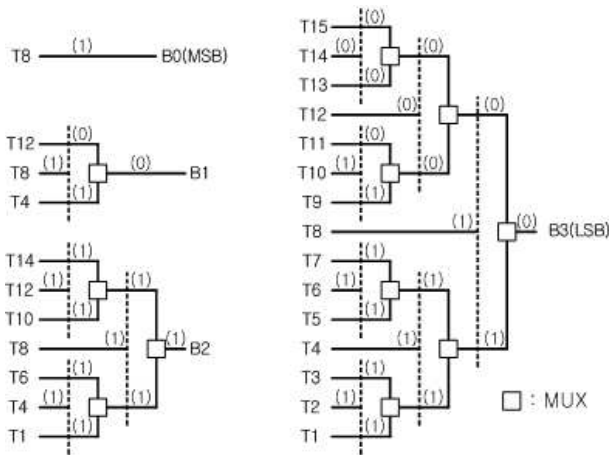


Fig. 11. Backward Successive Selection encoder
 그림 11. Backward Successive Selection 인코더

바. 제안된 전치 증폭기 공유 기법

본 연구에서 제안하는 Folding & Interpolation ADC는 0.35[um] CMOS Digital 공정을 사용하여 레이아웃 하였다. 그림 12는 제안하는 ADC의 레이아웃 이다. 전체 레이아웃은 block간의 간섭을 막기 위해 guard-ring으로 각각의 block을 분리하였고 디지털 신호에 의한 잡음이 아날로그 신호로 넘어오는 것을 최소화하기 위하여 전체 디지털 block과 아날로그 block을 한 번 더 분리하여 Folding & Interpolation ADC가 안정적으로 동작할 수 있게 각 소자들을 배치하였다. ADC의 유효 면적은 3.8[mm²] (1.8[mm] x 2.11[mm]) 이었으며 post simulation을 통해 설계된 8bit Folding & Interpolation ADC의 동작을 검증하였다. post simulation은 Cadence 사의 Spectre tool을 이용하였으며 계산 시간은 5259.280 [sec], 계산량은 867.098 x 10⁶ 이다.

10[kHz] 차동 램프 신호를 입력 값으로 넣고 10[MHz] 클락으로 샘플링 했을 경우 그림 13과 같은 시뮬레이션 결과를 얻을 수 있었다. 인가된 램프 신호에 대해 8bit 해상도에 해당되는 256개의 Binary code가 출력되는 것으로 설계된 Folding & Interpolation ADC가 정상동작 함을 확인할 수 있었고 이때의 input dynamic range는 1.2[Vpp]로 확인되었다.

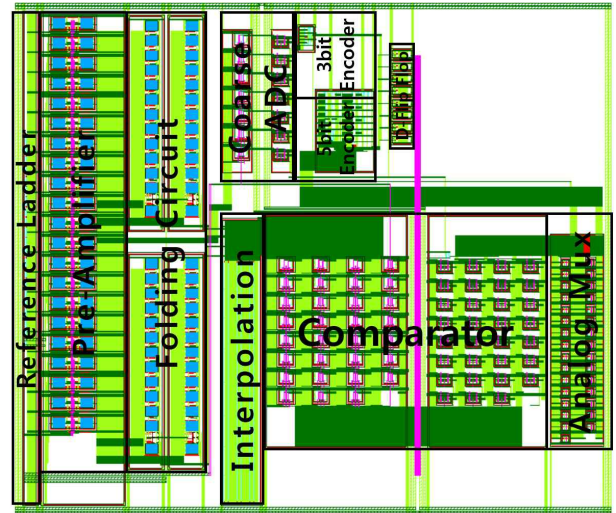


Fig. 12. The layout of the 8 bit Folding & Interpolation ADC

그림 12. 8 bit Folding & Interpolation ADC의 레이아웃

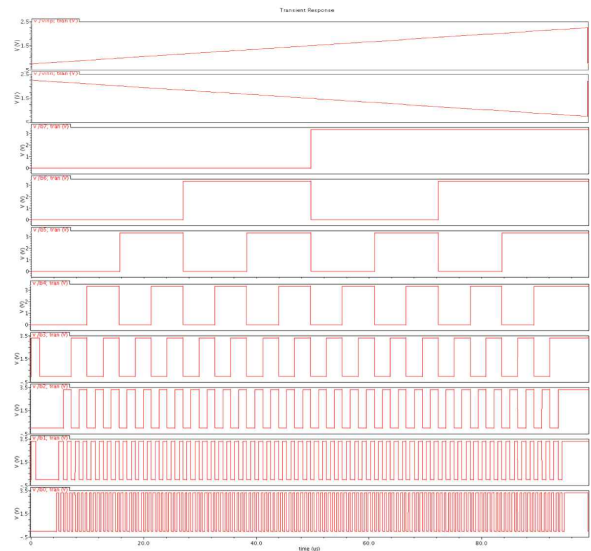


Fig. 13. The output wave of the 8 bit Folding & Interpolation ADC

그림 13. 8 bit Folding & Interpolation ADC의 출력 파형

2. 실험 및 측정 결과

0.35[um] CMOS Digital 공정으로 8bit Folding & Interpolation ADC를 설계 및 제작하였고 제작된 칩으로 성능을 측정하였다.

제작된 ADC의 전체 칩 사진을 그림 14에 나타내었다. 입력에 100[kHz] 차동 램프 신호를 주고 10[MHz] 클락으로 샘플링 하여 Tektronix사의 오실

로스코프(MSO4034)를 이용하여 측정을 하였고 그 결과는 그림 15와 같다. 입력 dynamic range 가 1.2[Vpp]로 확인 되었고 이 측정 결과를 바탕으로 본 논문에서 제작된 8bit Folding & Interpolation ADC의 INL, DNL 특성을 그림 16에 나타내었고 이때 INL은 -0.57, +0.61 [LSB], DNL은 -0.4, +0.51 [LSB]로 측정되었다.

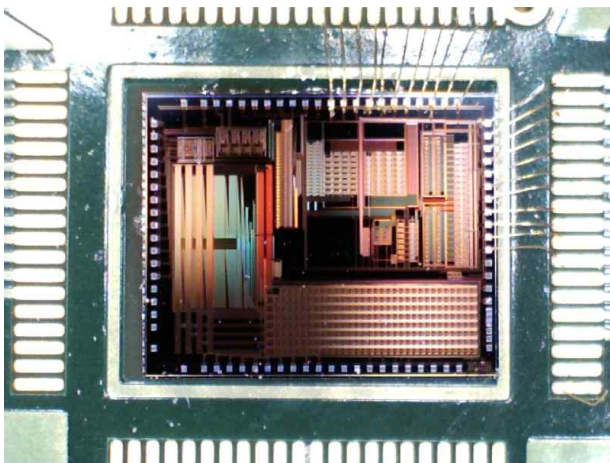


Fig. 14. Photograph of the ADC full-chip
그림 14. 설계된 ADC 칩 사진

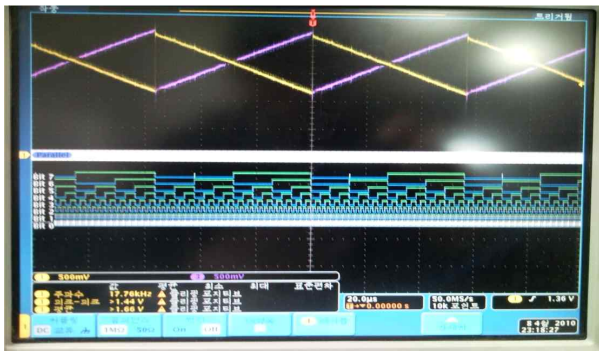


Fig. 15. Folding & Interpolation ADC output
그림 15. Folding & Interpolation ADC 출력

입력신호를 정현파 신호를 인가하여 ADC로 샘플링한 후, 이 결과를 MATLAB Tool을 이용하여 FFT를 하여 SFDR 특성을 측정하였다. 입력 주파수가 100[kHz], 샘플링 주파수가 10[MHz]일 때 측정된 SFDR은 48.9[dB]로 측정되었다. 그림 17은 10[MHz]의 변환속도에서 입력 주파수에 따른 SFDR과 SNDR 측정 결과를 그래프로 나타낸 것이다. 10[MHz] 동작 속도에서 입력 주파수가 100[kHz]일

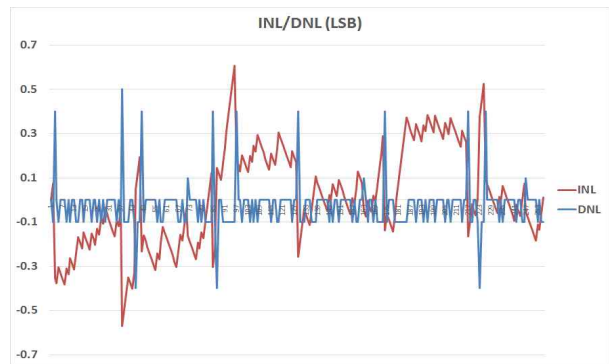


Fig. 16. Characteristic of INL & DNL
그림 16. INL & DNL 특성

때 SNDR이 47.9[dB] (ENOB 7.6b)인 것을 확인할 수 있으며 입력 주파수가 증가함에 따라 ADC 내부 기생 성분 증가에 의한 주파수 특성 감소에 따라 [7] SFDR과 SNDR 성능이 감소하는 것을 볼 수 있다.

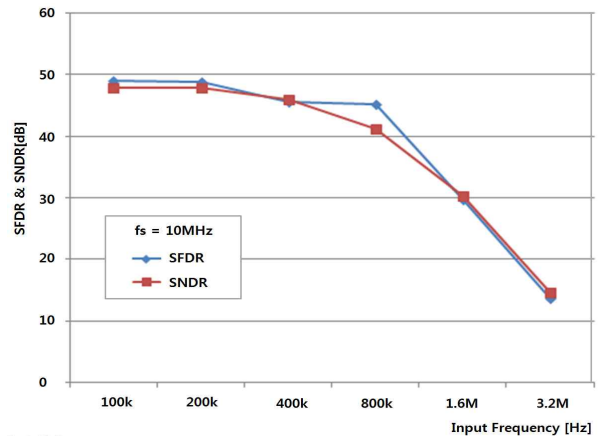


Fig. 17. Characteristic of SFDR & SNDR
그림 17. SFDR과 SNDR 특성

Table 2. Summary of the designed ADC
표 2. ADC의 측정결과 요약

Parameter	Result
DC Power / Current	3.3V / 20mA
Resolution	8bits
Conversion Rate	10MSPS
INL / DNL	-0.57, +0.61 LSB / -0.4, +0.51 LSB
SFDR	48.9dB
SNDR	47.9dB
ENOB	7.6b
Active Die Area	3.8mm ² (1.8mm x 2.11mm)

Table 3. Research of 8bit Folding & Interpolation ADC
표 3. 8bit Folding & Interpolation ADC의 연구동향

참고 문헌	구조	SNDR (dB)	전력소모 (mW)	면적 (mm ²)	사용공정
[1]	Folding & Interpolation	48	441	16	0.18um CMOS
[5]	Folding & Interpolation	46	250	2.2	0.18um CMOS
[6]	Folding	40.7	60	0.2	65nm CMOS
[10]	Folding & Interpolation	43	230	0.7	0.35um CMOS
[12]	Folding & Interpolation	46.22	350	2.1	0.13um CMOS
This work	Folding & Interpolation	47.9	30	3.8	0.35um CMOS

III 결론

본 논문을 통하여 8bit Folding & Interpolation ADC를 설계하고 측정해 보았다. 제작된 ADC는 같은 해상도의 ADC에 비해 전치 증폭기의 수를 크게 줄일 수 있기 때문에 면적과 전력소모를 줄일 수 있다. 본 논문에서는 전치 증폭기 공유 방식을 사용함으로써 8bit 해상도에 최적화된 3+5 분할구조와 FR=8, NFB=4, IR=8 구조에서 전치 증폭기 수를 더 줄임으로써 면적과 전력소모를 더욱 줄일 수 있었다. 이러한 방식에서 더 많은 공유가 가능하지만, 공유가 많아질수록 전치 증폭기의 dynamic range에 크기에 대한 제한을 받을 수 있다. 제작된 ADC를 가지고 측정 한 결과는 표 2에 나타내었으며 표 3에 8bit Folding & Interpolation ADC의 연구동향을 본 연구결과와 비교 정리하였다. 0.35[um] CMOS 공정을 이용해 IC를 제작하였고 총 면적 3.8[mm²] (1.8[mm] x 2.11 [mm])의 코어가 설계되었다. 설계된 Folding & Interpolation ADC는 10[MHz] 변환 속도와 3.3[V] 전원에서 DC 9.1[mA] 전류를 소비한다. 입력 신호의 dynamic range는 1.2[Vpp]이다. INL은 -0.57, +0.61 [LSB], DNL은 -0.4, +0.51 [LSB]로 측정되었다. 샘플링 주파수가 10[MHz]일 때 100[kHz] 정현파 신호 입력에 대해 SFDR은 48.9[dB], SNDR은 47.9[dB](ENOB 7.6b)로 측정되었다.

References

[1] Taft R.C. ; Menkus C.A. ; Tursi M.R. ; Hidri O. ; Pons V "A 1.8-V 1.6-Gsample/s 8-bit self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency" IEEE JSSC P.2107-2115, 2004.

[2] Oza S. ; Devashratee N.M. "Low Voltage, Low Power Folding Amplifier for Folding & Interpolating ADC" ARTCom, International Conference P.178-182, 2009.

[3] Jungho Lee ; Michael B.C. ; Ho-Jin Park ; Byeong-Ha Park "A 7b 1GS/s 60mW folding ADC in 65nm CMOS" ISOC, SOCDC P.338-341, 2010.

[4] Oza S. ; Devashratee N.M. "low power folding & interpolating adc using 0.18um technology" ACE, International Conference P.54-58, 2010.

[5] Chan Son, Byung-Il Kim, Sang-Hoon Hwang, Min-Kyu Song, "Design of an 1.8V 12-bit 10MSPS Folding/Interpolation CMOS Analog-to-Digital Converter" Journal of IEEK, Vol.42-SD, NO. 11, P. 13-20, November, 2008

[6] Jungho Lee, Michael B. Choi, Ho-Jin Park, Byeong-Ha Park, "A 7b 1GS/s 60mW Folding ADC in 65nm CMOS" ISOC 2010 Conference, P.338-341, 2008.

[7] SeungHwi Jung, JaeKyu Park, SangHoon Hwang, MinKyu Song, "Design of an 1.8V 8-bit 500MS/s Cascaded-Folding Cascaded-Interpolation CMOS A/D Converter" Journal of IEEK, Vol.43-SD, NO. 5, P. 1-10, May, 2006

[8] R. Plassche ; P. Baltus "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter" IEEE JSSC P1334-1344, DEC. 1988.

[9] Michael P. Flynn "CMOS Folding A/D Converters with Current-Mode Interpolation" IEEE JSSC P1248-1257, Sep. 1996.

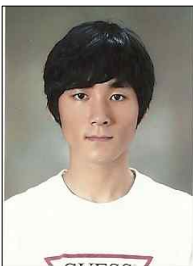
[10] Yoo Sam Na, Min-Kyu Song, "Design of a 3.3V 8-bit 200MSPS CMOS Folding/Interpolation ADC" Journal of IEEK, Vol.38-SD, NO. 3, P. 44-50, March, 2001

[11] David A. Johns ; Ken Martin "Analog Integrated Circuit Design" John Wiley & Sons, Inc. P.304-370 , 1996.

- [12] Donggwi Choi, Daeyun Kim, Minkyu Song, "A 8b 1GS/s Fractional Folding-Interpolation ADC with a Novel Digital Encoding Technique", Journal of IEEK, Vol. 50, No. 1, P. 137-147, January, 2013
- [13] Taft R.C. ; Francese P.A. ; Tursi M.R. Hidri O. ; MacKenzie A. ; Hohn T. ; Schmitz P. ; Werker H. ; Glenny A "A 1.8 V 1.0 GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC With 9.1 ENOB at Nyquist Frequency" IEEE JSSC P.3294-3304, 2009.
- [14] Rudy van de Plassche "CMOS Integrated Analog to Digital and Digital-Analog Converter" Kluwer Academic Publishers P.128-130, 2003.
- [15] DonSeup Lee ; KaeDal Kwack "A Design of 250-Msamples/s 8-bit Folding Analog to Digital Converter using Transistor Differential Pair Folding Technique" Journal of The Institute of Electronics Engineers of Korea, Vol 41-SD, NO. 11, Nov. 2004.
- [16] Hui Pan ; Abidi A.A. "Signal folding in A/D converters" IEEE TCSI P.3-14, 2004
- [17] KiJun Lee ; Kyusun Choi ; Byung-Soo Kim "Design of the Successive Selection Encoder by the logical Effort for High Flash Speed ADC's", Journal of IEEK, Vol.42-SD, NO. 4, April, 2005

BIOGRAPHY

Cheol-Min Ahn (Student Member)



2012 : BS degree in Electronic Engineering, Handong Global University.

2012~Now : MS candidate in Electronic Engineering, Handong Global University.

<Main Interest> VLSI Design, RF/Analog IC Design, USN

Young-Sik Kim (Member)



1993 : BS degree in Electronic Engineering, POSTECH.

1995 : MS degree in Microwave Engineering, POSTECH.

1997 : PhD degree in Microwave Engineering, POSTECH.

1999~Now : Professor, Handong

Global University of Computer Science and Electronic Engineering.

<Main Interest> Sensor Network Research, RFID, Wireless Communication RF/Analog IC Design, RF Power Amplifier Design