

PFM/PWM 듀얼 모드 피드백 기반 LED BLU 구동용 LLC 공진 변환 제어 IC 설계

A Design of PFM/PWM Dual Mode Feedback Based LLC Resonant Converter Controller IC for LED BLU

유 창 재*, 김 홍 진*, 박 영 준*, 이 강 윤**

Chang-Jae Yoo*, Hong-jin Kim*, Young-Jun Park*, Kang-Yoon Lee**

Abstract

This paper presents a design of LLC resonant converter IC for LED backlight unit based on PFM/PWM dual-mode feedback. Dual output LLC resonant architecture with a single inductor is proposed, where the master output is controlled by the PFM and slave output is controlled by the PWM. To regulate the master output PFM is used as feedback to control the frequency of the power switch. On the other hand, PWM feedback is used to control the pulse width of the power switch and to regulate the slave output. This chip is fabricated in 0.35um 2P3M BC(Bipolar-CMOS-DMOS) Process and the die area is 2.3mm*2.2MM. Current consumptions is 26mA from 5V supply.

요 약

본 논문은 Pulse Frequency Modulation(PFM)/Pulse Width Modulation(PWM) 듀얼 모드 피드백 기반 LED 백라이트 유닛 구동용 LLC 공진 변환 제어 IC 설계에 대한 내용을 제시한다. 공진형 변환기에서 하나의 변환기를 사용하면서, 두 가지 출력 전압을 생성할 수 있는 구조를 제안하였으며, Master 출력은 PFM 방식으로 Slave 출력은 PWM 방식으로 제어하도록 설계 하였다. 2차 측 Master 출력을 제어하기 위해서 파워 스위치 제어 신호의 주파수를 조절하는 PFM 피드백과 2차 측 Slave 출력을 제어하기 위해서 파워 스위치 제어 신호의 펄스 폭을 조절하는 PWM 피드백 회로를 설계하였다. 설계된 IC는 0.35 μm 2 Poly 3 Metal BCD(Bipolar-CMOS-DMOS) 공정을 이용하여 레이아웃 되었으며, 면적은 2.3 mm x 2.2 mm 이다. 또한, 설계한 칩은 5 V 공급 전압으로부터 26 mA의 전류를 소모하였다.

Keywords : Dual-mode feedback, LLC resonant converter, LED BLU, PWM, ZVS

* College of Information and Communication Engineering, Sungkyunkwan University

★ Corresponding author

klee@skku.edu, 031-299-4954

※ Acknowledgment

"This research was supported by the MSIP(Ministry of Science, ICT&Future Planning), Korea, under the ITRC(Information Technology Research Center) Support Program"

: "This work was supported by IC Design Education Center(IDEC)"

Manuscript received Aug. 8, 2013; revised Sep. 2, 2013 ; accepted Sep. 3. 2013

1. 서론

최근 LED(Light-Emitting Diode) TV 시장의 급성장에 따라 LED BLU(Back Light Unit)를 제어 하는 IC 또한 중요성이 커지고 있으며, DC-DC 컨버터는 효율이 높은 LLC 공진컨버터로 대체되고, 단가를 낮추기 위해 PCB에 실장 되는 개별 소자들로 이루어진 블록을 하나의 IC로 집적하는 연구가 활발하게 진행되고 있다.[1]

기존의 2차 측 LLC 공진 컨버터[2]는 하나의 출력만을 가지는 방식이었으나 본 논문에 사용된 컨버터는 변압기를 공유하여 2개의 출력을 가짐으로써 LED에 공급하는 VMaster 전압 외에 다른 어플리케이션에서

활용 할 수 있는 보조 전원인 VSlave을 생성할 수 있게 되어 기존에 외부 회로로 보조전원을 생성해야 할 때 비용 측면에서 강점을 가지게 되었다.

본 논문에서 제안하는 IC는 이러한 듀얼 출력 컨버터를 제어하기 위해 PFM 방식 피드백만 사용하는 단일 모드 피드백이 아닌, PFM방식 피드백에 PWM 방식의 피드백을 더하여 1차측의 게이트 드라이버를 더욱 정밀하고 효율적으로 제어 할 수 있는 듀얼 모드 피드백 기법을 사용하였다. 게이트 드라이버 조절 시 1차적으로 PFM에 의해 게이트 드라이버의 스위칭 펄스 주파수를 조절하여 출력 이득이 발생하며, 2차적으로 주파수 변화에 따른 로드의 변화에 대해 효과적으로 출력스위칭 펄스의 듀티를 조절하여 더욱 정밀하게 스위칭 신호를 조절하여 출력을 자동적으로 제어할 수 있게 설계하였다.

II. 본론

1. 구조

그림 1과 그림 2은 듀얼 모드 피드백 기반 LLC 공진 컨버터의 구조와 동작 파형을 나타낸 그림이다. 이전에 사용되던 구조는[2] 2차 측의 변압기를 하나만 사용하였다.

하지만 본 논문에서 제안 하는 듀얼 모드 피드백 기반 LLC 공진 컨버터의 구조에서는 2차 측에 하나의 변압기가 아닌 Master Stage와 Slave Stage의 두 개의 변압기를[3] 사용하였으며, 이를 통해 두 가지의 출력을 가질 수 있게 되었다. 회로의 동작은 다음과 같다.

1차 측에서 GDA(Gate Driver A) 신호가 들어오면 위쪽의 스위칭 MOSFET(M1)이 턴-온 되어 바깥쪽에 표시된 패스를 따라 시계 방향으로 전류가 흐르게 된다.

이것은 2차 측의 변압기와 공진을 하게 되고 수식 (1)과 같이 공진 주파수로 전달된다. 여기서 에너지의 흐름은 그림 2에서 볼 수 있듯이 T_s 의 시간 동안 2차 측으로 전달이 된다. 이때의 T_s 는 수식 (2)와 같으며 공진 파형 주기의 절반이 된다.

GDA의 신호가 꺼지게 되면서 공진이 끝나고 GDB(Gate Driver B)의 신호가 들어오면 아래쪽의 스위칭 MOSFET(M2)가 턴-온 되어 앞서 시계 방향으로 흐르며 전류가 충전되었던 커패시터 C_R 의 전류 에너지가 1차측 회로에서 안쪽에 표시된 패스를 따라 흐르게 되며, 이는 다시 2차 측 전류로 전달이 된다.[4]

$$f_o = \frac{1}{2\pi\sqrt{L_R \cdot C_R}} \tag{1}$$

$$T_s = \frac{1}{2f_o} \tag{2}$$

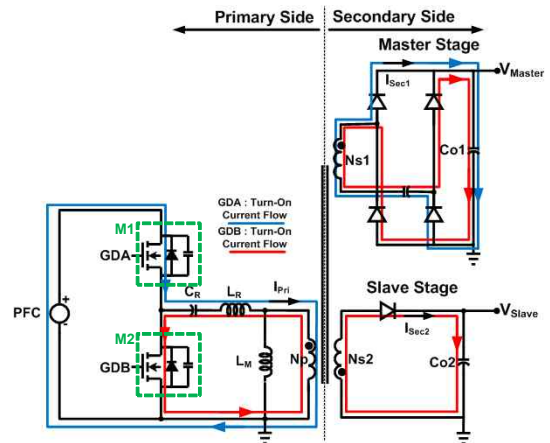


Fig. 1. Dual-mode feedback LLC resonant converter
그림 1. 듀얼 모드 피드백 LLC 공진 컨버터

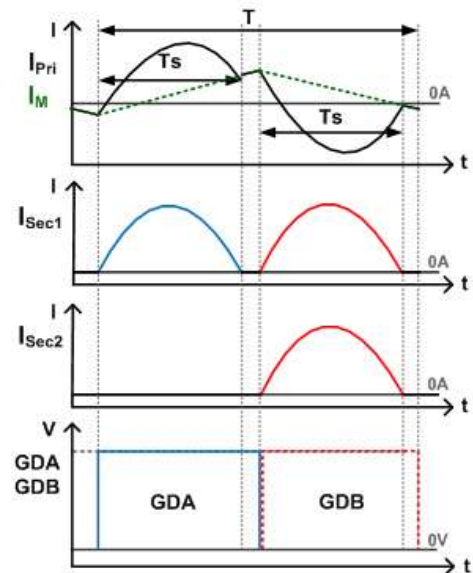


Fig. 2. Dual-mode feedback LLC resonant converter waveform
그림 2. 듀얼 모드 피드백 LLC 공진 컨버터 파형

그림 3은 듀얼 출력을 가지는 컨버터와 이를 제어할 수 있도록 설계한 듀얼 모드 피드백 LLC 공진 제어 IC를 제시한 시스템을 나타내고 있다.

듀얼 모드 피드백 LLC 공진 컨버터에 의해 생성되는 V_{Master} 전압에 비례하여 생성되는 피드백 전압인 $FB1$

이 듀얼 모드 피드백 LLC 공진 제어 IC로 피드백 되고, 그에 따라 IC내의 gm증폭기에서 그 에러 만큼을 감지하여 ERO전압으로 출력하여 부궤환 루프를 형성하게 된다.

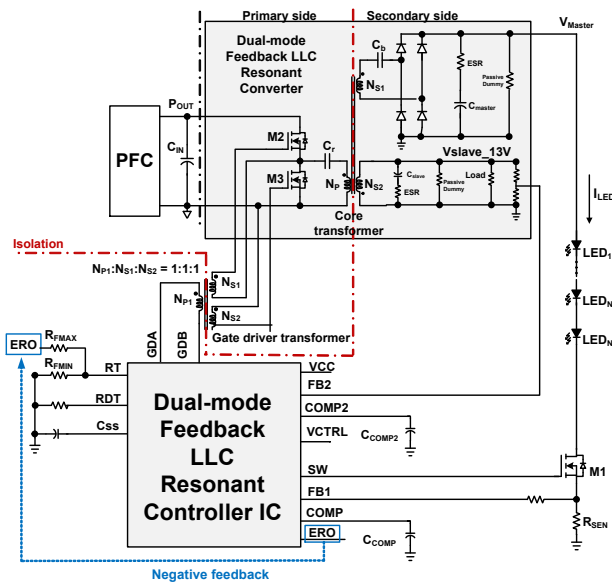


Fig. 3. Proposed dual-mode feedback LLC resonant converter system

그림 3. 제안하는 듀얼 모드 피드백 LLC 공진 컨버터 시스템

그림 4에서는 듀얼 모드 피드백 LLC 공진 제어 IC의 블록 다이어그램을 보여주고 있다.

클럭 생성기는 주파수 제어 전류 생성기에서 발생하는 전류인 I_{CHARGE} 의 크기에 따라 게이트 드라이버에서 출력되는 주파수를 결정한다. I_{CHARGE} 는 ERO 전압에 따라 R_{FMAX} 저항이 가변하여 R_{FMIN} 과 병렬로 바라보는 저항인 R_T 를 변화시켜 I_{CHARGE} 가 변하여 클럭 생성기에서 발생하는 주파수를 변화시킨다.

듀티 제어 회로는 V_{CTRL} 을 입력받은 최소/최대 전압 회로로부터 최소/최대 전압을 입력받고, 지정된 범위 내에서 Slave stage에서 피드백 받은 전압($FB2$)을 듀티 제어 회로 내의 에러 앰프를 통해서 일정한 전압(V_{CP})을 출력하는 동작을 한다. 이때 생성된 V_{CP} 전압이 클럭 생성기로 들어가서 듀티를 결정한다.

보호 회로는 시스템의 안정성을 위해 출력이 과전압이 되거나, LED가 단락 또는 개방이 되었을 때를 감지하여 출력을 제한하는 기능을 하도록 설계되었다. 게이트 드라이버의 출력에서 출력이 멈추게 되면, LLC 공진 컨버터의 동작을 멈추도록 하여, 2차 측 Master/Slave stage로 넘어가는 전력은 없다.

디밍 회로는 LED 디밍을 위한 PWM 신호에 따라서

외부 LED 디밍 스위치를 제어할 수 있도록 설계되었으며, PWM 제어를 위한 정전류를 형성하기 위한 에러 앰프를 포함한다.

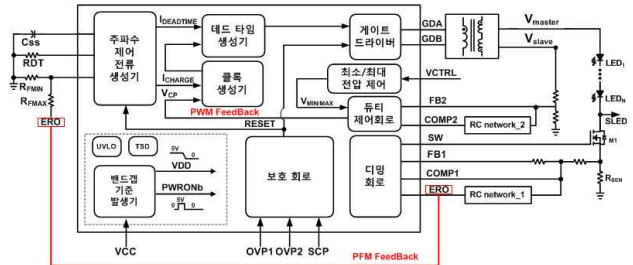


Fig. 4. Block diagram of dual-mode feedback LLC resonant controller IC

그림 4. 듀얼 모드 피드백 LLC 공진 제어 IC의 블록 다이어그램

2. 블록 설계

가. 주파수 제어 전류 생성기

그림 5는 주파수 제어 전류 생성기의 구조이다. R_T/R_{DT} 전류 발생기 회로는 기본적으로 Gain-boosting 형태를 하고 있으며, Tail-current를 외부에서 조정하기 위해 R_T/R_{DT} 저항을 외부소자로 사용하고 있다.

R_T 전류 발생기에서 ERO 전압은 Master stage에서 피드백 받는 전압으로서 이 전압이 0V ~ 5V 사이로 변함에 따라 R_T 노드에서 보이는 저항의 크기가 달라진다. ERO 전압이 5V일 때에는 R_T 노드와 ERO 전압이 같아 R_{FMAX} 저항이 보이지 않게 되며, 이에 따라 R_{FMIN} 의 저항만이 전류 생성에 관여하게 된다. ERO 전압이 0V가 되면 R_{FMAX} 저항이 전부 보이게 되며 R_T 노드에서 보이는 저항의 크기는 R_{FMIN} 저항과 R_{FMAX} 저항의 병렬 값이 되어 작은 값을 가지게 된다. 즉, ERO 전압이 5V일 때 최대 저항이 되어 전류는 작아지고, ERO 전압이 0V일 때 최소 저항이 되어 전류는 커지게 된다. 여기서 생성된 전류는 전류 미러를 통해 I_{CHARGE} 전류를 생성하며 이 전류는 클럭 생성기로 전달되어 그 크기에 따라 주파수를 결정하게 된다. 즉, 최종적으로는 GDA/GDB 주파수의 최소/최대값을 결정한다.

R_{DT} 전류는 R_T 전류 발생기와 같은 구조에서 발생되며, R_{DT} 저항에 따라 $I_{DEADTIME}$ 전류값이 변화하게 된다.

나. 듀티 제어 회로

LLC 컨버터에서 생성되는 전원 중 다른 어플리케이션에서 사용을 위해 Slave Stage에서 생성되는 보조 전압인 V_{SLAVE} 는 GDA/GDB 의 듀티에 따라 2차 측으로

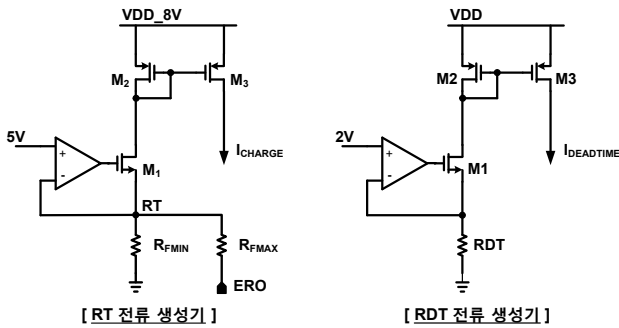


Fig. 5. Block diagram of frequency control current generator

그림 5. 주파수 제어 전류 생성기의 블록 다이어그램

전달되는 에너지가 달라진다. 스위칭 펄스의 듀티가 일정 범위를 넘어설 경우 동작 초기 Slave Stage의 전압을 안정화 시킬 때 과도한 피크 전압이 발생하거나 GDA, GDB의 한쪽이 너무 작게 되는 경우 공진이 제대로 이루어지지 않기 때문에 문제가 될 소지가 있으므로 듀티를 제어 해주기 위한 블록이 필요하다.

그림 6는 듀티 제어 회로의 블록 다이어그램으로서 Slave Stage의 출력을 FB2 전압으로 피드백 받아 gm 증폭기를 이용해 그 에러량을 감지한 후, 두 입력의 크기를 비교하여 출력에서 보상해주는 Amp.를 이용하였다. 출력값을 이용하여 듀티의 제한 범위에 맞도록 V_{MIN}/V_{MAX} 전압을 두어 제한한 뒤, 그 범위 안에서 V_{CP} 전압이 출력되는 회로이다. 듀티 제어 회로의 출력인 V_{CP} 전압은 클럭 생성기로 전달되어, 게이트 드라이버 출력 펄스 신호의 듀티비를 조절하기 위해서 사용이 된다.

그림 7은 최소/최대 기준 전압 생성기의 회로를 나타낸다. 이 회로는 외부에서 VCTRL 입력을 받아 최소/최대 전압을 생성한다. VCTRL이 클수록 최소/최대의 차이가 커지고, 작을수록 최소/최대의 차이가 줄어들며 최소/최대의 차이를 조절함으로써 듀티를 원하는 범위 내에서 제한을 할 수 있게 된다.

그림 8은 Slave Stage의 출력의 피드백 전압인 FB2를 입력을 받아 gm 증폭기를 이용해 그 차이를 감지한 뒤, 최소/최대를 제한한 후, V_{CP} 전압을 출력하기 위한 회로이다.

자세한 동작은 다음과 같다. LLC 공진 컨버터의 출력 중 Slave의 출력을 입력으로 받아, gm 증폭기를 통해 비교하여 출력을 내보낸다. 이 전압은 두 개의 비교기를 통해 최소/최대 기준 전압 생성기로부터 정해지는 고정된 전압인 V_{MIN} 전압과 V_{MAX} 전압으로 비교하게 되며, V_{MIN} 보다 전압이 작을 때에는 스위치를 조절하여 고정된 V_{MIN} 전압이 그대로 출력된다. 마찬가지로

이로 V_{MAX} 보다 전압이 클 때에 비교기의 출력이 스위치를 조절하여 고정된 V_{MAX} 전압이 그대로 출력된다. 즉, 다시 말해 고정된 V_{MIN}/V_{MAX} 전압을 두어 gm 증폭기의 전압이 그 전압보다 낮거나, 높아지게 되면 고정된 V_{MIN}/V_{MAX} 전압을 출력함으로써 V_{CP} 전압이 일정 범위 안에서 제한될 수 있도록 설계된 회로이다.

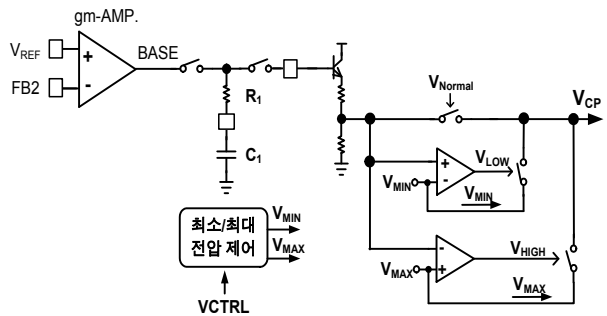


Fig. 6. Block diagram of duty control circuit

그림 6. 듀티 제어 회로의 블록 다이어그램

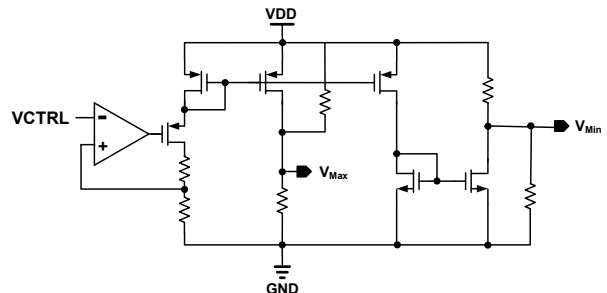


Fig. 7. MIN/MAX Generator

그림 7. 최소/최대 기준 전압 생성기

다. 클럭 생성기

그림 9는 클럭 생성기를 구조이다. 클럭 생성기는 초기에 C_{SAW} 로 I_{CHARGE} 전류가 흐르기 시작하면서 V_{SAW} 전압이 서서히 증가하게 된다. I_{CHARGE} 전류가 적은 경우 V_{SAW} 의 기울기는 천천히 증가하게 되고 반대로 전류가 많은 경우 빠르게 증가하여 주파수를 변화시킨다. 이 전압이 V_{CREF} 까지 도달했을 때 M_1 에 의해 방전하는 동작을 반복하여 톱니파 출력을 얻게 된다.

이렇게 생성된 톱니파를 펄스파로 변환해주기 위해 비교기 COMP2를 두었으며, 이 때 출력 펄스 신호의 듀티비를 조절하기 위해서 듀티 제어 회로의 V_{CP} 전압을 사용하였다. 그리고 M_1 의 사이즈가 너무 크거나 작을 경우, 진폭 에러가 발생하여 출력 주파수의 정확도에 영향을 끼치기 때문에 M_1 의 사이즈를 적절하게 선택할 필요가 있다.

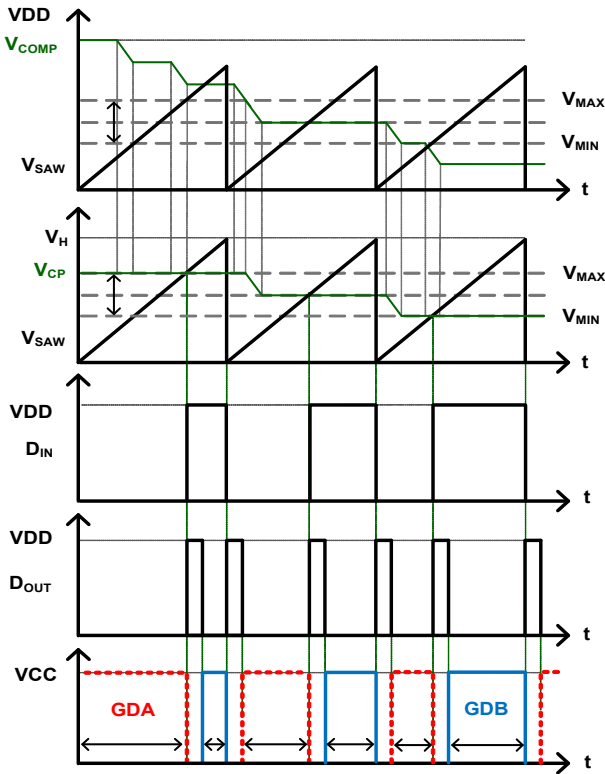


Fig. 8. Waveform of duty control circuit
 그림 8. 듀티 제어 회로의 파형

그림 10은 클럭 생성기의 파형을 보여주고 있다. 먼저 V_{SAW} 전압은 V_{CREF} 를 기준으로 상승/하강 동작을 반복하여 톱니파 파형을 생성하며, V_{CP} 의 기준 전압에 따라 **SAW_COMP**의 펄스파가 생성된다. 이 때 V_{CP} 전압이 흔들릴 경우, 회로의 안정적인 동작을 위해 D-Flip Flop을 두었다. **SAW_COMP** 신호를 클럭 신호로 받고 **SAW_OFF** 신호를 리셋 신호로 받아, V_{CP} 전압이 흔들리는 것을 보완할 수 있도록 설계하였다.

라. 데드 타임 생성기

그림 11은 데드 타임을 생성해주는 데드 타임 생성기

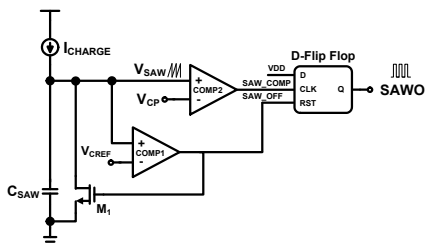


Fig. 9. Block diagram of clock generator
 그림 9. 클럭 생성기의 블록 다이어그램

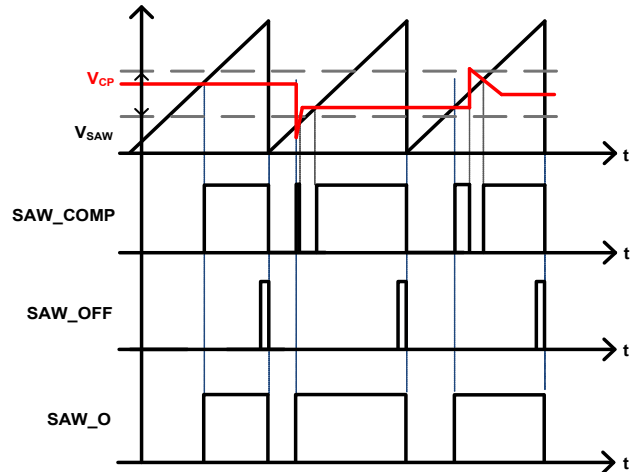


Fig. 10. Waveform of clock generator

그림 10. 클럭 생성기의 파형

의 블록 다이어그램이다. 먼저 전원이 인가되면서 V_D 가 충전되고 D_{IN} 에 High가 인가될 때까지 V_{DD} 전압을 유지한다. V_{DC} 전압과 데드 타임 생성기 출력 D_{OUT} 은 D_{IN} 에 High가 인가될 때까지 Low 상태를 유지한다.

그림 12은 데드타임 생성기에 대한 파형을 나타내었다. D_{IN} 에 High 입력이 인가되면 XNOR Gate의 출력

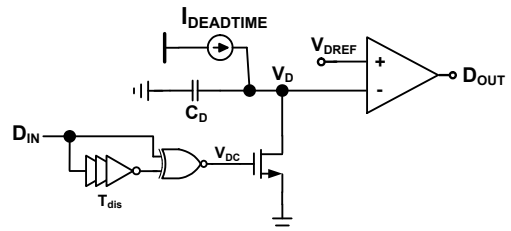


Fig. 11. Block diagram of dead time generator

그림 11. 데드 타임 생성기의 블록다이어그램

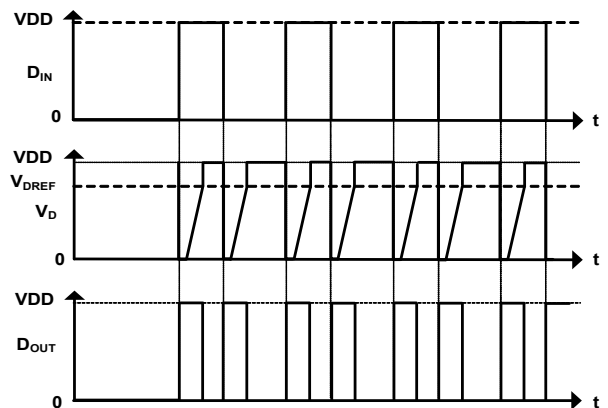


Fig. 12. Waveform of dead time generator

그림 12. 데드 타임 생성기의 파형

인 V_{DC} 가 일정한 지연 시간(T_{dis})만큼 High출력을 갖게 되어 V_D 를 0으로 방전시키게 된다. 이 때 비교기에서는 V_{DREF} 와 V_D 를 비교하여 D_{OUT} 의 출력은 High로 바뀌게 된다.[5]

V_{DC} 가 Low가 되면서 V_D 는 $I_{DEADTIME}$ 에 의해 충전을 시작하고, V_D 전압이 V_{DREF} 가 되었을 때 데드 타임 발생기의 출력 D_{OUT} 은 Low로 바뀌게 되고 V_D 는 VDD 까지 충전을 계속한다. 이와 같이 발생된 D_{OUT} 이 데드 타임으로 사용되게 된다.

마. 게이트 드라이버

그림 13은 논리 드라이버를 포함하는 게이트 드라이버를 나타낸다. 논리 드라이버는 데드 타임에 의해 생성된 D_{OUT} 과 2분주기 출력이 각각 AND gate를 통해 A_MUX에 입력으로 들어가게 되고, 이 A_MUX 회로는 Enable(ENT) 신호에 의해 동작이 활성화 된다.

Level Shifter(LVS)는 논리 드라이버 출력 A, B를 받아서 고전압 출력으로 Level Shift 시키는 역할을 한다. 또한, 게이트 드라이버는 외부 게이트 드라이버를 고속으로 스위칭시키기 위해 Totem-pole 구조로 설계되었다.

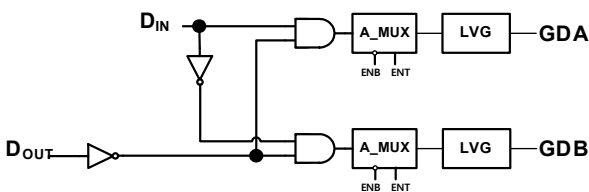


Fig. 13. Block diagram of gate driver
그림 13. 게이트 드라이버의 블록 다이어그램

3. 실험결과

그림 14는 설계된 IC의 Chip layout pattern을 나타내며, 2-poly 3-metal 0.35um BCD 공정에서 설계되었으며, die size는 2.3 mm x 2.2 mm이다. 내부 블록으로는 주파수 제어 전류 생성기, 전압 생성기, 듀티 제어 회로, 보호 회로, 디밍 회로가 포함되어 있다.

그림 15은 PFM 피드백을 통한 클럭 생성기의 RT 전류 생성기에서 RT 노드의 저항의 변화에 따른 주파수 가변 범위를 나타낸다. 저항이 커질수록 흐르는 전류는 작아지고, 따라서 주파수도 작아진다. RT 저항이 1.6 kΩ ~ 33 kΩ으로 변화할 때, 게이트 드라이버의 출력 주파수 범위는 450 kHz ~ 26 kHz 이다.

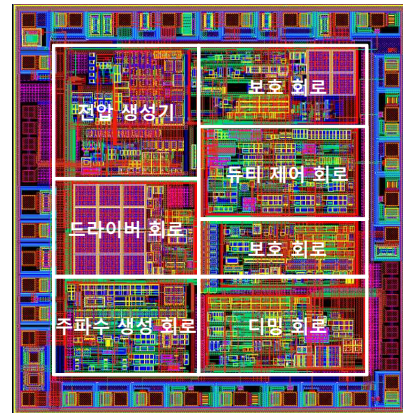


Fig. 14. Chip layout pattern
그림 14. 칩 레이아웃 패턴

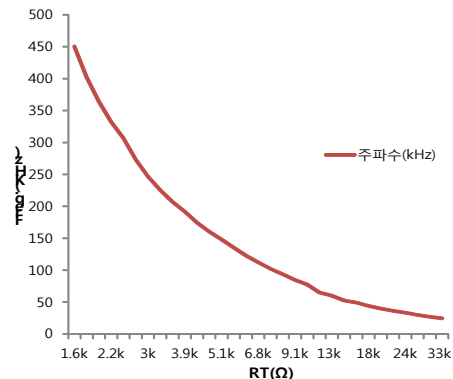


그림 15. RT 저항에 따른 클럭 생성기의 주파수 범위
Fig. 15. Frequency Range of clock generator according to RT

그림 16은 듀티 최대 최소 제어 전압인 VCTRL 변화에 따른 V_{MIN} 과 V_{MAX} 의 변화를 나타낸 것이다. VCTRL의 범위는 0.7V부터 2.3V까지이며 0.7V일 때 V_{MIN} 과 V_{MAX} 전압 변화의 2.3V일 때 V_{MIN} 과 V_{MAX} 의 범위는 최대가 된다.

그림 17는 V_{CP} 전압에 따른 GDA 파형의 듀티 변화를 나타낸 것이다. V_{CP} 를 0.2V ~ 2.4V 까지 변화시켰을 때, GDA의 듀티는 6% ~ 98%까지 변화되는 것을 확인할 수 있다.

그림 18은 그림 1에서 제시하였던 컨버터와 IC를 모두 포함한 전체 모의 실험결과이다. V_{Master} 전압은 245 V의 결과를 얻었으며 FBI 전압이 V_{Master} 전압에 따라 피드백 받고, gm증폭기에서 그 에러만큼을 감지하여 ERO 전압으로 출력하였다.

III 결론

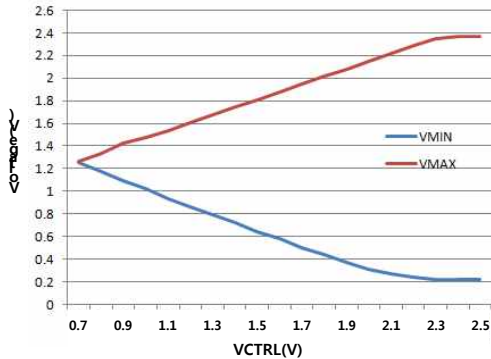


Fig. 16. MIN/MAX reference voltage generator
 그림 16. 최소/최대 기준 전압 생성기

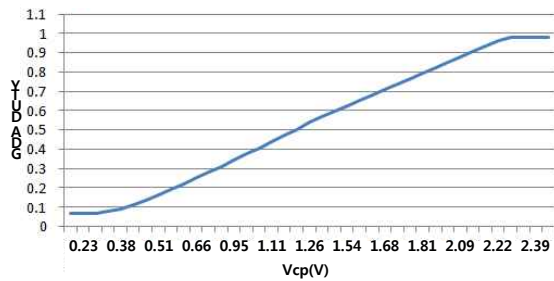


Fig. 17. GDA waveform according to V_{CP} Variation
 그림 17. V_{CP} 의 변화에 따르는 GDA 파형

V_{Slave} 전압은 12.5 V의 결과를 얻었으며 V_{Slave} 의 값을 감지하여 FB2 전압으로 출력하였다. ERO 전압과 V_{CP} 전압에 따라 GDA의 주파수는 97 kHz, 듀티비는 44.3%의 결과를 확인하였다.

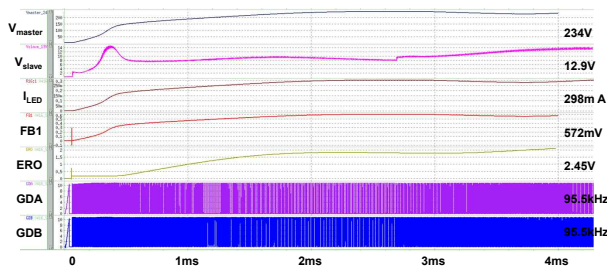


그림 18. 전체 모의 실험
 Fig. 18. Whole simulation

본 논문에서는 PFM/PWM 기반 LLC 공진 컨버터를 위한 제어 IC의 설계를 보여주었다. 클럭 생성기를 통해 주파수를 생성하여 LLC 공진 컨버터를 통해 전달되는 전류를 제어하며, ZVS 동작을 위해 데드 타임 생성기를 설계하였다. 기존에 보조전원을 통해 2차 측으로 전달되는 보조 전원을 보다 효율적이며 안정적으로 공급하기 위해 기존의 PFM 방식에 PWM 방식을 더한 듀얼 모드 피드백 기법이 적용되었으며, 이에 따라 게이트 드라이버 제어 펄스인 GDA/GDB 출력을 듀얼 모드 피드백을 통해 보다 효율적이며 안정적으로 제어할 수 있게 되었다.

이번 연구를 통해 새롭게 설계된 듀티 제어 블록은 Slave stage에서 출력되는 전압을 피드백 받아 GDA/GDB의 듀티를 제어 할 수 있게 하였으며, 이를 위하여 듀티 제어 블록 안에 최소/최대 전압의 제한을 두어, VCP가 일정 전압 범위를 넘어서지 않도록 하여 전류가 1차 측에서 2차 측으로 에너지가 전달될 수 있도록 설계하였다.

본 논문에서 제안하는 PFM/PWM 기반 LLC 공진 컨버터를 위한 제어 IC는 0.35 μm BCD 공정으로 설계 되었다.

설계한 IC는 15 V의 공급 전압을 통해 생성된 내부 5 V의 전압으로 동작하고, Master Stage와 Slave Stage, 두 개의 Stage에서 멀티 출력을 하며, 동작 주파수 범위는 26 ~ 450 kHz, 전체 전류 소모는 26 mA, 칩 면적은 2.3 mm x 2.2 mm이다.

References

- [1] Tak-Jun Oh, Ara Cho, Seok-Lip Ki, and In-Chul Hwang "A low-power and low-cost digitally-controlled boost LED driver IC for backlights", Solid State Circuits Conference (A-SSCC), 2012 IEEE Asian , pp. 237 - 240, Nov. 2012
- [2] Sung-Soo Hong, Sang-Hyun Lee, Sang-Ho Cho, Chung-Wook Roh, and Sang-Kyoo Han "A New Cost-Effective Currentz-Balancing Multi-Channel LED Driver for a Large Screen LCD Backlight Units", KIPE Journal of Power Electronics, Vol.10, No. 4, pp. 351-356, July. 2010
- [3] Lei Zhang, Zhiping Yu, Xiangging He, "An

Improved Sawtooth Oscillator and Its Application in On-chip Femto-ampere Current Monitoring”, in ICSCICT, pp. 2073-2075, Oct. 2006

[4] Robert W. Erickson & Dragan Maksimovic, “Fundamentals of Power Electronics Second Edition”, 2nd edition, 2001, ISBN 0-7923-7270-0

[5] Bing Lu, "Optimal Design Methodology for LLC Resonant Converter”, in APEC, Mar. 2006

[6] Seong Wha Hong, Hong Jin Kim, Joon-Sung Park, Young Gun Pu, Jeongin Cheon, Dae Hoon Han, Kang Yoon Lee, “Secondary-Side LLC Resonant Controller IC with Dynamic PWM Dimming and Dual-Slope Clock Generator for LED Backlight Units”, IEEE Trans. Power Electronics., vol. 24, Issue. 11, pp. 3410-3422, Nov. 2011

BIOGRAPHY

Yoo Chang-jae (Student Member)



2013 : BS degree in Information and Communication Engineering, Hannam University.

2013 : Master degree in College of Information and Communication Engineering, Sungkyunkwan University.

Kim Hong-jin (Student Member)



2010 : BS degree in Electrical Engineering, Chungju University.

2011~2013 : Ph.D. degree in College of Information and Communication Engineering, Sungkyunkwan University.

Park Young-jun (Student Member)



2013 : BS degree in Electronic Engineering, Kumoh National Institute of Technology.

2013 : Combined Ph.D & M.S. degree in College of Information and Communication Engineering, Sungkyunkwan University.

Lee Kang-yun (Member)



1996 : BS degree in Electrical Engineering, Seoul National University.

1998 : MS degree in Electrical Engineering, Seoul National University.

2003 : Ph.D degree in Electrical Engineering, Seoul National University.

2003~2005 : Research Engineer ,GCT Semiconductor Inc.

2005~2011 : Professor, Department of Electronics Engineering, Sungkyunkwan University

2012~2013 : Professor, Department of Information and Communication Engineering, Sungkyunkwan University