

DRAM에서 open bit line의 데이터 패턴에 따른 노이즈(noise) 영향 및 개선기법

The noise impacts of the open bit line and noise improvement technique for DRAM

이 중 호**

Joong-Ho Lee**

Abstract

The open bit line is vulnerable to noise compared to the folded bit line when read/write for the DRAM. According to the increasing DRAM densities, the core circuit operating conditions is exacerbated by the noise when it comes to the open bit line 6F²(F : Feature Size) structure. In this paper, the interference effects were analyzed by the data patterns between the bit line by experiments. It was beyond the scope of existing research. 68nm Tech. 1Gb DDR2, Advan Tester used in the experiments. The noise effects appears the degrade of internal operation margin of DRAM. This paper investigates sense amplifier power line splits by experiments. The noise can be improved by 0.2ns(1.3%)~1.9ns(12.7%), when the sense amplifier power lines split. It was simulated by 68nm Technology 1Gb DDR2 modeling.

요 약

DRAM 에서 folded bit line 대비 open bit line은 데이터 read나 write 동작시 노이즈(noise)에 취약하다. 6F²(F : Feature Size) 구조의 open bit line에서 DRAM 집적도 증가에 따라 코어(core) 회로부 동작 조건은 노이즈로부터 더욱 악화된다. 본 논문에서는 비트라인(bit line) 간 데이터 패턴의 상호 간섭 영향을 분석하여, 기존의 연구에서는 다루지 않았던 open bit line 방식에서 데이터 패턴 상호 간섭의 취약성을 실험적 방법으로 확인하였으며, 68nm Tech. 1Gb DDR2에서 Advan Test장비를 사용하여 실험하였다. 또한 open bit line 설계 방식에서 노이즈 영향이 DRAM 동작 파라미터(parameter) 특성 열화로 나타나는데, 이를 개선 할 수 있는 방법을 센스앰프 전원 분리 실험으로 고찰하였다. 센스앰프 전원분리시 0.2ns(1.3%)~1.9ns(12.7%) 이상 개선될 수 있음을 68nm Tech. 1Gb DDR2 modeling으로 시뮬레이션 하였다.

Key words : 6F², open bit line, data pattern interference effects, adjacent bit line, sense amplifier power line splits

1. 서론

컴퓨터 시스템의 고속 동작에 따라 JEDEC(Joint

* Dept. of Computer Science, Yongin University
joongho65@yongin.ac.kr TEL: 031-8020-2768

★ Corresponding author

※ Acknowledgment

Manuscript received Aug. 21, 2013; revised . Sep. 2, 2013 ; accepted Sep. 2. 2013

Electron for Devices Engineering Council)에 표준화된 DDR3 SDRAM 제품은 이미 상용화 되었고, 수 년내에 DDR4 SDRAM이 선보일 것이다.[1,6] DRAM의 집적도가 증가할수록 DRAM 코어(core)의 동작마진에 대한 부담은 증가하여 코어의 고집적화에 필요한 기술이 요구되고 있다. 산업체에서는 DRAM 집적도 증가에 따라 6F²(F : Feature Size) 구조[2,3,4]의 메모리 셀 공정기술로 전환하여 최근 상용화하였다. [6,7] 6F²는 셀 워드라인(word line) 폭(pitch) 2F, 비트라인(bit line) 폭 3F로 6F²의 면적을 가지는 공

정 기술이다.[8] 셀 면적 감소를 위한 이러한 공정기술은 코어(core)부 회로 동작의 안정성 확보를 저해하는 인자들을 극복해야하는 주요과제이다. 대표적인 예로 기존의 folded bit line구조에서 open bit line구조로 코어회로 변경에 따른 설계의 안정적인 동작특성 확보가 필수적이다. open bit line구조는 노이즈(noise) 특성이 취약하여 센스앰프(sense amplifier)의 오프셋(offset) 동작 마진을 감소시켜 데이터의 read/write 오류를 유발한다. 이러한 원인의 가장 주요한 요소는 인접한 비트라인 간의 상호간섭 노이즈의 증가이다.[5,9] open bit line(6F²)과 folded bit line(8F²)간의 센싱(sensing) 노이즈량의 차이를 68nm Tech.에서 1Gb DDR2에 대해 표 1에 나타내었다. open bit line의 비트라인(WL) 부하를 줄이기 위해 단위 Mat size는 384ea 워드라인과 512ea 비트라인(BL)으로 구성하였다. 워드라인 당 단위 비트라인 커패시턴스는 C_b, 비트라인의 총 커패시턴스는 C_{b sum}으로 나타내었다. 데이터 센싱시 비트라인에서의 센싱전위(ΔV)에서 plate(PL)과 비트라인 간, P-Well과 비트라인 간의 총 노이즈량 및 센스앰프 오프셋 노이즈량을 제거하면 전체 센싱 전위(ΔV)를 구할 수 있으며, folded bit line보다 센싱 전위가 16%이상 감소함을 확인 할 수 있다. ΔV는 워드라인이 활성화된 후 셀의 데이터가 비트 라인에 실릴 때의 전위이며, 센스앰프는 이 전위를 센싱하게 된다. 비트라인 간 상호 간섭의 량은 데이터 패턴에 따라 달라지며 ΔV를 감소시키는 주요인자이다.

Table 1. comparison of sensing noise amounts between open bit line(6F²) and folded bit line(8F²)

표 1. open bit line(6F²) vs. folded bit line(8F²) 센싱 노이즈량 비교

Typical	8F ²	6F ²	Unit
	1Gb DDR2	1Gb DDR2	
Row x Col	512x352	384x512	Bit
No. of WL	512	384	ea
C _b (BL Cap.)	0.125	0.170	fF/WL
C _{b sum}	65.0	65.3	fF
C _s (Cell Cap.)	28	25	fF
V _{Core}	1.5	1.5	V
BL ΔV	215	197	mV
S/A Offset noise	115	98	mV
PL/PW-BL noise	-	15.2	mV
Total ΔV	100.0	83.8	mV

본 논문에서는 기존의 연구에서 다루지 않았던 데이터 패턴에 따른 비트라인 간 상호 간섭영향에 대해 연구하였다. open bit line 구조에서 인접한 비트라인이 가지는 데이터 패턴에 의해 ΔV를 감소시키는 정

도를 데이터 패턴에 따른 fail bit 수를 측정함으로써 실험적으로 고찰하였다. 또한 이로 인한 DRAM 내부 동작 타이밍 마진을 개선할 수 있는 방법을 실험적으로 확인하였다.

II. 비트라인 상호 간섭

표 1에서와 같이 open bit line방식은 셀 단위 면적감소를 위해 셀 커패시터 량의 감소를 비롯하여 여러 요소들이 센싱 노이즈 증가에 기여한다. 특히 비트라인 상호간의 커플링 영향도 증가하여 데이터 센싱시 오류를 유발할 수 있다. 그림 1과 2에 folded bit line 과 open bit line에서 비트라인 간 커패시턴스 C_{bb}를 나타내었다. 임의의 비트라인 1(BL1T)에 대한 인접 비트라인의 커패시터 량은 식 (1)과 같다.

$$C_{bb} + C_{bb} = 2C_{bb}, V_{1T} = \frac{Q_{bb}}{C_{bb}} \quad (1)$$

BL1T에 연결된 임의의 셀 데이터를 액세스할 경우 folded bit line은 BL1T 양쪽에 인접한 BL0B와 BL1B의 비트라인이 기준전위 레벨(1/2V_{Core} : reference level)로 쉴드(shield)[8] 역할을 하여 BL0T나 BL2T의 영향을 받지 않는다. 그러나 open bit line의 경우 인접 비트라인의 데이터가 직접 영향을 주어 C_{bb}가 극대화 된다. 예를 들어 BL1T에 '1'과 BL0T/BL2T에 '0' 데이터가 저장되어 있을 때 BL1T 데이터를 액세스 할 경우, 인접 비트라인의 '0' 데이터가 커플링되어 '010'패턴 일때 다른 데이터 패턴 대비 C_{bb}의 영향이 최대가 될 것이다. BL1T의 셀에 저장된 전위레벨을 V_{SC}라 하면 folded bit line의 V_{1T}는 식(2)와 같고, open bit line의 V_{1T}는 식

$$V_{1T} = \left(\frac{1}{2} V_{Core} + V_{SC}\right) - \frac{1}{2} V_{Core} = V_{SC} \quad (2)$$

$$V_{1T} = \left(\frac{1}{2} V_{Core} + V_{SC}\right) - \left(\frac{1}{2} V_{Core} - V_{SC}\right) = 2V_{SC} \quad (3)$$

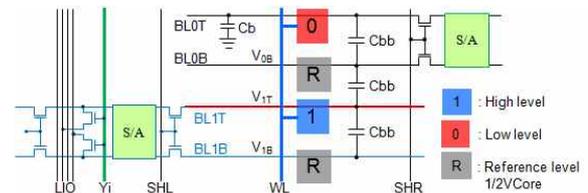


Fig. 1. bit line mutual capacitance for folded bit line
그림 1. folded bit line의 비트라인 상호 커패시턴스

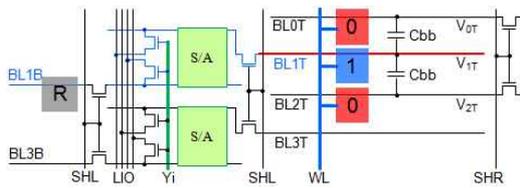


Fig. 2. bit line mutual capacitance for open bit line
 그림 2. open bit line의 비트라인 상호 커패시턴스

(3)과 같다. 따라서 센싱시 ΔV 에 folded bit line 보다 2배 많은 노이즈의 영향을 미친다.

앞에서와 같이 open bit line은 인접한 비트 라인 간 간섭에 의한 노이즈에 취약한 특성을 가지며, DRAM의 동작 특성에 영향을 미쳐 write recovery time(t_{WR})을 열화 시킨다. t_{WR} 파라미터는 DRAM 코어에 데이터가 write되는데 요구되는 적정 시간이며, 이것이 충분치 못할 경우 read시 데이터 오류를 유발한다. 따라서 커플링 노이즈에 의해 데이터를 write시 더 긴 t_{WR} 시간을 요구한다. 그림 3에 t_{WR} 관련 타이밍도를 나타내었다.

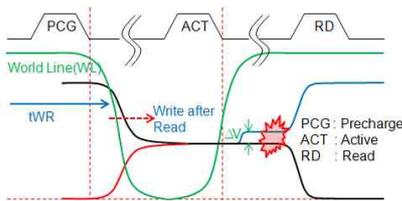


Fig. 3. write recovery time(t_{WR}) timing diagram
 그림 3. write recovery time(t_{WR}) 타이밍도

III. 데이터 패턴에 따른 비트라인 상호간섭 고찰

1. 고립패턴(isolated pattern)에 대한 실험결과

식 (3)으로 부터 open bit line에서 비트라인 상호 간섭에 의한 센싱 전압 강하가 더 크게 나타난다. 비트라인 상호 간섭은 물리적인 요소를 제외하면 그림 2에서와 같이 인접 비트라인 셀의 데이터 패턴에 의해 결정된다. 따라서 각 데이터 패턴에 대해 비트라인 간 상호간섭의 정도를 셀에 인가한 패턴에 대해 read시 fail bit 차이를 비교함으로써 확인할 수 있다. 테스트 조건은 특정 비트라인에 고립패턴(isolated pattern)을 인가한 후 테스트를 행한다. 고립패턴은 모든 셀이 '0'으로 초기화된 상태에서 특정 하나의 비

트라인 셀에만 '1'(또는 '0') 데이터를 write한다. 고립 패턴 #1은 특정 4개 비트라인에 '0001' 데이터를, #2/#4/#8은 '0010'/'0100'/'1000' 데이터를 write한다. #F는 연속 4쌍의 4비트 라인에 #1을 동일하게 write한다. 그림 4는 #F의 예를 나타내며, 비트라인 0T/4T/8T/12T에 '1' 데이터를 쓰고 나머지는 모두 '0' 데이터가 쓰여진다. 각 고립패턴에서 #0이 가장 안정적이고, #1/#2/#4/#8은 오로지 하나의 비트라인만 '1'값을 가지므로 전체 셀 매트(Mat)중에서 하나의 비트라인만 노이즈 영향을 받을 것이다. #F의 경우 4개의 비트라인이 노이즈 영향을 받을 것이므로 가장 불안정한 결과를 보일 것이다.

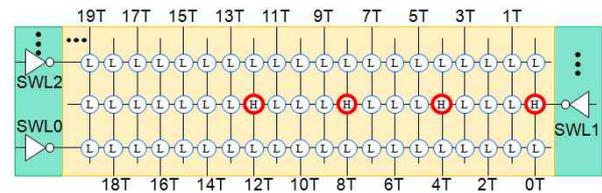


Fig. 4. #F configuration of the data pattern
 그림 4. #F의 데이터 패턴 구성

각 고립 테스트 패턴을 인가한 후 VBB에 따른 fail bit 검사 결과를 그림 5에 나타내었다. 6F2구조에서 데이터 패턴에 의한 영향이 fail bit의 차이로 나타난다. 예를 들어 #0 패턴은 인접 비트라인 셀이 '0'데이터 일때 i 번째 비트라인 셀에 '0'데이터를 쓰고나서 wafer의 각 chip을 read 시 fail chip의 fail bit수는 평균 300bit이하이다. 그러나 #0 패턴을 제외한 다른 테스트 패턴(#1~#F)에 대해서는 2배 이상의 fail bit 증가로 나타났다. 즉 #0패턴의 경우 식(3)의 $V_{IT}=0$ (i 번째 비트라인에서 부하전위)이며, #1~#8패턴의 경

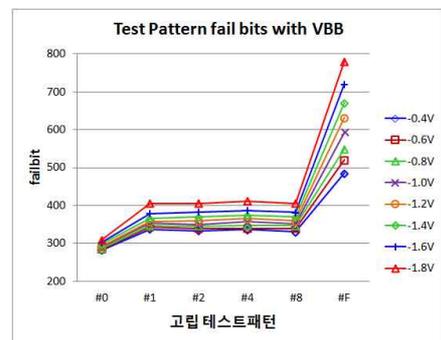


Fig. 5. the number of fail bits due to the isolated data pattern

그림 5. 고립데이터 패턴에 따른 fail bit

우 ‘1’의 값을 write한 임의의 하나의 셀에 연결된 비트라인은 센싱시 $\Delta V > V_{IT} > 0$ 의 값을 가진다. 따라서 V_{IT} 의 영향으로 fail bit이 증가하여 #0 패턴을 인가한 테스트 결과보다 2배 이상의 fail bit이 증가하였다. 특히 #F의 경우 단지 하나의 비트라인에 ‘1’데이터를 쓴 것 보다 더 많은(1.5배 이상) fail bit수 증가를 확인하였으며, 이는 고립 패턴에 #1을 4개의 비트라인에 인가했으므로 비트라인 간의 간섭에 의한 동작 조건이 더욱 악화 되었음을 나타내는 결과이다. 그러나 #F의 경우 #1~#8패턴 대비 fail bit이 4배만큼 선형적으로 증가하지는 않았다. 본 실험은 68nm Tech. 1Gb DDR2의 wafer상에서 Advan Test장비를 사용한 test 결과로 각 패턴을 write후 read시 fail chip의 fail bit수를 확인한 결과이며, VBB 레벨을 변경하여 인가 시에도 동일한 결과를 확인할 수 있었다.

2. 일반적인 데이터 패턴에 대한 실험결과

앞에서 고립패턴에 대한 fail bit 차이를 웨이퍼(wafer) 상의 probe test 결과에서 확인했다. 데이터 패턴에 의한 동작상태 열화 현상을 확장하여 메모리셀 전체에 일반적인 패턴을 가했을 때 상호간섭 영향을 고찰해 보았다.

인가하는 데이터 패턴 #00/#FF는 전 셀에 ‘0’/‘1’ 데이터를 기록하고, #66 패턴은 셀 매트내 전체 홀수 비트라인에 6(0110), 짝수 비트라인에 6(0110) 패턴을 기록한다. #96 패턴은 홀수 비트라인에 9(1001), 짝수 비트라인에 6(0110) 패턴을 기록하며, #F0는 홀수 비트라인에 F(1111), 짝수 비트라인에 0(0000) 패턴을 기록한다. 그림 6에 #96 패턴의 구성 예를 나타내었다. 임의의 서브 워드라인(SWL2)에 연결된 셀에 ‘1001 0110’패턴(#96)이 LSB부터 연속적으로 인가되었을 경우, 비트라인 BL4T는 ‘0’, BL5T/3T는 ‘1’데이터를 가져 BL4T는 인접 비트라인으로 부터 $2 \cdot V_{SC}$ 의 감쇄성분을 가지며, BL1T의 경우 BL0T로부터만 영향을 받아 감쇄성분이 V_{SC} 로 낮다. #96에 대해 비트라인을 세분화하면, 순수 비트라인 간의 상호간섭과 센스앰프 위를 지나가는 비트라인 간의 상호간섭으로 분리할 수 있다. 이때 SA1/2/3/4 상의 비트라인에서 센싱시 형성되는 데이터 패턴은 ‘1010 1010’이므로 순수 비트라인에서의 상호간섭 패턴 ‘1001 0110’에 +a 만큼의 노이즈 요인이 추가된다.

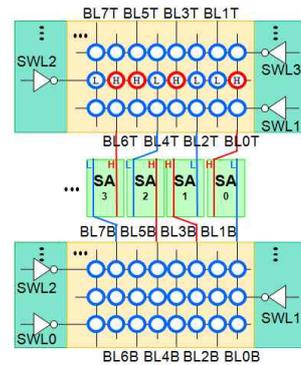


Fig. 6. #96 pattern configuration on the bit line and sense amplifier

그림 6. 비트라인과 센스앰프 상에서 #96 패턴 구성

#F0의 경우 순수 비트라인에는 ‘1010 1010’ 데이터 패턴이 형성되고, 센스앰프 위의 비트라인에서 센싱시 ‘1001 1001’패턴이 형성된다. 단위 메모리셀 매트리의 크기에 따라 차이는 있으나, 순수 비트라인의 길이는 센스앰프의 길이보다 5배 이상 길어서 비트라인 커패시턴스가 훨씬 크다. 따라서 센스앰프상에서의 비트라인간 상호간섭은 순수 비트라인에 비해 월등히 작다. 이러한 이유로 #F0 패턴이 #96 패턴보다 상호간섭에서 취약하다. 각 패턴들에 대해 비트라인간 상호간섭에 취약한 순서대로 정렬해보면 #F0 > #96 > #66 > #FF > #00과 같다. 그림 7에 각 패턴의 예를 나타내었다. SWL 1에 인가되는 #F0의 경우 모든 데이터가 인접 비트라인에 영향을 미치며, SWL j에 #66의 경우 비트라인 1T와 2T간, 5T와 6T간, 9T와 10T간에만 상호 영향을 미친다.

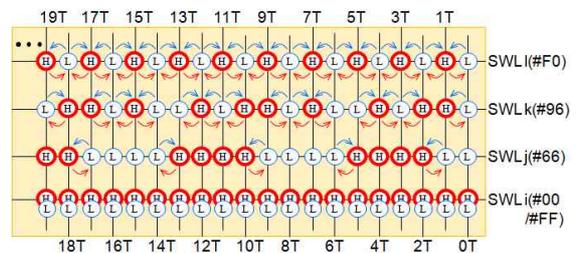


Fig. 7. interference between bit lines for each data pattern

그림 7. 각 데이터 패턴에 대한 비트라인간 상호간섭

그림 7의 각 패턴들에 대한 홀수와 짝수 비트라인에 인가되는 데이터 패턴이 상호간섭 영향을 주는 노이즈의 양을 산출하여 표 2에 나타내었다. #FF와

#00은 각각 동일 polarity를 가지므로 상호간섭을 배제할 수 있다. 이러한 결과로 부터 그림 5에서 테스트한 wafer의 각 칩을 패키지(package)를 진행한 후 Advan Test 장비에서 테스트 결과로 확인하였다.

Table 2. data pattern interference between bit line
표 2. 비트라인간 데이터 패턴 간섭

패턴	데이터 패턴		간섭량		노이즈 순위
	홀수 BL	짝수 BL	홀수 BL	짝수 BL	
#F0	1010	1010	$2V_{sc}$	$2V_{sc}$	1
#96	1001	0110	$2V_{sc} * 0.75$	$2V_{sc} * 0.75$	2
#66	0110	0110	$V_{sc} * 0.5$	$V_{sc} * 0.5$	3
#FF	1111	1111	-	-	4
#00	0000	0000	-	-	4

비트라인 간 상호간섭이 강한 패턴에서 전체 fail bit에 대한 fail portion이 예측과 일치하는 #F0>#96>#66>#FF>#00의 순서로 증가함을 확인할 수 있었으며, 그림 8에 패키지 테스트(PKT : PacKage Test) 결과를 나타내었다. #96과 #69는 nibble bit씩 데이터 패턴을 바꾼 형태(#96 : '1001 0110', #69 : '0110 1001')라서 fail bit이 유사하게 나타났다. #F0와 #0F 데이터 패턴도 동일한 원리로 구성되며, 유사한 결과를 가진다.

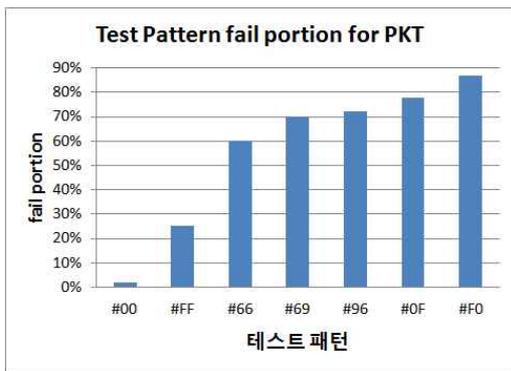


Fig. 8. fail portion for each data pattern
그림 8. 각 데이터 패턴에 대한 fail portion

그림 9는 chip 샘플별 데이터 패턴에 따른 VDD=1.6V시 샘플별 실패치를 측정된 결과이다. tWR=10ns 이상의 #66의 샘플수가 상대적으로 줄어드는 반면 #96과 #F0는 지속적으로 나타나며 #F0가 더 취약하다. 이러한 결과로 부터 데이터 패턴에 따른 인접 비트라인 간 간섭으로 인한 DRAM 동작의 취약성을 확인할 수 있었다.

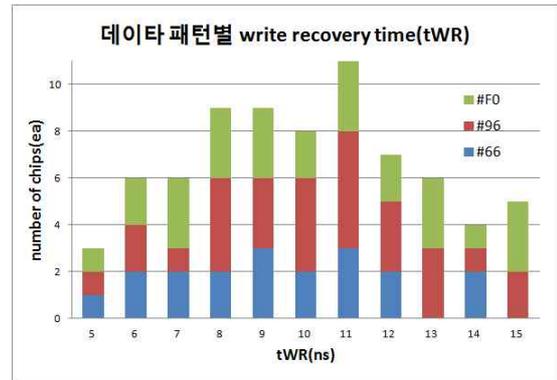


Fig. 9. tWR measure for each data pattern
그림 9. 각 데이터 패턴에 대한 tWR 측정치

IV. 센싱노이즈 개선안 : 센스앰프 전원분리 기법

앞에서 데이터 패턴에 따른 비트라인 상호간의 커플링 노이즈 영향을 fail bit측정을 통해 확인하였다. 인접한 비트라인의 상호간섭으로 DRAM의 코어동작 마진을 열화시켜 내부 동작 마진 fail을 유발하며, 비트라인 상호 영향이 가장 큰 데이터 패턴은 인접 비트라인과 보수 값을 가지는 형태인 '1010'과 같은 패턴이다. 비트라인 BL3T가 '0', BL2T와 BL4T가 '1'데이터를 가질 경우, BL3T/1T 각 비트라인의 센싱 노이즈 $2 * V_{sc}$ 가 센싱된다. 결국, SA1과 SA2에 연결된 전원라인 RTO/SB를 통해 센싱 노이즈가 합쳐져서 동작마진을 열화 시킨다.

본 논문에서는 센스앰프 전원분리를 통한 코어회로 동작의 안정화를 통해 센스앰프의 센싱 마진을 개선할 수 있는 방법을 제안하였다. 인접 비트라인에 가장 크게 영향 미치는 데이터 패턴에 대해 기존의 센스앰프 회로의 데이터 센싱시 동작 패스(path)를 분석해 보면 그림 10과 같다. 즉, BL1T~BL4T에 '0101'데이터가 저장되어 있을 경우, 이 데이터를 센싱시 SA1과 SA2는 동일 데이터 '0'을 센싱하며 동일 패스를 가진다. 각 데이터 패턴에 따라 센스앰프의 동작 패스가 달라지며 이를 바탕으로 동작하는 패스를 구분하는 전원라인(RTO/SB)을 가질 경우(그림 11) 인접한 비트라인의 센스앰프 동작 패스가 다르기 때문에 전체 센스 앰프에 연결된 전원라인에 노이즈를 줄일 수 있다. 만약 메모리셀 전체에 그림 10과 같은 최악의 데이터 패턴이 형성될 경우 기존의 방식

은 SA1과 SA2가 센싱시 동일 전원라인을 사용한다. 그러나 제안한 방식은 전원라인이 분리되어(그림 11) 전원라인으로 타고 들어오는 노이즈를 50% 감소시킬 수 있다. 따라서 본 논문에서는 이에 기초하여 데이터 패턴에 따라 사용하는 전원라인을 분리할 수 있도록 센스앰프를 구성하도록 제안하였다.

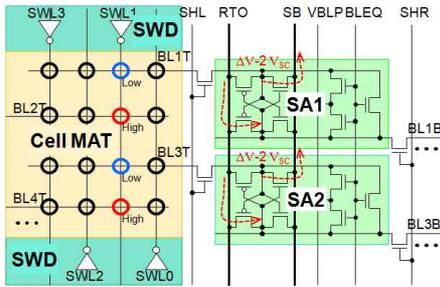


Fig. 10. Sense amplifier sensing data path
그림 10. 센스앰프의 데이터 센싱 패스

그림 11에 센스앰프의 전원 라인을 분리하여 구성한 예를 나타내었다. pmos에 전원라인 RTO를 분리하여 RTO1, RTO2로 각각 연결하고, nmos에 연결된 전원라인 SB를 분리하여 SB1, SB2로 각각 연결하여 그림 11과 같이 구성한다. 그림 10과 동일한 데이터 패턴을 가질 경우 비트라인 BL1T를 통해 '0' 데이터가 센스앰프로 들어오고, BL3T를 통해 '0' 데이터가 들어온다. BL1T에 연결된 센스앰프는 '0' 데이터를 센싱하기 위해 RTO2에 연결된 pmos와 SB2에 연결된 nmos가 턴온(turn on)된다. 그러나 BL3T에 연결된 센스앰프는 '0' 데이터를 센싱하기 위해 RTO1에 연결된 pmos와 SB1에 연결된 nmos가 턴온된다. 따라서 BL0T와 BL2T 비트라인의 데이터를 센싱하기 위해 동작하는 센스앰프의 전원라인이 분리되어 메모리 셀 매트에 연결된 센스앰프의 구동으로 인한 전류 구동능력을 증가시켜 전원 노이즈를 분산할 수 있다.

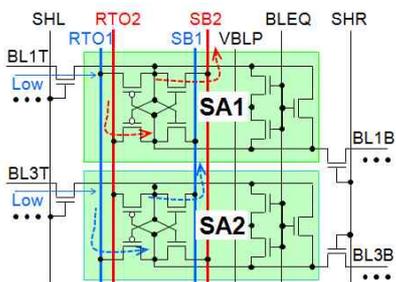


Fig. 11. data sensing path at the sense amplifier when isolating the power line
그림 11. 센스앰프의 전원선 분리시 데이터 센싱 패스

만약 BL1T는 '1' 데이터를 저장하고 있다면 RTO1에 연결된 pmos와 SB1에 연결된 nmos가 턴온되어 BL1T/3T 모두 동일 전원라인(RTO1/SB1)으로 동작하는 문제가 있다. 그러나 이때에는 BL1T 인접 데이터가 '1'로써 BL1T와 동일하여 노이즈 증가효과가 감소된다. BL3T와 BL1T를 기준으로 노이즈 영향 산출을 위해 패턴별로 센싱시 전원분리 여부와 전체 노이즈 순위를 표 3에 나타내었다.

Table 3. power line split and noise rank for each data pattern

표 3. 데이터 패턴별 전원분리 여부와 노이즈 순위

BL	4T	3T	2T	1T	0T	전원 분리	3T V _{sc}	1T V _{sc}	노이즈 순위
패턴1	1	0	1	0	1	O	2V _{sc}	2V _{sc}	1
패턴2	1	0	1	0	0	O	2V _{sc}	V _{sc}	2
패턴3	1	0	1	1	0	X	2V _{sc}	V _{sc}	2
패턴4	1	0	1	1	1	X	2V _{sc}	0	3
패턴5	1	0	0	1	0	X	V _{sc}	2V _{sc}	2
패턴6	1	0	0	1	1	X	V _{sc}	V _{sc}	3
패턴7	1	0	0	0	1	O	V _{sc}	V _{sc}	3
패턴8	1	0	0	0	0	O	V _{sc}	0	4

V. 시뮬레이션 결과

인접한 비트라인의 데이터 패턴에 따라 센스앰프 구동 시 턴온 되는 트랜지스터가 다르므로 사용되는 전원 라인도 다르다. 이에 따른 영향을 확인하기 위하여 RTO1/2와 SB1/2 라인에 다른 전압 레벨을 인가하여 read 이후 데이터가 출력버퍼(DQ buffer)까지 도달하는 시간을 시뮬레이션하여 표 4에 나타내었으며, 68nm Tech. SPICE model로 1Gb DDR2 매트 사이즈를 modeling하여 시뮬레이션한 결과이다. 표에서 데이터 패턴이 영향을 주는 상황을 고려하여 RTO2 전원라인 인가전압을 0.1V 낮추고 SB1을 0.1V 높였을 때 센스앰프의 센싱타임 지연으로 최종단에서 0.2ns 지연이 발생하였다. 전압레벨의 강하가

Table 4. the read time-delay characteristics from sense amplifier when splitting the power line

표 4. 센스앰프의 전원선 분리시 read 시간지연 특성

	RTO1	RTO2	SB1	SB2	Δ
기준(1)	1.4V	1.4V	0V	0V	-
2	1.4V	1.3V	0.1V	0V	0.2ns
3	1.3V	1.4V	0V	0.1V	0.2ns
4	1.3V	1.3V	0.1V	0.1V	0.4ns
5	1.2V	1.2V	0.2V	0.2V	1.9ns

커질 수록 센스앰프의 지연시간은 크게 나타난다. 결론적으로 전원라인 분리에 따른 전원 노이즈를 최소화 할 수 있어서 데이터 패턴에 따른 지연시간의 차이를 제거 할 수 있음을 나타낸다.

VI 결론

본 논문에서는 open bit line구조를 가지는 DRAM 제품에서 코어회로 동작시 노이즈의 증가 요인 중 데이터 패턴이 인접 비트라인에 상호 작용하여 코어 동작 특성을 열화시키는 주요한 인자로서 그 영향을 실험적으로 고찰하였다. 인접 비트라인에 영향을 주는 데이터 패턴은 #F0>#96>#66>#FF>#00의 순으로 패키지 테스트 결과 fail bit의 수도 동일한 순서로 증가함을 확인할 수 있었으며(그림 8), 이로 인한 DRAM 내부 동작 타이밍 마진의 차이를 tWR특성을 통해 확인할 수 있었다(그림 9). 이러한 실험을 통해 기존의 연구에서 다루지 않은 데이터 패턴에 따른 비트라인 간 상호 간섭을 확인할 수 있었다. 본 실험은 68nm Tech. 1Gb DDR2에서 진행하였다.

또한 이러한 데이터 패턴의 영향은 DRAM 코어 동작특성 열화로 나타난다. 이러한 특성 열화는 코어 회로 중 센스앰프의 동작시 센싱 노이즈에 기인하는 것으로 이러한 노이즈를 감소할 수 있는 기법을 센스앰프 전원라인 분리를 통해 확인하였다. 68nm Tech SPICE model로 1Gb DDR2 매트 사이즈를 modeling하여 시뮬레이션 하였으며 이를 통해 write recovery time(tWR) 특성이 최소 0.2ns(1.3%)에서 1.9ns(12.7%)까지 개선효과가 있었다. 향후 센스앰프 전원 분리에 따른 설계시 레이아웃 관점에서 추가적인 연구가 필요하다.

References

- [1] D. Graham-Smith, "IDF: DDR3 won't catch up with DDR2 during 2009," in PC Pro, Aug. 2008.
- [2] Busch, B. et al., "A 78nm 6F2 DRAM technology for multigigabit densities." VLSI Technology, Digest of Technical Papers. pp.28-29, June 2004.
- [3] Benjamin C. Lee, Engin Ipek, Onur Mutlu, and Doug Burger, "Architecting phase change memory as a scalable dram alternative." ISCA

'09 Proc. of the 36th international symposium on Computer architecture. pp.2-13, 2009.

[4] Hoon Jeong, et al., "55 nm capacitor-less 1T DRAM cell transistor with non-overlap structure." Electron Devices Meeting, 2008. IEDM. pp.1-4, Dec. 2008.

[5] Zaid Al-Ars, et al, "Effects of Bit Line Coupling on the Faulty Behavior of DRAMs" Proceedings of the 22nd IEEE VLSI Test Symposium, pp. 117-122, April, 2004.

[6] Kibong Koo, et al., "A 1.2V 38nm 2.4Gb/s/pin 2Gb DDR4 SDRAM with Bank Group and x4 Half-Page Architecture" IEEE International Solid State Circuits Conference, pp.40-41, Feb. 2012.

[7] Kyomin Sohn, et al., "A 1.2V 30nm 3.2Gb/s/pin 4Gb DDR4 SDRAM With Dual-Error Detection and PVT-Tolerant Data-Fetch Scheme" IEEE Journal of Solid State Circuits, Vol.48, pp. 168-177, Jan. 2013.

[8] Tomonori Sekiguchi, et al., "A Low-Impedance Open-Bitline Array for Multigigabit DRAM" IEEE J. Solid-State Circuits, Vol.37, pp.487-498, Apr. 2002.

[9] Y. Nakagome et al, "The impact of data-line interference noise on DRAM scaling," IEEE J. Solid-State Circuits, Vol.23, pp.1120-1127, Oct. 1988.

BIOGRAPHY

Lee Joong-Ho (Member)



1988 : BS degree in Electronics & Computer Engineering, Ulsan University.

1990 : MS degree in Electronics & Computer Engineering, Ulsan University.

1994 : PhD degree in Electronics & Computer Engineering, Ulsan University.

1994~2012 : SK-Hynix Semiconductor

2012~Present : Professor, Computer Science, Yongin University