JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 17, No. 9 : 2133~2138, Sep. 2013

고온에서 무접합 및 반전모드 MuGFET의 문턱전압 이하에서 급격히 작은 기울기 특성

이승민 · 박종태*

Steep subthreshold slope at elevated temperature in junctionless and inversion-mode MuGFET

Seung-min Lee · Jong-tae Park*

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

요 약

다중게이트 구조인 나노 와이어 n-채널 무접합(junctionless) 및 반전모드(inversion mode) MuGFET에서 문턱전압 이하의 급격히 작은 기울기 (subthreshold slope)가 온도에 따라 변하는 것을 비교 분석하였다. 온도가 증가함에 따라 무접합 및 반전모드 소자의 문턱전압 아래 기울기는 증가하는 것으로 관측 되었다. 문턱전압 아래 기울기 증가는 반전모드 소자보다 무접합 소자에서 더 심함을 알 수 있었다. 소자의 핀 폭이 다른 소자의 문턱전압 아래 기울기의 온도 의존성은 비슷한 것으로 관측되었다. 그리고 기판 전압에 따른 문턱전압 아래 기울기의 온도 의존성 측정으로부터 기판전압이 증가함에 따라 문턱전압 아래 기울기 변화는 심하지 않는 것으로 관측되었다. 기판에 양의 전압을 인가하므로 무접합 MuGFET 소자를 이용하여 400K 온도에서도 문턱전압 아래 기울기가 41mV/dec 이하인 소자를 구현할 수 있었다.

ABSTRACT

In this paper, the variation of a steep subthreshold slope at elevated temperature in nanowire n-channel junctionless and inversion mode MuGFETs has been compared. It has been observed that the subthreshold slopes are increased with the increase of the operation temperature in junctionless and inversio-mode transistors. The variation of a subthreshold slope with operation temperature is more significant in junctionless transistor than inversion-mode transistor. The temperature dependence on the variation of a subthreshold slope for different fin widths shows a similar behavior regardless of fin width. From the temperature dependence on the variation of a subthreshold slope for different substrate biases, it has been observed that the variation of a subthreshold slope is less significant when the substrate bias was applied. It is worth noting that one can achieve a subthreshold slope of below 41mV/dec at elevated temperature of 400K using the junctionless MuGFETs with a positive substrate bias.

키워드 : 무접합 MuGFET, 반전모드 MuGFET, 문턴전압 이하 기울기, 충격이온화

Key word : Junctionless MuGFET, Inversion mode MuGFET, subthreshold slope, impact ionization

접수일자 : 2013. 05. 31 심사완료일자 : 2013. 06. 24 게재확정일자 : 2013. 07. 12

* **Corresponding Author** Jong-Tae Park(E-mail:jtpark@incheon.ac.kr, Tel:+82-32-835-8445)
Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

Open Access http://dx.doi.org/10.6109/jkiice.2013.17.9.2133 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근에 CMOS 소자의 크기는 20-30nm 정도로 축소되고 있지만 소자크기 축소로 발생하는 단채널 현상으로 누설전류가 증가하게 되고 이로 인해 칩의 소비전력이 급격히 증가하는 심각한 문제가 대두되고 있다. 칩의 정적 소비전력을 축소하기 위해 공급전압을 낮추는 것이 필요하지만 이는 구동전류의 감소로 이어지므로 공급전압과 문턱전압을 동시에 낮추어야 한다. 그러나 문턱전압의 축소는 누설전류를 증가하게 하므로 기존의 MOSFET에서는 문턱전압을 아주 작게 할 수가 없다. 그러므로 문턱전압을 낮추어도 누설전류가 증가하지 않는 새로운 소자구조가 필요하며, 이는 문턱전압 아래 기울기를 급격히 낮게 함으로서 구현 가능하다. 기존의 MOSFET는 소스에서 캐리어의 채널 주입은 소스와 채널 사이의 전위장벽을 넘는 열전자방출에 의해 이루어지므로 상온에서 문턱전압 아래 기울기는 이상적으로 60mV/dec 보다 낮게 될 수가 없다 [1]. 최근에 문턱전압 아래 기울기를 60mV/dec 보다 낮게 하기 위한 소자구조가 제안 되고 있는데 크게 3종류로 나눌 수 있다. 첫째는 PiN구조의 MOSFET소자에서 충격이온화를 이용한 impact ionization MOS (IMOS) 소자이다. 문턱전압 아래 기울기가 10mV/dec 이하의 소자인 것들이 발표되고 있으나 충격이온화를 위한 큰 공급전압이 필요하고 소자를 여러 번 동작하였을 시 발생하는 노화문제 해결을 위한 연구들이 필요하다 [2-3].

둘째는 PiN구조의 MOSFET소자에서 소스와 채널 밴드 사이의 터널링을 이용한 Tunneling Field Effect Transistor (TFET)이다. 시뮬이션으로는 문턱전압 아래 기울기가 60mV/dec 이하가 되는 소자들이 발표되고 있으나 실제로 제작된 소자에서는 드레인 전류가 아주 낮은 조건에서만 60mV/dec 이하가 되는 것으로 발표되고 있다[4-5]. 또 TFET의 문제점은 터널링을 이용하므로 구동전류가 작다는 것이다. 이를 해결하기 위해 에너지 밴드갭이 작은 물질이나 밴드 옵셋을 이용하기 위해 이중접합 TFET가 연구되고 있다 [6]. 셋째는 최근에 발표된 것으로 PiN 구조의 MOSFET 소자이지만 터널이이나 충격이온화를 이용하지 않고 캐리어의 순궤환 주입을 이용한 Zero impact Zero subthreshold FET (Z^2 FET)이다. 이 소자는 충격이온화를 이용하지 않으므로 높은 공급전압이 필요하지 않는 장점이 있으며 문턱전압 아래 기울기도 10mV/dec 이하인 것으로 발표되고 있다 [7]. 기판전압의 인가 방법과 게이트 스페이서에 전하를 측적하는 방법 등에 관한 연구가 지속적으로 필요하다. 본 연구를 비롯한 여러 연구에서 무접합 트랜지스터에서도 낮은 드레인 전압 (2V 이하) 에서 충격이온화로 인하여 문턱전압 아래 기울기가 60mV/dec보다 훨씬 작은 것으로 발표되었다 [8-10]. 무접합 트랜지스터는 공정이 기존의 CMOS 공정에 비해 간단하고 단채널 현상과 소자 열화 현상이 적게 나타나므로 미래의 나노레벨 CMOS 소자로 유망하다.

본 연구에서는 현재까지 연구가 전무한 무접합 트랜지스터와 반전 모드 트랜지스터의 급격히 작은 문턱전압 아래 기울기의 온도 특성에 관한 연구를 수행하였다.

Ⅱ. 소자제작 및 측정

n-채널 나노와이어 무접합 및 반전모드 MuGFET는 실리콘 박막의 두께가 340nm이며 저항이 10-20Ω-cm고 매몰 산화층 두께가 400nm인 p-형 SOI 웨이퍼에 제작되었다. 자세한 공정과정은 참고문헌 [11] 에 자세히 서술되어 있다.

열산화 공정으로 실리콘 박막을 10nm로 얇게 한 후에 전자 빔 리소그래피와 이온반응식각 공정을 이용하여 실리콘 나노와이어를 만들게 된다. 건식 산화 공정을 이용하여 두께가 10nm인 게이트 산화층을 성장 시켰다. 무접합 소자를 만들기 위한 이온 주입을 하여 채널 및 소스/드레인 농도가 약 ND=$1x10^{19}cm^{-3}$되게 하였다. 반전모드 소자는 이온주입으로 채널 농도 NA=$2x10^{18}cm^{-3}$가 되게 하였다. 무접합 소자의 게이트는 저압력 화학증착 공정으로 50nm 두께의 다결정 실리콘을 증착한 후에 붕소를 이온주입 하여 P^{++}로 도핑하였다. 반전모드 소자는 인을 이온주입하여 N^{++}로 도핑하였다. 반전모드 소자는 Arsenic을 각각 소스와 드레인 영역에 이온 주입하여 형성되었다. 최종적으로 제작된 소자는 게이트 확장 길이가 10nm인 Pi-gate 구조의 MuGFET이며 실리콘 박막 두께는 약 10nm이다. 측정에 사용된 모든 소자의 게이트 길이는 1㎛이고 핀의 폭은 30nm와 40nm이다. 그리고 핀 수는 1이다.

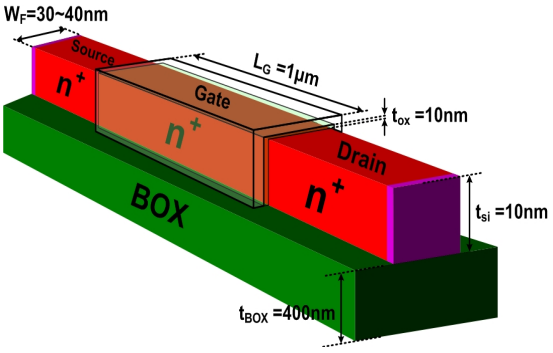


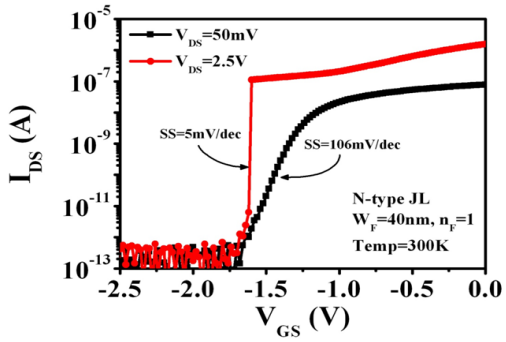
그림 1. 다중게이트 무접합 트랜지스터의 3차원 소자 도식도
Fig. 1 3-dimensional schematic diagram of multiple-gate junctionless MOSFET.

Ⅲ. 결과 및 고찰

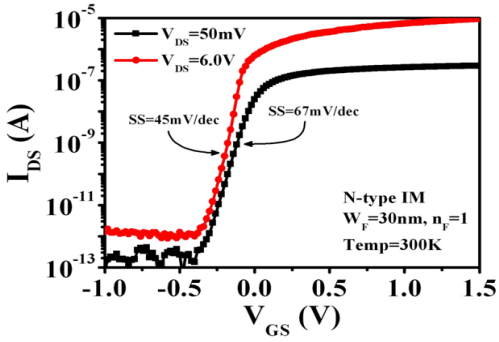
그림2는 상온에서 n-채널 무접합 및 반전모드 MuGFET의 문턱전압 아래 기울기 특성을 나타낸 것이다. 그림으로부터 무접합 소자는 V_{DS}=50mV에서는 문턱전압 아래 기울기가 약 106mV/dec 이지만 V_{DS}=2.5V 에서는 약 5mV/dec로 급격히 감소하고 ON/OFF 전류비는 약 2×10^5 정도임을 알 수 있다. 그리고 반전모드 소자에서는 V_{DS}=50mV에서는 문턱전압 아래 기울기가 67mV/dec 이지만 V_{DS}=6.0V 에서는 45mV/dec로 급격히 감소하고 ON/OFF 전류비는 약 3×105 정도임을 알 수 있다. V_{DS}=50mV에서는 반전모드 소자의 문턱전압 아래 기울기가 무접합 소자보다 작았지만 드레인 전압이 증가함에 따라 무접합 소자의 문턱전압 아래 기울기가 급격히 작아짐을 알 수 있다.

이런 급격한 문턱전압 아래 기울기는 IMOS와 같이 드레인 전압에 의한 수평전계 증가로 드레인 근처에서 충격이온화에 의한 avalanche 현상에 의한 것이다 [9]. 충격이온화로 전자와 홀이 생성되면 전자는 드레인으로 흘러나가고 홀은 반전모드 소자에서는 소스와 채널 접합 부위에 모이게 된다. 하지만 무접합 소자에서는 생성된 홀이 n-형인 실리콘 박막의 전자와 재결합이 일어나며 실리콘 박막의 전압을 증가 시키게 된다.

그 결과로 문턱전압이 감소하게 되고 이는 더 많은 채널 전자로 이어지므로 순궤환 (positive feedback)으로 avalanche 현상 더 심하게 일어난다. 그 결과로 드레인 전류가 갑자기 증가하게 되고 문턱전압 아래 기울기가 급격히 감소하게 된다.



(a)

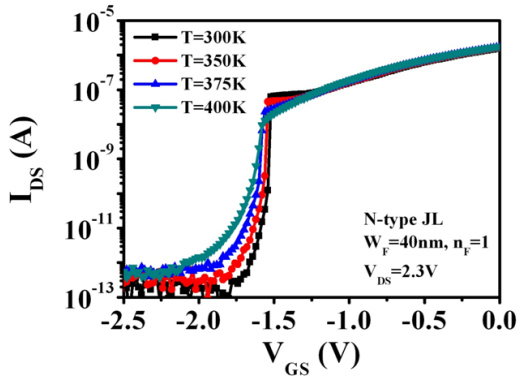


(b)

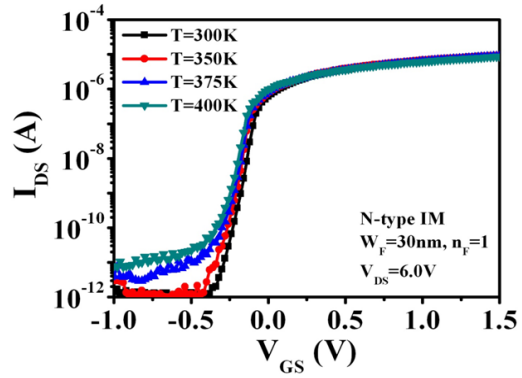
그림 2. 드레인 전압에 따른 무접합 소자 (a) 및 반전모드 소자 (b) 의 문턱전압 아래 특성
Fig. 2 Subthreshold characteristics as a function of VDS in JL (a) and IM transistor (b)

무접합 소자가 낮은 드레인 전압에서 충격이온화가 일어나는 이유는 다음과 같이 설명할 수 있다. 첫째 이유로는 무접합 소자는 채널의 불순물농도가 드레인 불순물 농도와 같이 $10^{19}cm^{-3}$ 로 고농도로 도핑되므로 에너지 밴드 갭 좁아짐 현상 (energy bandgap narrowing effects)인하여 낮은 전계에서 충격이온화가 일어나는 것이다. 두 번째 이유는 충격이온화가 표면 채널에서는 적게 일어나는 것이다 [9]. 반전모드 소자는 채널이 실리콘 박막의 표면에서 형성되지만 무접합 소자는 채널이 실리콘 박막의 중앙에 형성된다. 표면 채널에 비해 벌크 채널의 면적이 크므로 충격이온화가 잘 일어나게 된다. 그 결과로 반전모드의 충격이온화가 무접합보다

높은 드레인 전압에서 일어나므로 반전모드 소자의 문턱전압 아래 기울기가 더 큰 것으로 사료된다. 핀의 수 5인 다른 연구에서는 V_{DS}=1.8V에서도 문턱전압 아래 기울기가 4mV/dec로 낮았으나 본 연구에서는 핀 수가 1인 소자로서 핀 수가 적으므로 충격이온화가 적게 일어나면서 V_{DS}=2.5V에서 충격이온화가 일어난 것으로 사료된다 [8].



(a)



(b)

그림 3. 온도에 따른 무접합 소자 (a) 및 반전모드 소자 (b) 의 문턱전압 아래 특성
Fig. 3 Subthreshold characteristics as a function of temperature in JL (a) and IM transistor (b)

그림 3은 온도에 따른 무접합 및 반전모드 소자의 문턱전압 아래 특성을 나타낸 것이다. 그림으로부터 온도가 증가할수록 문턱전압보다 훨씬 낮은 게이트 전압에서 드레인 전류가 증가하므로 문턱전압 아래 기울기가 증가하는 것을 알 수 있다. 두 소자 모두 고온에서 누설전류가 증가하면서 문턱전압 아래 기울기가 증가하는 것을 알 수 있다.

그림 4는 온도에 따른 문턱전압 아래 기울기 변화를 나타낸 것이다. 무접합 소자는 V_{DS}=2.3V에서 반전모드 소자는 V_{DS}=6.0V에서 문턱전압 아래 기울기를 측정하였다. 온도가 증가할수록 문턱전압 아래 기울기가 증가하는 것을 알 수 있다. 일반적으로 전자의 산란(scattering)에서 에너지 이완 길이 λ_e (energy relaxation length)는 다음 식과 같이 전자의 온도 (Te)와 격자 온도 (To)의 함수관계로 표현된다 [9].

$$\lambda_e E = \frac{5}{2}\frac{kT}{q}(T_e - T_0) \tag{1}$$

여기서 E는 인가되는 전계이다. 식(1)로부터 격자 온도가 증가하면 λ_e가 감소하는 것을 알 수 있다. 이는 전자 온도의 감소로 이어지므로 충격이온화가 잘 일어나지 않게 된다. 그 결과로 온도가 증가할수록 문턱전압 아래 기울기는 증가하게 된다. 새로운 것은 온도 증가에 따라 문턱전압 아래 기울기 변화가 반전모드 소자보다 무접합 소자에서 더 큰 것으로 관측된 결과이다. 이는 온도가 증가함에 따라 표면 채널보다 실리콘 박막 중앙에 있는 채널 전자들의 산란이 더 많아 벌크 실리콘의 λ_e가 더 많이 감소 한 것으로 판단된다.

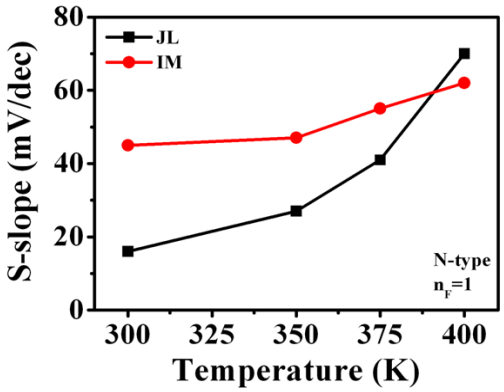


그림 4. 온도에 따른 문턱전압 아래 기울기 변화
Fig. 4 The variation of subthreshold slope as a function of temperature

그림 5는 온도에 따른 핀 폭이 다른 무접합 소자의 문턱전압 아래 기울기 변화를 나타낸 것이다. 핀 폭에 상관없이 온도가 증가할수록 문턱전압 아래 기울기가 증가하는 것을 확인할 수 있다. 그리고 핀 폭이 클수록 문턱전압 아래 기울기가 작은 것을 알 수 있다. 이는 핀 폭이 작을수록 표면적이 증가하므로 표면 산란과 재결합이 증가하게 된다. 그 결과로 실리콘 박막의 포텐셜 증가가 감소하게 되어 충격이온화가 감소하게 된다.

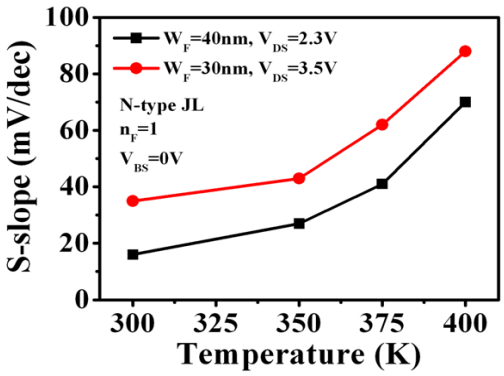


그림 5. 온도에 따른 핀 폭이 다른 무접합 소자의 문턱전압 아래 기울기 변화
Fig. 5 The variation of subthreshold slope as a function of temperature in JL transistors with different fin widths

그림 6은 무접합 소자에서 기판 전압이 인가되었을 때 온도에 따른 문턱전압 아래 기울기 변화를 나타낸 것이다. 그림으로부터 무접합 소자의 기판에 양의 전압을 인가하면 문턱전압 아래 기울기가 감소하는 것을 알 수 있다. 이는 본 연구그룹의 이전에 발표된 연구와 같은 결과 이다 [8]. 양의 기판 전압이 인가되면 충격이온화가 증가하게 된다. 충격이온화는 채널의 전자 농도와 드레인 근처의 전계 곱에 의해서 결정되는 데 무접합 소자에서 양의 기판전압이 인가되면 채널의 전자농도와 전계가 증가하므로 충격이온하가 증가하게 된다 [8]. 온도가 증가할수록 기판 전압에 상관없이 문턱전압 기울기가 증가하는 것은 앞에서 서술한 것과 같이 온도가 증가할수록 전자의 산란 증가로 인한 에너지 이완 길이 감소 때문으로 사료된다. 새로운 것은 양의 전압이 클수록 문턱전압 아래 기울기 변화가 심하지 않다는 것이다. 이는 기판에 양의 전압이 클수록 채널의 면적이 상대적으로 증가하므로 전자의 산란이 적게 되는 것으로 사료된다.

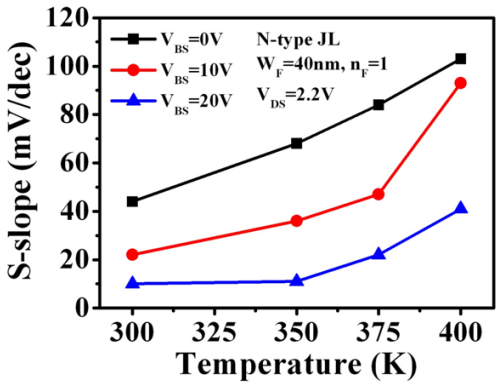


그림 6. 무접합 소자에서 기판 전압이 인가되었을 때 온도에 따른 문턱전압 아래 기울기 변화
Fig. 6 The variation of subthreshold slope as a function of temperature in JL transistor when a positive substrate bias was applied

Ⅳ. 결 론

다중게이트 구조인 나노 와이어 n-채널 무접합 및 반전모드 MuGFET에서 온도가 증가함에 따라 문턱전압 이하의 급격히 작은 기울기가 증가하였다. 이는 격자 온도가 증가하므로 에너지 이완 길이가 감소되었기 때문으로 사료된다. 문턱전압 아래 기울기 증가가 반전모드 소자보다 무접합 소자에서 더 심함을 알 수 있었다. 소자의 핀 폭이 다른 소자의 문턱전압 아래 기울기의 온도 의존성은 비슷한 것으로 관측되었다. 그리고 기판 전압에 따른 문턱전압 아래 기울기 온도의존성 측정으로부터 기판전압이 증가함에 따라 문턱전압 아래 기울기 변하는 심하지 않는 것으로 관측되었다.

감사의 글

이 논문은 2011년도교과학부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2011-0021826)

REFERENCES

[1] J. P. Colinge, “Silicon-On-Insulator Technology: Materials to VLSI, 2nd Edition”, Kluwer Academic Publishers, p.155, 1997.

[2] E.H. Toh, G.H. Wang, L. Chan, G. Samudra, and Y.C. Yeo, “A double spacer I-MOS transistor with shallow source junction and lightly doped drain for reduced operating voltage and enhanced device performance,” IEEE Electron Device Lett., vol. 29, no.2, pp.189-191, 2008.

[3] W.Y. Choi, J.Y. Song, J.D. Lee, Y.J. Park, and B.G. Park, “70nm impact ionization metal-oxide-semiconductor(I-MOS) devices integrated with tunnelling field effect transistor (TFETs),” in IEDM Tech. Dig., pp.995-998, 2005.

[4] A.C. Seabaugh, and Q.Z. Zhang, “Low voltage tunnel transistors for beyond CMOS logic,” Proceeding of IEEE, vol.98, no.12, pp.2095-2110, 2010.

[5] F. Mayer, C. Le Royer, J.F. Damlencourt, K. Romanjck, F. Andrieu, C. Tabone, B. Previtali, and S. Deleonibus, “Impact of SOI, $Si_{1-x}Ge_x$OI, and GeOI substrate on CMOS compatible tunnel FET performance,” in IEDM., pp.1-5, 2008.

[6] A.S. Verhulst, W.G. Vandenberghe, K. Maex, S.D. Gendt, M.M. Heyns, and G. Groeseneken, “Complementary silicon based heterostructure tunnel-FET with high tunnel rates,” IEEE Electron Device Lett., vol. 29, no.12, pp.1398-1401, 2008.

[7] J. Wan, C. Royer, A. Zastavsky, and S. Cristoloveanu, “Z^2-FET used as 1-transistor high speed DRAM,” in IEDM Tech. Dig., 2012, pp. 197-200.

[8] S.M. Lee, H.J. Jang, and J.T. Park, “Analysis of subthreshold slope with substrate bias in junctionless multiple gate transistors,” Proceeding of EuroSOI Conference, pp. 150-151, 2013.

[9] A.N. Nazarov, V.S. Lysenko, I. Ferain, S. Das, R. Yu, A. Kranti, N. D. Akhavan, P. Razavi, and J.P. Colinge, “Floating body effects in junctionless MuGFETs,” Proceeding of ULSI, pp.93-94, 2012.

[10] M.S. Parihar, D. Ghosh, G.A. Armstrong, R.Yu, P. Razavi, and A. Kranti, “Bipolar effects in unipolar junctionless transistors,” Applied Physics Lett., vol. 101, p.093507, 2012.

[11] J. P. Colinge, C. W. Lee, A. Afzalian, N. Kelleher, B. McCarthy, and R. Murphy, “Nanowire transistors without junction,” Nature Nano-technology, vol. 5, no. 3, pp. 225-229, 2010.

이승민(Seung-Min Lee)

2012년 인천대학교 전자공학과 학사
2012년 3월 ~ 현재 인천대학교 전자공학과 공학석사
※관심분야 : CMOS Reliability, Nano-scale CMOS

박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
1983년 연세대학교 전자공학과 공학석사
1987년 연세대학교 전자공학과 공학박사
1983년 8월 ~ 1985년 8월 금성반도체(주)연구소 연구원
1991년 1월 ~ 1991년 12월 MIT Post Doc.
2000년 7월 ~ 2001년 8월 UC Davis 방문교수
1987년 3월 ~ 현재 인천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS