JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 17, No. 9 : 2029~2035, Sep. 2013

비균일 양자화 방식 기반 HSS 방식의 LDPC 복호기 성능

김태훈 · 권해찬 · 정지원*

Performance of LDPC Decoder of HSS based on Non-Uniform Quantization

Tae-hun Kim · Hae-chan Kwon · Ji-won Jung*

Department of Radio Communication Engineering, Korea Maritime and Ocean University, 727 Taejong-ro, Yeongdo-gu, Busan 606-791, Korea

요 약

본 논문에서는 DVB-S2에 제시된 LDPC 복호기에 대하여 구현을 하기 위한 비균일 양자화 방식을 제시하였다. 고속 복호를 구현하기 위해서는 알고리즘과 구현 측면에서 여러 가지 문제점이 있다. 알고리즘 측면에서 LDPC 부호화 방식은 큰 블록 사이즈 및 많은 반복 횟수를 요구하므로 복호 속도를 높이기 위해서는 동일한 성능을 유지하면서 반복 횟수를 줄일 수 있는 알고리즘이 필요하다. 본 논문에서는 이를 위해 체크노드를 기반으로 하여 복호화 과정을 거치는 Horizontal Shuffle Scheduling 알고리즘을 적용하여 기존의 반복횟수를 줄일 수 있는 방안을 연구하였다. 구현측면에서 복호 속도를 높이기 위해서는 여러 가지 알고리즘이 제시되지만 본 논문에서는 복호기에 입력되는 양자화 비트수를 비균일 양자화 방식을 적용하여 줄임으로써 복호속도를 개선하는 방식을 제시한다. 구현 결과 복호 속도가 약 12% 개선됨을 알 수 있다.

ABSTRACT

In this paper, we presented non-uniform quantization method for LDPC decoder specified in DVB-S2 standard. There are some problems in order to implement LDPC decoder in aspect to algorithm and implementation. In algorithm aspect, because of large number of iterations, LDPC decoding in general give rise to a large number of computation operations, mass power consumption, and decoding delay. Therefore, this paper studies Horizontal Shuffle Scheduling (HSS) algorithm which reduced iteration number without performance loss. In aspect of implementation, there are some solutions to improve the decoding speed, however this paper focused on non-uniform quantization which reduce the quantization bits of LDPC decoder. In simulation results, Decoding throughput of HSS LDPC decoder based on non-uniform quantization is 816Mbps and it improved 12% compared to conventional one.

키워드 : LDPC 부호, HSS 알고리즘, 비균일 양자화, 복호 throughput

Key word : Low Density Parity Check Code(LDPC), Horizontal Shuffle Scheduling(HSS), Non-uniform Quantization, Decoding throughput

접수일자 : 2013. 05. 16 심사완료일자 : 2013. 06. 10 게재확정일자 : 2013. 06. 24

* Corresponding Author Ji-won Jung (E-mail:jwjung@kmou.ac.kr, Tel:+82-51-410-4920)
Department of Radio Communication Engineering, Korea Maritime and Ocean University, 727 Taejong-ro, Yeongdo-gu, Busan 606-791, Korea

Open Access http://dx.doi.org/10.6109/jkiice.2013.17.9.2029 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최신 위성 방송 및 무선 통신에서 적용되는 오류 정정 알고리즘으로 LDPC 채널 부호화 방식을 주로 적용하고 있다. ISDB-S나 DVB-S2 등의 표준을 적용 중인 일본이나 유럽, 미국 등지에서는 1 Gbps급 이상의 LDPC 복호기를 연구 중이며, 이를 동일한 성능에서의 고속화에 주안점을 두어 여러 논문에서 제안되고 있다. 본 논문에서는 여러 논문에서 제안되고 있는 알고리즘보다 더욱더 효율적인 알고리즘을 제안하여 고속화 시키고자 하며, 이에 따른 구현 결과를 제시하는 논문이다. 위와 같은 고속 LDPC 복호기를 구현하기 위해서는 알고리즘 측면과 구현 측면에서 여러가지 문제점이 있다. 알고리즘 측면에서는 첫째, LDPC 부호화 방식은 큰 블록 사이즈 및 많은 반복 횟수를 요구한다.[1] DVB-S2에서 적용하는 LDPC의 경우 한 블록의 크기는 N=64800이고, 부호화율 1/2의 경우 60회의 반복횟수를 가진다.

이 때, 복호 속도를 높이기 위해서는 동일한 성능을 유지하면서 반복 횟수를 줄일 수 있는 알고리즘이 필요하다. 기존의 LDPC 복호화 방식은 수신 데이터를 이용하여 체크노드의 값을 업데이트 한 후, 체크노드 값을 이용하여 비트노드의 값을 업데이트함으로써 한 번의 반복에 많은 시간이 걸리고, 복호 속도 저하의 원인이 된다.[2] 본 논문에서는 이를 위해 체크노드를 기반으로 하여 복호화 과정을 거치는 HSS(horizontal shuffle scheduling) 알고리즘에 대하여 연구하였다. 구현측면에서 여러 알고리즘이 제시되고 있으며, 특히 복호 속도를 높이기 위해서는 체크노드 업데이트(Check Node Update, CNU) 또는 비트노드 업데이트(Bit Node Update, BNU)의 연산량을 줄이는 방식에 대한 연구가 활발히 이루어지고 있다.[3][4] 그러나 본 논문에서는 복호기 출력의 양자화 비트 수를 줄임으로써 복호기 속도를 향상시키는 연구에 주안점을 두었다. LDPC 복호기의 양자화 비트수를 작게 함으로써 연산량을 작게 하며 및 복호 속도를 빠르게 할 수 있다.

끝으로, HSS 기반의 LDPC 복호기를 비균일 양자화(non-uniform quantization, NQ) 방식을 적용하여 기존의 방식과 성능 및 복호 속도를 비교하였다.

Ⅱ. HSS 기반 LDPC 복호 알고리즘

LDPC 부호는 ‘0’과 ‘1’만을 이용한 패리티 체크 매트릭스 H에 의해 만들어 진다.[5] H 매트릭스에서 ‘1’의 위치는 굉장히 sparse, 랜덤하게 분포되어 있다. 이러한 성질에 의해 LDPC 부호는 좋은 성능을 가지나[6], 하드웨어 구현에 있어서 문제가 되고, 큰 블록 사이즈와 많은 반복횟수로 인해 고속화가 힘들다. 본 논문에서는 이를 극복하기 위해 HSS 복호 방식에 대해 연구하였다.

2.1. HSS 방식

HSS 방식은 기존의 방식과는 달리 체크 노드 업데이트 연산을 하면서 비트 노드 업데이트 연산을 동시에 하는 것이 가능하다. HSS 복호 방식의 흐름도는 다음 그림 1과 같다.

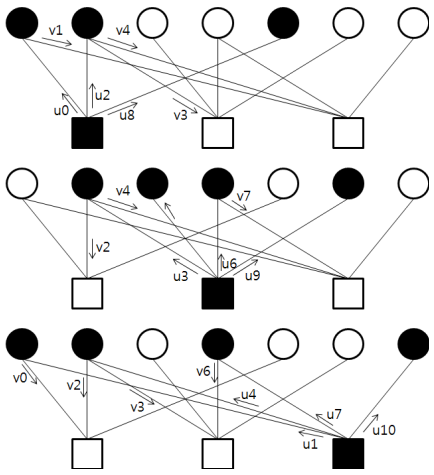


그림 1. HSS 복호 방식의 흐름도
Fig. 1 Data flow of HSS decoding

LDPC 복호 과정은 반복에 의한 복호이다. 그러므로 적어도 각 노드들이 한 번씩 업데이트가 되면 한 번의 반복이 끝나는 것이다. 그리고 전체 복호 과정은 지정된 반복 횟수만큼 반복이 되거나 그렇지 않으면 충분히 신뢰성 있는 데이터를 구했을 때 끝나게 된다. 그 후, 비트 노드의 값을 이용하여 각 비트를 결정한다. HSS 방식을 이용한 LDPC 복호 과정 중 각 비트 노드의 값은 다음 식에 의해 구할 수 있다.

$$S_i = LLR_i + \sum_{i=1}^{d_v} u_i \quad (1)$$

여기서 S_i는 비트 노드의 최종 값을 나타내고, LLR은 수신 데이터를 나타낸다. i는 비트 노드이고, d_v는 비트 노드에 연결된 Edge 의 수이다. 그리고 u_i는 체크 노드 업데이트를 통해 얻어진 각 Edge 의 값이다. 위 그림 1를 통해 간단한 예를 들어 보면, 첫 번째 체크 노드 업데이트를 하기 위해 v_0, v_2, v_8 각각의 Edge 값을 가지고 체크 노드 업데이트를 한다. 이 때, 각 Edge 의 값은 수신 데이터 LLR_0, LLR_1, LLR_4이고, 체크 노드 업데이트 방법은 다음 식으로 알 수 있다.

$$u_j = \bigoplus_{k=1, k \neq j}^{d_c} v_k \quad (2)$$

v는 비트 노드에서 체크 노드로 향하는 Edge 를 나타내고, d_c는 체크 노드에 연결된 Edge 의 수이다. 위 식에서 는 다음과 같이 구할 수 있다.

$$|v_i| \oplus |v_j| = \min(|v_i|, |v_j|) - offset \quad (3)$$

$$sign(|v_i| \oplus |v_j|) = sign(v_i) \times sign(v_j) \quad (4)$$

체크 노드 업데이트의 값을 이용하여, 각 비트 노드의 값은 $S_0 = LLR_0 + u_0$, $S_1 = LLR_1 + u_2$,$S_4 = LLR_4 + u_8$ 이 된다. 그 후, 두 번째 체크 노드 업데이트를 위해 v_3, v_5, v_6, v_8 을 가지고 온다. v는 v'를 이전 반복에서의 Edge 값이라 하면 다음 식에 의해 구해질 수 있다.

$$v_i = S_i - v'_i \quad (5)$$

두 번째 체크 노드의 업데이트가 끝나면 각 Edge 의 값을 이용하여 다시, S_1, S_2, S_3, S_5 가 구해지고, 세 번째 체크 노드에 대한 업데이트를 하여 S_0, S_1, S_3, S_7 역시 업데이트 되어 진다. 이와 같이 한 번의 반복이 끝나게 된다. 이러한 과정이 반복되면서 모든 반복이 끝나거나, 신뢰성 있는 데이터가 나올 때, 복호 과정은 끝나게 된다.

LDPC 부호는 매트릭스 구조 상 부분화 시켜서 병렬 연산이 가능하다. 즉, H 매트릭스에서 부분화 되는 만큼 병렬로 연산하여 속도를 증가시킬 수 있다. 하지만, 이렇게 나누게 되면 HSS 방식을 적용하여 구현 할 경우 부분화 된 집합 내에서 한 번에 두 개 이상의 비트 노드와 체크 노드가 연결이 되는 경우가 발생한다. 식 (1) 부터 식 (5) 까지를 보면 HSS 방식은 한 번에 하나씩 비트 노드와 체크 노드 간에 업데이트를 실행함을 알 수 있다.

그림 2은 각 알고리즘에서 부호화율 1/2, N=64800 일 때, 반복횟수에 따른 성능이다.

HSS 방식의 경우 30회의 반복을 하였을 때, 기존의 방식(60회 반복)과 성능이 거의 일치하여 겹쳐져 하나의 그래프로 보임을 알 수 있다. 즉, HSS 방식을 적용하면 반복횟수 만으로 속도가 2배 상승하는 효과를 얻을 수 있다.

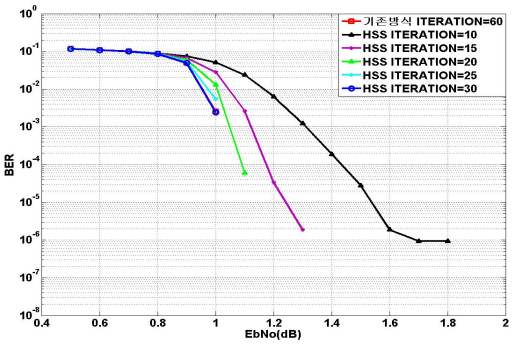


그림 2. 기존방식과 HSS 방식의 반복횟수에 따른 성능비교 (r=1/2)
Fig. 2 Performance comparison by iteration number of HSS

2.2. HSS 기반의 복호기 구조

2.1에서 설명한 구조를 적용하여 성능과 속도 향상을 위한 HSS 기반의 FPGA 구현을 위한 고속 LDPC 복호기의 구조는 그림 3과 같다.

그림 3에서 Info A, Info B는 수신데이터 메모리로 한 주소 당 360개의 수신 데이터를 저장한다. 첫 번째 반복 시 Info_mem(Info A, Info B) 에서 Sj_memory 로 처음 데이터가 입력되어지고, Sj memory 에 모든 데이터가 저장된 후 address memory, permutation memory 에서 index 를 입력 받아 index 에 따른 Sj memory 의 주소 값이 되어 Sj 데이터가 출력된다.

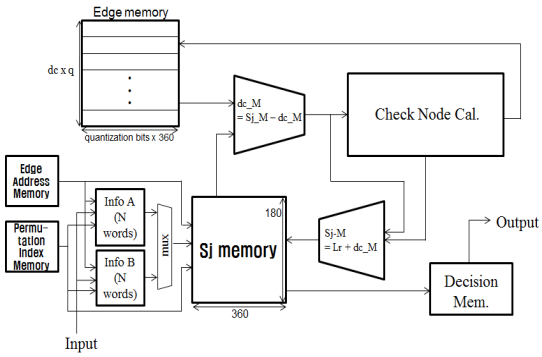


그림 3. HSS 방식을 적용한 LDPC 복호기 구조
Fig. 3 Structure of LDPC decoder based on HSS

CNU를 계산하기 위해 address index는 Sj memory의 몇 번째 주소인지, 그리고 permutation index는 address index내의 360개의 데이터 중 몇 번째부터 시작하는지를 알려주는 파라메타다. 출력된 360개의 데이터는 식 (3)과 같이 CNU에서 Edge 값을 계산한다. CNU 블록에서 연산되어진 데이터는 각각의 Edge 값이므로 출력 순서대로 Edge memory에 저장이 된다. 또한, CNU 연산된 새로운 Edge 데이터와 CNU의 입력 데이터가 더하기 연산을 통하여 Sj메모리에 다시 입력된다. CNU 출력은 Edge memory로 입력되어지며, 이의 출력과 Sj memory와의 출력을 빼줌으로서 비트 노드 계산이 식 (5)와 같이 행해진다.

Ⅲ. 비균일 양자화 기반의 LDPC복호기

DVB-S2 기반 LDPC 부호는 패리티 비트를 생성하는 인코더를 거쳐 채널을 통해 수신단에서 정보 비트와 패리티 비트를 수신하게 된다. 이 때, 수신된 비트는 부호비트를 포함하여 -32 ~ +31의 범위인 6비트로 양자화를 수행한다. 6비트로 양자화된 신호는 체크 노드 연산과 비트 노드 연산 과정을 거치게 된다. 하지만 6비트로 양자화 되어 수신된 신호를 4비트로 양자화 시킨다면 체크 노드 연산과 비트 노드 연산 과정에서 연산량을 줄일 수 있게 되고 연산량이 줄어든다는 것은 고속 복호가 가능하다. 6비트의 수신 신호를 4비트 혹은 5비트로 다시 양자화 시키는 것을 비균일 양자화라 하며, 그림 4은 비균일 양자화 알고리즘을 복호기 적용시켜 어느 부분에서 비균일 양자화가 되는지를 나타내는 알고리즘을 나타낸다.

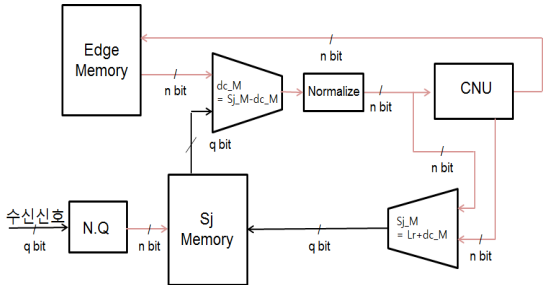


그림 4. 비균일 양자화 적용시킨 LDPC 복호기 모델
Fig. 4 Model of LDPC decoder based on non-uniform quantization

채널을 통과하여 수신된 수신신호는 q비트의 양자화를 거치게 되고 Sj Memory에 저장되면서 n비트의 비균일 양자화가 된다. 그리고 체크 노드 계산을 위해 Sj값과 Edge값의 차를 구하는 과정 후에 다시 비균일 양자화를 수행하게 된다. 이렇게 되면 체크 노드 연산과정에서는 기존 q비트의 신호를 연산했던 연산과정이 q비트 보다 작은 n 비트의 신호로 연산이 된다. 또한, 체크 노드 연산은 입력된 신호 중에서 가장 작은 값을 찾는 과정이기 때문에 결국 체크 노드 연산을 거쳐 비트 노드로 전달되는 신호도 n비트가 되게 된다. 따라서 비균일 양자화 방식을 적용하면 연산량이 감소하게 되고 연산량의 감소는 고속 복호로 이어지게 된다. 표 1은 (q,n)비트의 비균일 양자화에서 q=6, n=4인 비균일(6,4) 양자화를 위한 범위를 나타낸다.

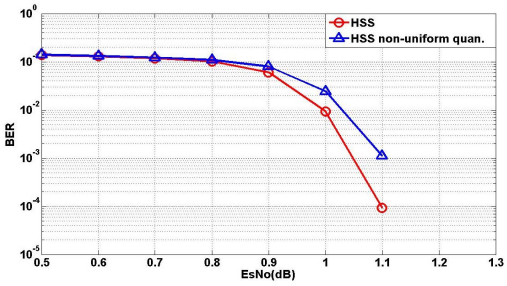
표 1. 비균일 (6,4) 양자화를 위한 범위
Table. 1 Range for NQ(6,4) quantization

Range of Value	4 bit Non-uniform Quantization
s00000~s00001	s000
s00010~s00011	s001
s00100~s00101	s010
s00110~s00111	s011
s01000~s01010	s100
s01011~s10000	s101
s10001~s11000	s110
s11001~s11111	s111

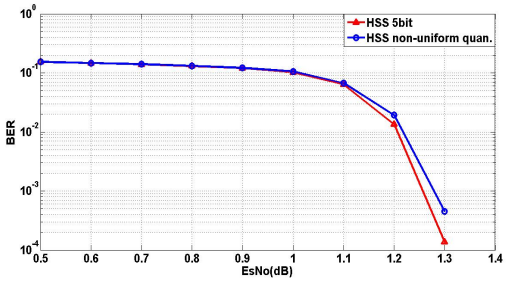
표 1에서 s는 부호 비트를 나타낸다. 6비트의 수신 신호를 4비트의 비균일 양자화 범위에 적용시키면 -32 ~ +31의 6비트 신호는 -8 ~ +7로 각각의 범위에 맞게 양자화 되게 된다. 5비트의 수신신호를 4비트 비균일 양자화를 하는 표는 다음 표 2와 같다.

표 2. 비균일 (5,4) 양자화를 위한 범위
Table. 2 Range for NQ(5,4) quantization

Range of Value	4 bit Non-uniform Quantization
s0000	s000
s0001	s001
s0010	s010
s0011	s011
s0100	s100
s0101~s0110	s101
s0111~s1011	s110
s1100~s1111	s111



(a)



(b)

그림 5. HSS 방식과 비균일 양자화를 적용시킨 HSS 방식의 성능 (a) 비균일 (6,4) 양자화 방식 성능 곡선 (b) 비균일 (5,4) 양자화 방식 성능 곡선
Fig. 5 Performance of HSS method and HSS method based on non-uniform quantization (a) Performance of NQ(6,4) quantization method (b) Performance of NQ(5,4) quantization method

표 2처럼 5비트의 신호 -16 ~ +15를 4비트 비균일 양자화를 하여 -8 ~ +7의 값으로 양자화를 할 수 있다.

그림 5는 HSS 방식에 비균일 양자화를 적용시킨 방식의 성능을 비교한 그림이다. 그림 5에서 알 수 있듯이 (6,4) 양자화 방식 및 (5,4) 양자화 방식 성능이 기존의 양자화 하지 않은 경우와 비교 하였을 때 0.05[dB]정도의 무시 할 수 있을 만큼의 성능 열화는 존재하나, 체크노드 연산에서 연산량을 줄일 수 있어 복호를 보다 고속화 할 수 있다는 장점이 있다.

Ⅳ. FPGA 구현결과

본 논문에서 사용된 FPGA 칩은 xc5vlx155t이고, 기본 클럭 주파수는 200MHz이다. 제시된 복호기의 구조를 사용할 경우 한 번의 반복에 사용되는 클럭 수는 662 클럭이다. 다음 표들은 복호기 parameter를 나타내었다. DVB-S2 LDPC는 블록 사이즈 N=64800이고, 데이터는 360개 씩 그룹으로 병렬 처리되어진다. 부호화 율이 1/2이므로 HSS 기법 적용 시 최대 반복 횟수는 30회이다. 수신데이터의 양자화 비트 수는 5비트이다.

표 3. HSS 기법 적용 시 소모 클럭과 복호 속도
Table. 3 Required clocks and decoding speed for applying HSS algorithm

Number of group check M	90
Number of group variable N	180
Number of group Edges E	630
Nb cycle check node	660 clock cycles
Total iteration	662 clock cycles
Total nit iteration	19860 clock cycles
Decoding throughput (200Mhz클럭 기준)	653 Mbits/s

표 3에서는 전체 블록 사이즈가 64800이고, 360개의 데이터가 그룹을 이루므로 부호화율 1/2에서 체크노드의 그룹은 90개이고, 비트 노드의 그룹은 180개이다. 총 Edge의 수는 630개 이고, 체크노드 연산에 사용되어지는 총 클럭 수는 660개이다. 한 번의 반복에 소모되는 클럭 수는 662 클럭이고, 30회 반복이므로 총 클럭

수는 19860 클럭이 소모되었다. 이 때, 복호 throughput은 653Mbps이다.

다음 표 4은 비균일 양자화 방식의 적용 시 클럭 속도와 복호 throughput을 나타낸 것이다. 기존의 6비트 연산 시 최대 클럭 속도는 177.999MHz이고, 비균일 양자화 (6,4) 적용 시, 최대 클럭 속도는 253.743 MHz이다. 비균일 양자화 (6,4)는 6비트의 수신신호를 4비트의 비균일 양자화를 하였음을 의미한다.

표 4. CNU 연산 방식에 따른 클럭 속도와 복호 throughput
Table. 4 Clock Speed and Decoding Throughput according to CNU algorithms.

	기존방식 (6비트)	비균일양자화(6,4) 적용시
부호화율	0.5	0.5
최대 클럭 속도	200MHz	238MHz
복호throughput	약 653 Mbits/s	약 731 Mbits/s

V. 결 론

본 연구에서는 첫째로 고속 복호 알고리즘 관점에서는 비트 노드 계산을 체크 노드 계산 후에 하지 않고 체크 노드 계산 중에 수행하는 HSS 방식을 연구하여 최적의 반복횟수를 제시하였다. HSS방식은 체크 노드 계산 시 동시에 비트 노드를 계산하기 때문에 별도의 비트 노드 계산을 할 필요가 없으므로 속도를 고속화 가능하며, 또한 반복 횟수를 감소시킬 수 있어 복호 throughput을 증가 시킬 수 있다. 시뮬레이션 결과 부호화율 1/2일 때, 약 50% 반복횟수를 동일한 성능에서 감소시킬 수 있음을 확인할 수 있었다.

둘째로 본 논문에서는 복조기 출력의 양자화 비트 수를 줄임으로써 복호기 속도를 향상시키는 연구에 주안점을 두었다. LDPC 복호기의 양자화 비트수를 작게 함으로써 연산량을 줄여 복호 속도를 빠르게 할 수 있다. 구현 결과 LDPC 복호기를 비균일 양자화 방식을 적용하여 기존의 6비트 수신신호를 4비트로 양자화 함으로써 약 12%의 복호 속도를 향상 시킬 수가 있었다. 따라서 반복횟수를 줄일 수 있는 HSS 알고리즘과 양자화 비트수를 줄일 수 있는 비균일 양자화 알고리즘을 결합하면 60% 이상의 복호속도를 향상 시킬 수 있어 고속 LDPC를 구현할 수 있다.

감사의 글

본 연구는 미래창조과학부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (NIPA-2013-H0301-13-2005)

본 연구는 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임

REFERENCES

[1] Digital Video Broadcasting(DVB). “Second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications (DVB-S2).” *European Standard (Telecommunications series) ETSI EN 302 307 V1.2.1(2009-08)*, 2009.

[2] J. Dielissen, A. Hekstra, and V. Berg. “Low cost LDPC decoder for DVB-S2.” *In design, Automation and Test in Europe, 2006. DATE’06. Proceedings*, vol.2, pp.1-6, Munich, Germany, March 2006.

[3] O. Eljamaly and P. Sweeney. “Alternative approximation of check node algorithm for DVB-S2 LDPC decoder.” *In Second International Conference on Systems and Networks Communications (ICSNC 2007)*, pp.157-162, October 2007.

[4] Xiao-Yu Hu, E. Eleftheriou, D.-M. Arnold, and A. Dholakia, “Efficient implementations of the sum-product algorithm for decoding LDPC codes.” *In Global Telecommunications Conference, 2001. GLOBECOM’01. IEEE*, vol. 2, pp.1036-1036E, 2001.

[5] R. G. Gallager, “Low-Density Parity-Check Codes,” *IRE trans.information theory*, vol.8, pp..21-28, 1962.

[6] D. J. C. Mackay and R. M. Neal, “Near Shannon Limit Performance of Low-Density Parity-Check Codes,” *Electron. Letter*, Vol.32, pp. 1645-1646, Aug.1996.

김태훈(Tae-Hun Kim)

2013년 2월 : 한국해양대학교 전파공학과(공학사)
2013년 3월 ~ 현재 : 한국해양대학교 전파공학과 석사과정
※관심분야 : 위성 통신, 이동 통신, 수중 통신, 변 · 복조 기술, 채널코딩, FPGA 기술 등

권해찬(Hae-Chan Kwon)

2013년 2월 : 한국해양대학교 전파공학과(공학사)
2013년 3월 ~ 현재 : 한국해양대학교 전파공학과 석사과정
※관심분야 : 위성 통신, 이동 통신, 수중 통신, 변 · 복조 기술, 채널 코딩, FPGA 기술 등

정지원(Ji-Won Jung)

1989년 2월 : 성균관대학교 전자공학과(공학사)
1991년 2월 : 성균관대학교 전자공학과(공학석사)
1995년 2월 : 성균관대학교 정보공학과(공학박사)
1991년 1월 ~ 1992년 2월 : LG 정보통신 연구소 연구원
1995년 9월 ~ 1996년 8월 : 한국통신 위성통신연구실 선임연구원
1997년 3월 ~ 1998년 12월 : 한국전자통신연구원 초빙연구원
1996년 9월 ~ 현재 : 한국해양대학교 전파공학과 정교수
2001년 8월 ~ 2002년 8월 : 캐나다 NSERC Fellowship(Communication Research Center 근무)
※관심분야 : 위성 통신, 이동 통신, 수중 통신, 변 · 복조 기술, 채널코딩, FPGA 기술 등