

# 향상된 전기적 특성을 갖는 IGBT에 관한 연구

구용서\*

## A novel IGBT with improved electrical characteristics.

Yong-so Koo\*

### 요 약

본 연구는 IGBT(Insulated Gate Bipolar Transistor)의 전기적 특성을 향상시키기 위해 새로운 구조의 IGBT를 제안하였다. 첫 번째 구조는 기존 IGBT 구조의 P-베이스 영역 우측 부분에 N+영역을 추가한 방법으로 기존 구조에 비해 빠른 Turn-off 시간과 낮은 전도 손실을 갖는 구조이다. 또한, 두 번째 구조는 게이트 우측 하단에 P+를 형성함으로써 Latching 전류를 향상시킨 구조이다. 시뮬레이션 결과 제안된 첫 번째 구조는 빠른 Turn-off 시간(3.4us), 낮은 순방향 전압강하(3.08V)의 특성을 보였으며, 두 번째 구조는 높은 Latching 전류(369A/값강 ) 특성을 보였다. 따라서 본 논문은 제안된 두 가지의 구조를 하나로 결합한 구조로써 기존 IGBT보다 향상된 특성을 시뮬레이션을 통하여 확인하였다.

### ABSTRACT

In this paper, we tried different two approach to improve the performance of the IGBT. The first approach is that adding N+ region beside P-base in the conventional IGBT. It can make the conventional IGBT to get faster turn-off time and lower conduction loss. The second approach is that adding P+ region on right side under gate to improve latching current of conventional IGBT. The device simulation results show improved on-state, latch-up and switching characteristics in each structure. The first one was presented lower voltage drop(3.08V) and faster turn-off time(3.4us) than that of conventional one(3.66V/3.65us). Also, second structure has higher latching current(369A/값강 ) that of conventional structure. Finally, we present a novel IGBT combined the first approach with second one for improved trade-off characteristic between conduction and turn-off losses. The proposed device has better performance than conventional IGBT.

키워드 : IGBT, Power Device, Turn off, Conduction loss, Trade off

### 1. 서론

전력 반도체 소자에서 널리 사용되고 있는 IGBT는 바이폴라(Bipolar)의 낮은 온-저항, 높은 전류밀도 특성과 MOS의 빠른 스위칭 특성의 장

점을 하나로 취합한 MOS 입력 단으로 구성된 소자이다[1]. IGBT의 대표적인 장점은 낮은 게이트 전압을 요구하며 게이트 구동 회로의 구현이 간편하고 제어가 용이하여 고속 스위칭 동작이 가능하다는 것이다[2]. 하지만 이러한 장점에도 불구하고

\* 교신저자 : 단국대학교 전자전기공학부

접수일자 : 2013년 7월 10일, 수정일자 : 2013년 8월 16 일, 심사완료일자 : 2013년 9월 6일

IGBT는 JFET현상으로 인한 높은 순방향 전압 강하와 정공 전류로 인한 Turn-off 시간 지연 등의 문제가 존재한다[3]. 따라서 본 논문에서는 IGBT의 전기적 특성 중 대표적인 트레이드-오프 관계에 있는 순방향 손실과 스위칭 속도를 개선시키기 위한 새로운 구조의 IGBT를 제안하였다. 제안된 구조는 기존 IGBT에 캐리어 축적 층인 N+를 도입하여 낮은 순방향 손실과 빠른 스위칭 스피드의 특성을 갖으며, P+ 영역을 도입함으로써 높은 래치 특성을 갖도록 개선된 구조이다.

## II. 본 론

### 2.1 제안된 IGBTs의 설명

본 연구에서는 수평(Planar) 게이트 타입의 NTP-IGBT 구조에 기초한 새로운 구조의 IGBT를 제안 하였으며, 제안된 구조는 기존 IGBT가 갖는 전기적 특성을 개선 시키기 위해 두 가지 방법으로 시도되었다. 첫 번째 방법은 기존 IGBT의 P-베이스 우측 부분에 N+영역을 도입한 것이며, 두 번째 방법은 게이트 우측 하단 부분에 P+ 영역을 도입한 것이다.

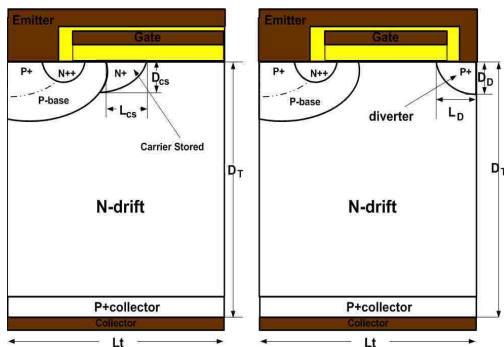
그림. 1의 (a)와 (b)는 도입된 IGBTs의 구조를 각각 보여주고 있다. 첫 번째 구조(a)는 기존 구조가 갖는 순방향 손실과 턴-오프 손실을 개선시키기 위해 P-베이스 우측 부분에 캐리어 축적 층인 N+를 도입한 구조이다. 도입된 N+영역은 P+컬렉터 영역에서 P-베이스 영역으로 주입되는 정공 전류의 흐름을 방해하여 캐리어 축적 층인 N+주위

에 밀집시키는 역할을 한다. 따라서 캐리어 축적 층 주위로 밀집된 정공은 JFET 영향을 개선시킴으로 순방향 전압손실을 감소시키며, 정공 전류의 밀도를 캐리어 축적 층인 N+ 영역으로 집중시킴으로 턴-오프 시간을 감소시키는 역할을 한다[4]

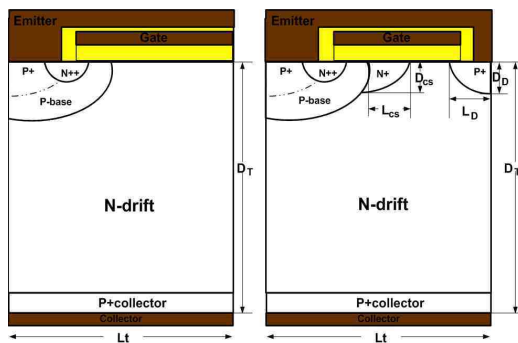
하지만 캐리어 축적 층인 N+의 도입은 고 농도 주입으로 인한 낮은 항복전압 특성과 N++ 에미터 하단 P-베이스의 농도를 감소시킴으로 낮은 래치 특성을 갖게 된다. 따라서 게이트 우측 하단에 P+ diverter를 도입한 두 번째 방법(b)은 캐리어 축적 층으로 발생하는 낮은 항복특성과 래치 특성을 개선하기 위해 도입되었다.

그림. 1 (b)의 p+ diverter는 캐리어 축적 층인 N+영역에서 최초 발생하는 임계전계를 분산시킴으로 낮은 항복특성을 개선시킬 수 있다. 또한 오프 상태에서의 P-베이스 영역을 경유하여 P+ 에미터 영역으로 흐르는 정공 전류의 일부를 P+ diverter 영역으로 유도함으로써 래치 특성을 개선시킬 수 있으나, 동작 상태에서의 P-베이스와 P+ diverter로 인한 전류 흐름의 분산은 높은 순방향 전압 강하를 발생 시킨다. 따라서 캐리어 축적 층인 N+와 P+ diverter의 도입은 서로간의 트레이드-오프 관계가 존재한다.

그림. 2의 (a)와 (b)는 각각 기존 수평(Planar) 게이트 IGBT와 제안된 새로운 구조의 IGBT를 보여주고 있다. 제안된 새로운 구조의 IGBT(그림1.b)은 그림 1.(a)와 (b)에서 도입된 캐리어 축적 층인 N+ 구조와, P+ diverter 구조를 하나로 취합한 구조로써 서로간의 손실을 감소시키는 동시에 기존 IGBT 소자가 갖는 순방향 전압강하와 턴-오프 사이에 트레이드-오프 관계를 개선한 구조이다.



(a) 제안된 구조 1 (b) 제안된 구조 2  
그림 1. 제안된 IGBTs의 단면도



(a) 기존 IGBT (b) 제안된 구조 2  
그림 2. 기존 구조와 제안된 IGBT의 단면도

그림. 2 (b)의 구조는 스위칭 속도와 순방향 저압강하의 트레이드-오프 관계개선 및 래치 특성을 개선시키기 위한 구조로 셀 길이 390um, 셀폭 23um로 기존구조[5]와 같은 길이와 농도를 선정하여 기존 IGBT에 캐리어 축적 층인 N+와 다이버터 구조인 P+의 새로운 구조를 제안, 그 타당성을 검증하였다.

표 1.를 통해 시뮬레이션에 사용된 주요 파라미터를 나열하였다.

표 1. 시뮬레이션에 사용되는 소자 파라미터

$L_D$	- diverter electrode length (um)	2
$L_T$	- total length (um)	23
$L_{cs}$	- carrier stored region length (um)	3
$t_{ox}$	- oxide thickness (Å)	1000
$D_T$	- total depth (um)	390
$D_D$	- diverter region depth (um)	1.5
$D_{cs}$	- carrier stored region depth (um)	1.5
$P_b$	- p-base region doping ( $cm^{-3}$ )	$3.5e17$
$P^{++}$	- p++ emitter region doping ( $cm^{-3}$ )	$3e19$
$N^{++}$	- n++ emitter region doping ( $cm^{-3}$ )	$3e19$
$P^+$	- p+ diverter region doping ( $cm^{-3}$ )	$1e15$
$N^+$	- n+ carrier stored doping ( $cm^{-3}$ )	$1e16$
$P^+c$	- p+ collector region doping ( $cm^{-3}$ )	$1e19$

## 2.2 시뮬레이션 결과 및 고찰

제안된 IGBT[그림. 2(b)]의 전기적 특성을 증명하기 위해 공정 시뮬레이터인 Tsuprem4와 소자시뮬레이터인 MEDICI를 사용하였다.

### 2.2.1 순방향 전도 특성

그림. 3은 IGBT의 순방향 동작 상태에서의 동작 전류 100A/값강에서의 포화전압을 나타낸 그림이다. 그림의 파형에서 보여 지는 바와 같이 제안된 구조의 전자 전류와 정공 전류는 전하 중성 조건을 만족시키기 위해 기존 IGBT보다 더 많은 양의 정공전류(IH)와 전자전류(IE)를 갖게 됨을 확인할 수 있다.

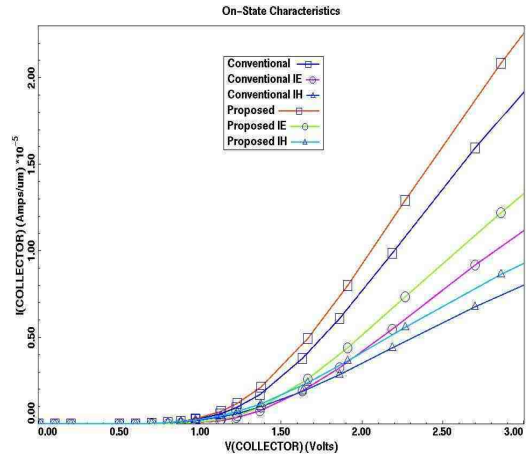


그림 3. 순방향 전도 특성

그림. 3은 제안된 구조와 기존 IGBT의 순방향 전압강하 특성을 보여준다. 순방향 전압강하 특성은 게이트에 15V 전압을 인가하여 채널이 형성되었을 때 컬렉터 전극으로부터 전압을 증가시켜 측정하는 것으로서 포화전압( $V_{ce,sat}$ )을 의미한다.

제안된 소자의 순방향 전압강하 특성은 3.15V이며 이것은 기존 IGBT가 갖는 3.66V에서 약 0.5V 감소된 특성으로 기존 IGBT보다 우수한 특성을 나타낸다. 그림. 4는 캐리어 축적 층인 N+의 농도와 사이즈 변화에 따른 포화전압의 관계를 보여준다.

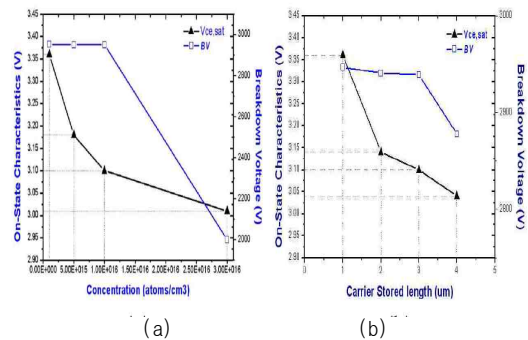


그림 4. (a). 농도변화에 따른 특성 분석  
(b). 사이즈 변화에 따른 특성

그림. 4에서 확인할 수 있듯이 N+의 도입은 낮은 항복 전압을 유발하므로 캐리어 축적영역의 크기와 농도는 낮은 항복 전압 특성에 큰 영향을 준다. 따라서 순방향 특성과 높은 항복특성을 만족

시키기 위해 그림. 2에서 보여 지는 바와 같이 N+의 농도는 1E16(atoms/값강 ) 이하의 레벨에서 순방향 전압강하에 따른 낮은 항복 전압의 문제점이 적게 발생하는 것을 확인 할 수 있었으며 N+의 사이즈는 3um 이하의 영역에서 서로간의 문제점이 적음을 확인할 수 있었다.

2.2.2 턴-오프 특성

그림. 5는 턴-오프 특성으로 전류가 동작상태의 1/10로 떨어지는 지점을 말하며 턴-오프 특성분석은 전자와 정공의 수명시간을 5us로 고정시킨 상태에서 시뮬레이션 결과를 도출하였다.

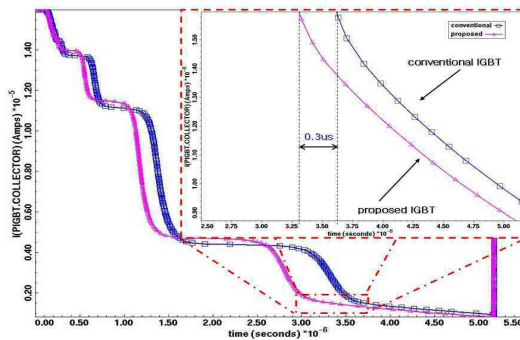


그림 5. 턴-오프 특성

제안된 소자의 턴-오프 특성은 3.34us이며 이것은 기존 IGBT가 갖는 3.65us에서 약 0.3us 감소된 특성을 보여준다. 그림. 6은 IGBT 소자의 대표적인 트레이드-오프 관계인 순방향 전압강하특성과 턴-오프 특성간의 관계를 N+의 농도와사이즈 변화에 따라 나타낸 그림이다.

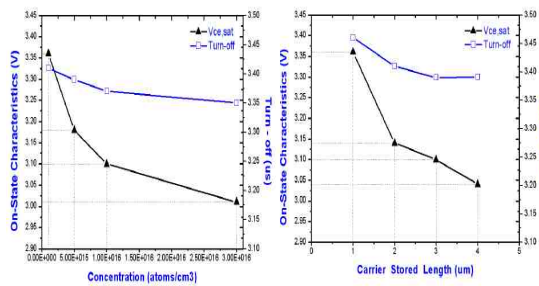


그림 6. (a). 농도변화에 따른 특성 분석  
(b). 사이즈 변화에 따른 특성

그림. 6의 (a)와 (b)는 앞서 설명한 그림. 4의 분석을 바탕으로 N+의 도핑 농도를 1E15(atoms/값강 )부터 5E16(atoms/값강 )까지 증가 시킬 때의 턴-오프 특성과 N+의 사이즈를 1um부터 4um까지 증가 시킬 때의 턴-오프 특성을 순방향 전압강하와 비교한 것이다. 그림. 3과 4에서 확인 할 수 있듯이 순방향 전압강하는 캐리어 축적 층인N+ 농도와 사이즈가 높아질수록 개선되는 것을 보이는 반면 턴-오프 특성은 변화가 적음을 확인 할 수 있었다. 따라서 캐리어 축적 층인 농도와 사이즈 변화에 따른 항복전압을 고려할 때, N+ 농도는 1E16(atoms/값강 ), 사이즈는 3um 이하의 영역에서 서로 간의 손실이 적게 발생하는 것을 확인 할 수 있었다.

2.2.3 항복특성과 래치-업 전류 특성

그림. 7은 기존 IGBT와 제안된 구조의 항복전압을 보여주는 것으로, 첫 번째 N+의 도입으로 인해 발생하는 낮은 항복전압, 낮은 래치 특성을 개선시키기 위해 P+ diverter 구조가 도입되었다.

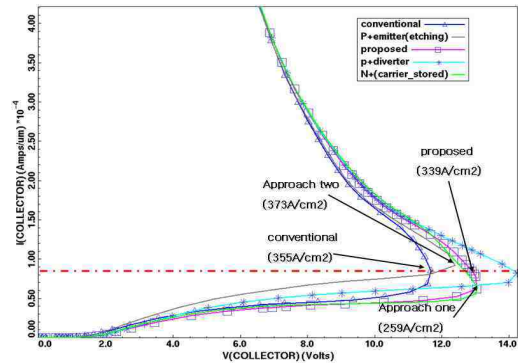


그림 7. 래치-업 특성 (@gate bias=15V)

도입된 P+ diverter 구조는 시뮬레이션 결과 1E15(atoms/값강 )의 농도와 길이 2um의 폭, 1.5um의 깊이를 가질 때 순방향 전압강하 특성에 최대한 영향을 미치지 않는 것을 확인 하였다.

그림. 8은 기존 IGBT와 제안된 IGBT 구조의 래치-업 특성을 보여주고 있다.

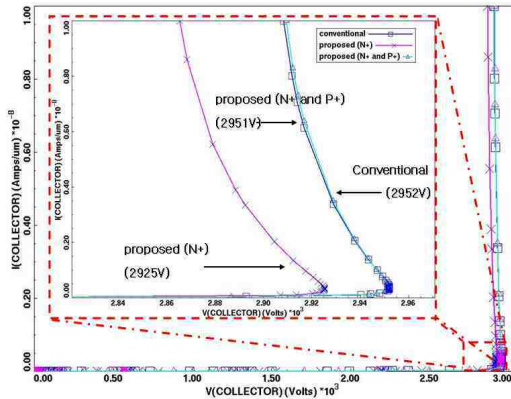


그림 8. 항복 전압 특성 (@gate bias=15V)

래치 특성은 SOA(Safe Operation Area)를 결정 짓는 가장 중요한 요소로써 P-N-P 구조의 기생 사이리스터 형태를 말한다. 래치-업 동작은 IGBT 소자가 정상 동작할 때에는 동작하지 않으나, 전류가 일정한 값 이상이 되면 사이리스터가 턴-온 되어 래치-업 현상이 발생한다. 따라서 낮은 래치-업 전류는 IGBT 소자의 안정성을 떨어트리는 원인이 됨으로 안정성을 고려할 때 래치-업 전류를 높이는 것이 중요하다.

제안된 소자의 래치-업 전류는 339A/궤장 이며 이것은 기존 IGBT 구조가 갖는 335A/궤장 보다 약 16A정도 감소된 특성이다. 하지만, 이러한 래치-업 특성은 순방향 전압강하와 턴-오프 특성을 개선시킨 구조의 래치-업 259A/궤장에 비해 약 80A/궤장 향상된 특성임을 확인 할 수 있다.

표 2. 최종 시뮬레이션 결과 비교

	Vce,sat	Turn-off	Latch-up	B.V
conventional	3.66V	3.65us	355A/cm <sup>2</sup>	2952V
proposed	3.15V	3.34us	339A/cm <sup>2</sup>	2951V

## V. 결론

본 논문은 IGBT 소자의 대표적인 트레이드-오프관계에 있는 순방향 전압강하와 턴-오프 특성을 개선시킨 구조와 그에 따라 발생하는 낮은 항복 특성 및 낮은 래치 특성을 개선시킨 수평 게이트

IGBT를 제안하였다.

시뮬레이션 결과 제안된 구조의 순방향전압강하와 턴-오프 특성은 각각 기존 IGBT 소자가 갖는 3.66V, 3.55us 보다 0.5V, 0.3us 향상된 3.15V와 3.34us의 특성을 보였다. 또한 항복특성과 래치 특성은 시뮬레이션의 오차범위를 고려 할 때 같은 값을 확인 하였으며, 표 2.를 통해 시뮬레이션 결과를 나타내었다.

## Acknowledgement

본 논문은 시스템 IC 2010 사업, 산업자원부 전력 IT 산업에 의하여 지원되었음.

## 참고문헌

- [1] B.J Baliga, "Power Semiconductor Device", Pws, Publishing Company, 1996
- [2] Wanjung Kim, Changho Chol, Dongseok Hyun, "An Improved Turn-off Gate Control Scheme for Series Connected IGBTs, 전력 전자 학회 논문지 제 1호, pp99-104. 2003
- [3] k. k. Ng, "Analysis of the Gate Voltage Dependent Series Resistance of MOSFET's" IEEE Tr ans. Electron Devices., Vol.ED-33, No.7, July. 1986.
- [4] Donald A. Neaman, Semiconductor Physics and Devices, IRWIN. pp 176-181, 1997.
- [5] 신사무엘, 손정만, 구용서, "2500V급 IGBT의 전기적 특성에 관한 연구", 대한전자공학회 추계학술대회, 제 30권, pp.323-324, 2007

---

저자약력

---

구 용 서(Yong-Seo Koo)

정회원



1983 석사 서강대학교  
1992 박사 서강대학교  
1993년~2009년  
서강대학교 전자공학과 교수  
1995년~2005년  
서강대학교 이공대 학장  
2000 ITC-CSCC 국제 학  
술대회 ICC 위원  
2011~현재  
한국전기전자학회 부회장  
2013 현재  
단국대학교 전자전기공학부  
교수

<관심분야> ESD 보호회로, Powe device