

## 극저온에서 나노스케일 무접합 p-채널 다중 게이트 FET의 전기적 특성

이승민 · 박종태\*

### Electrical properties of nanoscale junctionless p-channel MuGFET at cryogenic temperature

Seung-min Lee · Jong-tae Park\*

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

#### 요 약

본 연구에서는 극저온에서 다중 게이트 구조인 나노스케일 p-채널 무접합(junctionless) 과 축적모드(accumulation mode) 다중 게이트 FET의 전기적 특성을 분석하였다. 헬륨을 사용하는 극저온 프로브 스테이션을 사용하여 소자를 측정하였다. 극저온과 낮은 드레인 전압에서 무접합 트랜지스터의 드레인 전류의 진동 현상이 축적모드 보다 심한 것을 알 수 있었다. 이는 무접합 트랜지스터에서는 채널이 실리콘 박막의 가운데 형성되므로 전기적 채널 폭이 축적모드 트랜지스터 보다 작기 때문이다. 온도가 증가할수록 드레인 전류가 증가하며 최대 전달 컨덕턴스도 증가하는 것을 알 수 있었다. 이는 온도가 증가할수록 문턱전압이 감소하며 이동도가 증가하는 데서 기인된 것을 알 수 있었다. 소자의 크기가 나노미터 레벨로 축소되면 양자현상에 의한 드레인 전류 진동이 상온에도 일어날 수 있다.

#### ABSTRACT

In this paper, the electrical properties of nanoscale junctionless p-channel MuGFET at cryogenic temperature have been analyzed experimentally. The experiment was performed using a cryogenic probe station which uses the liquid Helium. It has been observed that the drain current oscillation at low drain voltage and cryogenic temperature was more pronounced in junctionless transistor than in accumulation mode transistor. The reason for more marked oscillation is due to the smaller electrical cross section area of the inversion channel which is formed at the center of silicon film in junctionless transistor. It was also observed that the drain current and maximum transconductance were increased as the measurement temperature increased. This is resulted from the increase of hole mobility and the decrease of the threshold voltage as the measurement temperature increases. The drain current oscillation due to the quantum effects can be occurred up to the room temperature when the device size scales down to the nanometer level.

**키워드** : 무접합 MuGFET, 극저온, 컨덕턴스 오실레이션, 이동도, 문턱전압

**Key word** : Junctionless MuGFET, Cryogenic temperature, conductance oscillation, mobility, threshold voltage

접수일자 : 2013. 04. 05 심사완료일자 : 2013. 05. 10 게재확정일자 : 2013. 05. 21

\* **Corresponding Author** Jong-Tae Park(E-mail:jtpar@incheon.ac.kr, Tel:+82-32-835-8445)

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2013.17.8.1885>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근에 벌크 CMOS 소자의 게이트 길이가 20nm로 축소되므로 단채널 현상을 비롯한 누설전류의 증가로 더 이상 소자 크기 축소는 어려울 것으로 예상된다. 기존의 CMOS의 공정과 유사하지만 단채널 현상을 줄일 수 있는 비평면 구조의 게이트가 여러 개인 다중 게이트 FET (MuGFET) 가 차세대 나노레벨 집적회로의 주된 소자로 유망하다 [1].

특히 최근에 제안된 무접합 트랜지스터는 SOI (silicon-on-insulator) 기술을 바탕으로 소스와 드레인의 PN 접합이 없는 즉, 채널과 소스와 드레인을 고농도의 같은 불순물로 도핑한 구조로서 단채널 현상을 줄일 수 있는 새로운 소자로 각광을 받고 있다 [2]. 기존의 CMOS 구조는 단채널 현상을 줄이기 위해 소스와 드레인 접합의 얇게 하거나 불순물 농도 분포를 급격하게 해야 하는 어려운 공정이 필요하지만 무접합 트랜지스터는 소스와 드레인 접합이 없으므로 공정이 훨씬 간단하는 장점이 있다 [3].

앞으로 CMOS 소자의 크기가 10nm 이하로 축소되면 소자의 크기가 전자의 파장에 비해 많이 크지 않으므로 전자를 입자로서 뿐만 아니라 파장을 같이 고려해야 한다. 즉 상온에서도 양자효과에 의한 소자의 특성 변화를 고려해야 한다. 일반적으로 수십 나노미터 크기의 소자를 극저온에서 측정하면 양자효과에 의한 소자의 전기적 특성을 분석할 수 있다. 극저온에서는 게이트 전압이 증가하면 드레인 전류의 진동 현상이 발생하는 것이 문헌에서 보고되었다 [4].

이런 현상은 소자의 크기가 나노미터 레벨로 축소되므로 전도대 내에 밴드 분할이 만들어지게 되고 게이트 전압이 증가하면 전자들이 밴드 분할을 채우면서 밴드 분할 간의 산란현상에 의하여 진동이 발생하는 것으로 알려져 있다 [3]. 이런 드레인 전류의 진동은 측정온도가 밴드 분할 에너지를 불쓰만 상수 (KB) 로 나눈 것 보다 작거나 밴드 분할 에너지를 드레인 전압과 전하량(q) 곱으로 나눈 것보다 낮을 때 측정이 가능하다 [5].

본인의 선행 연구인 극저온에서 무접합과 반전모드 (Inversion-mode) n-채널 MuGFET의 컨덕턴스 진동 현상으로부터 무접합 트랜지스터의 컨덕턴스 진동이 반전모드 트랜지스터보다 더 심함을 알 수 있었다 [4]. 일

부 연구에서는 상온에서도 나노스케일 트랜지스터의 드레인 컨덕턴스가 진동 현상을 보인다고 보고 하였다 [5].

현재까지 극저온에서 무접합 p-채널 트랜지스터의 컨덕턴스나 드레인 전류 진동에 관한 연구는 전무하다.

본 연구에서는 극 초저온에서 p-채널 무접합 트랜지스터와 축적모드 (Accumulation-mode: AM) 트랜지스터의 드레인 전류와 컨덕턴스 진동을 비롯한 소자의 전기적 특성을 비교분석하였다.

## II. 소자제작 및 측정

무접합 트랜지스터 및 축적모드 트랜지스터는 실리콘 박막의 두께가 340nm이며 저항이 10-20Ω-cm, 매몰 산화층 두께가 400nm인 p-형 SOI 웨이퍼 기판을 이용하여 제작되었다. 열 산화 공정으로 실리콘 박막의 두께를 10-15nm 로 한 후에 전자 빔 리소그래피와 이온반응식각 공정을 이용하여 실리콘 나노와이어를 만들었다. 게이트 산화층은 건식 열 산화 공정을 이용하여 두께가 10nm로 되게 성장시켰다. 무접합 소자를 만들기 위해 붕소이온 주입을 하여 채널 농도가 약  $NA=1 \times 10^{19} \text{ cm}^{-3}$  되게 하였다. 축적모드 트랜지스터는 채널을 도핑하지 않은 상태로 약  $NA=2 \times 10^{15} \text{ cm}^{-3}$  정도이다. 게이트는 저 압력 화학증착 공정으로 모든 소자에 50nm 두께의 다결정 실리콘을 증착한 후에 인을 도핑하여  $N^{++}$ 로 되게 하였다.

그리고 축적모드 트랜지스터는  $BF_2$ 를 이온 주입하여 소스 및 드레인을 형성하였다. 산화층을 증착하고 콘택을 위한 식각 공정을 한 후에 TiW+Al 금속을 증착하여 전극을 형성하였다. 최종적으로 제작된 소자는 게이트 확장 길이가 10nm인 Pi-gate 구조의 다중 게이트 FET이며 실리콘 박막 두께는 약 10nm이다. 측정에 사용된 모든 소자의 게이트 길이는 1μm이고 핀의 폭은 40nm이며 핀 수는 5이다. 측정은 헬륨을 사용하는 극저온 프로브 스테이션에서 온칩 상태로 하였으며 B1500A 반도체 파라미터 분석기를 사용하여 데이터를 분석하였다.

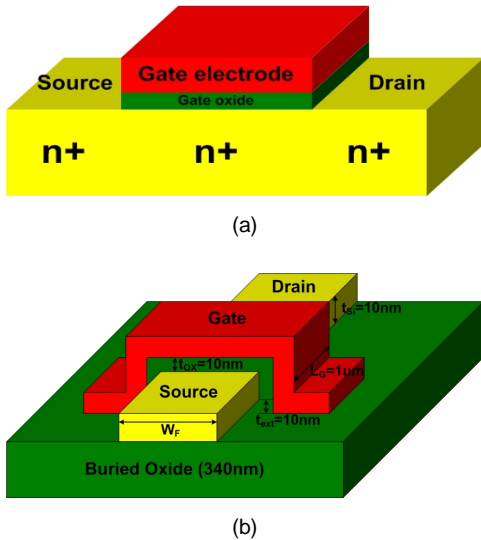


그림 1. 무접합 트랜지스터의 횡단면 (a) 및 다중 게이트 구조 (b) 3차원 소자 도식도  
 Fig. 1 Schematic diagram of 3-dimensional cross section (a) and multiple-gate structure (b) in junctionless transistor

### III. 결과 및 고찰

그림2는 p-채널 무접합 트랜지스터의 온도 및 드레인 전압에 따른 드레인 전류 진동을 나타낸 것이다. 드레인 전압이 -40mV일 때 온도 T=8K에서는 게이트 전압이 증가할 때 드레인 전류의 진동 현상을 관측할 수 있다. 그러나 온도가 증가할수록 드레인 진동 현상은 감소하여 T=77K에서는 거의 진동 현상이 사라지는 것을 알 수 있다. 드레인 전류의 진동 현상은 밴드 분할 에너지  $\Delta E$ 보다 열에너지  $k_B T$ 가 더 작을 ( $k_B T \ll \Delta E$ ) 극저온 조건에서 관측이 가능하므로 측정으로부터  $\Delta E$ 를 유추할 수 있다. 즉 T=50K에서 드레인 진동 현상을 관측할 수 있으므로 드레인 전압 -40mV에서  $\Delta E = 4\text{meV}$ 임을 알 수 있다. 그림 2(b)는 T=8K에서 게이트 전압에 따른 드레인 전류의 진동을 나타낸 것으로 드레인 전압이 -4mV에서는 진동이 심하나 -100mV에서는 사라지는 것을 알 수 있다. 일반적으로  $qV_{DS} \ll \Delta E$  조건을 만족하는 낮은 드레인 전압에서 드레인 전류의 진동을 관측되는 것으로 알려져 있으나 본 연구에서는 그 보다 높은 드레인 전압에서도 진동을 관측할 수 있음을 알 수 있다 [5].

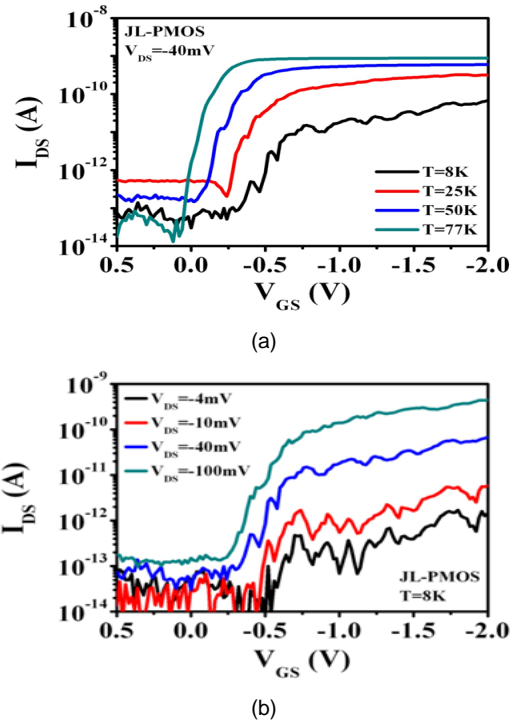


그림 2. 무접합 트랜지스터의  $V_{DS} = -40\text{mV}$ 일 때 온도 (a) 및 T=8K일 때 드레인 전압 (b)에 따른 드레인 전류의 진동  
 Fig. 2 Drain current oscillation with temperature at  $V_{DS} = -40\text{mV}$  (a) and drain voltage at T=8K (b) in junctionless transistor

게이트 전압이 증가로 나타나는 첫 번째 드레인 전류의 진동은 가전대의 첫 번째 분할된 밴드에 홀이 채워지면서 나타나는 것이며 두 번째 진동은 게이트 전압의 증가로 다음 분할된 밴드에 홀이 채워지면서 나타나는 것이다. 그리고 드레인 전류의 진동에서 관측되는 부저항(negative resistance)은 밴드 분할간의 산란으로 인한 홀의 이동도 감소에 의한 것이다. 드레인 전압이 낮을 때는 극소수의 홀이 서로 다른 밴드 분할에 해당하는 채널을 통해 소스에서 드레인으로 전류가 흐르게 되지만 드레인 전압이 증가하면 드레인 근처의 채널이 사라지게 되어 진동 현상이 나타나지 않는 것으로 알려져 있다 [6].

일반적으로 온도가 감소하면 이동도가 증가하여 전류가 증가 하는 것으로 알려져 있으나 그림 2(a)로부터 극저온에서는 온도가 증가할수록 드레인 전류가 오히려 증가하는 것을 알 수 있다 [7]. 이런 원인에 대한 설

명은 온도에 따른 이동도와 문턱전압의 측정결과를 이용하여 논문의 후반부에 서술되어 있다.

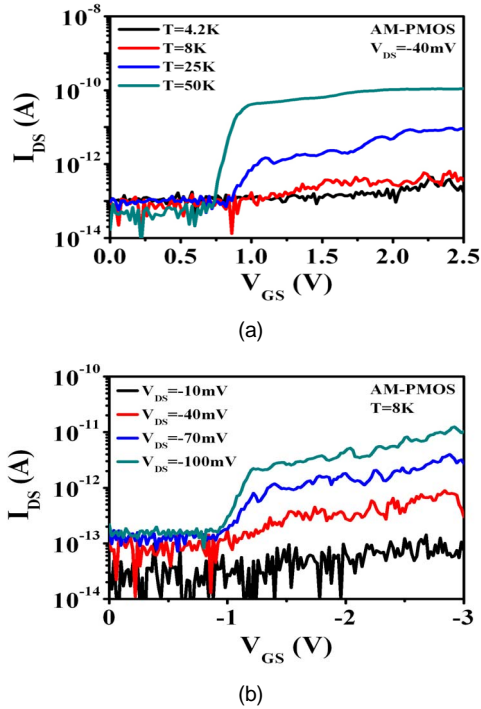


그림 3. 축적모드 트랜지스터의  $V_{DS}=-40mV$ 일 때 온도 (a) 및  $T=8K$ 일 때 드레인 전압 (b)에 따른 드레인 전류의 진동  
**Fig. 3** Drain current oscillation with temperature at  $V_{DS}=-40mV$  (a) and drain voltage at  $T=8K$  (b) in AM transistor

그림 3은 축적모드 트랜지스터의 온도 및 드레인 전압에 따른 드레인 전류의 진동 현상을 나타낸 것이다. 무접합 트랜지스터와 같이  $T=8K$ 에서는 드레인 전류의 진동 현상을 관측할 수 있으나  $T=50K$ 에서는 진동이 사라지는 것을 알 수 있다. 그러나 드레인 전압에 따른 진동은 무접합 트랜지스터보다 심하지는 않지만 드레인 전압이  $-100mV$ 에서 약간의 진동 현상이 있음을 알 수 있다. 축적모드 트랜지스터에서도 온도가 증가할수록 드레인 전류가 증가하는 것을 관측할 수 있다.

그림 2와 3으로부터 드레인 전류의 진동 현상은 무접합 트랜지스터에서 심함을 알 수 있다. 이런 결과는 n-채널 무접합 및 반전모드 트랜지스터에서와 같은 것으로 채널의 크기와 관련된 것으로 사료된다. 게이트 전압이 문턱전압보다 클 경우 축적모드 트랜지스터에서

는 3면의 표면에 채널이 형성되므로 채널의 전기적 크기가 큰 반면에 무접합 트랜지스터에서는 채널이 실리콘 박막의 중앙에 형성되는 소위 체적 반전이 만들어 지므로 채널의 전기적 크기가 작게 된다. 작은 소자에서 진동 현상이 심하게 되므로 같은 측정 조건에서 무접합 트랜지스터의 드레인 전류의 진동 현상이 심하게 된다 [6].

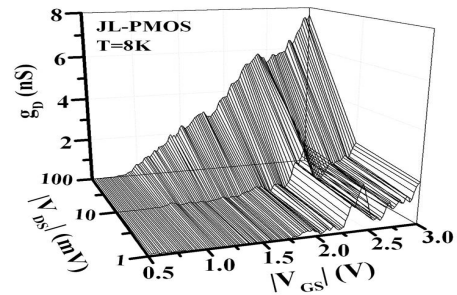


그림 4. 무접합 트랜지스터의 컨덕턴스 진동  
**Fig. 4** Conductance oscillation of junctionless transistor

그림4는  $T=8K$ 에서 드레인 및 게이트 전압에 따른 무접합 트랜지스터의 컨덕턴스 진동 현상을 나타낸 것이다. 드레인 컨덕턴스는  $g_D=I_{DS}/V_{DS}$ 로 정의 되었다. 낮은 드레인 전압에서는 게이트 전압이 증가할 때 밴드 분할에 홀이 채워지므로 리플모양의 진동 현상을 관측할 수 있지만 드레인 전압이 증가하면 사라지는 것을 알 수 있다.

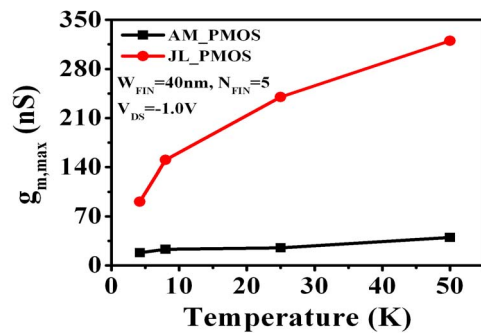


그림 5.  $V_{DS}=-1V$ 일 때 온도에 따른 무접합 및 축적모드 소자의 최대 전달 컨덕턴스  
**Fig. 5** Maximum transconductance versus temperature in junctionless and AM transistor at  $V_{DS}=-1V$

그림 5는 무접합 및 축적모드 소자의 최대 전달 컨덕턴스를 온도에 따라 나타낸 것이다. 온도가 증가할수록 전달 컨덕턴스가 증가하는 것을 알 수 있는데 이는 온도에 따라 이동도가 증가하거나 문턱전압이 감소하는 데서 기인될 수 있다. 측정결과는 절대온도 100K 이상에서는 전달 컨덕턴스가 감소하며 그 이하에서는 증가한다는 참고문헌의 연구결과와 일치하는 것이다 [8]. 무접합 소자의 전달컨덕턴스가 축적모드 소자보다 큰 것은 축적모드의 소자 특성이 좋지 않아 소자의 편차가 있었던 것으로 사료된다.

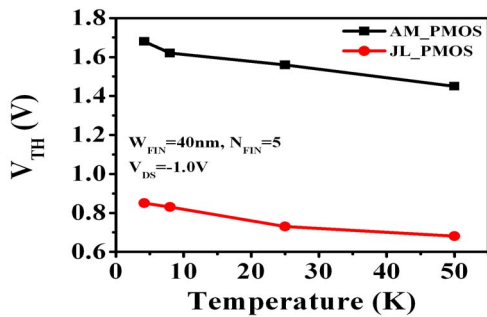


그림 6.  $V_{DS}=-1V$ 에서 온도에 따른 무접합 및 축적모드 소자의 문턱전압 변화  
**Fig. 6** Threshold voltage versus temperature in junctionless and AM transistor at  $V_{DS}=-1V$

온도에 따른 최대 전달컨덕턴스가 증가하는 것을 분석하기 위해 온도에 따른 문턱전압의 변화를 그림 6에 나타내었다. 온도에 따라 유효질량의 변화등도 있지만  $T=100K$ 이하에서는 온도가 증가할수록 불순물의 이온화 증가로 홀의 수가 증가하므로 문턱전압이 감소하게 된다. 제작된 축적모드 소자의 문턱전압이 무접합 소자에 비해 높았으며 온도에 따른 무접합 소자와 축적모드의 문턱전압 변화는 거의 비슷한 것을 알 수 있다.

그림 7은 무접합 소자의 온도에 따른 홀 이동도를 나타낸 것이다. 온도가 증가할수록 홀 이동도가 증가하는 것을 알 수 있다. 참고문헌에 의하면  $T=85-90K$ 에서 이동도가 최대가 되며 그 이상과 이하에서는 이동도는 감소하는 것으로 보고되었다 [9]. 본 연구의 측정결과는 참고 문헌과 일치하는 것이다. 약  $T=100K$  이하에서 이동도가 증가하는 것은 자가 발화 현상 때문에 소자의 온도가 증가하게 되고 이는 이동도와 드레인 전류의 증가로 이어지고 또 소자의 온도 증가로 이어지는 정 순

환 효과에 의한 것으로 알려져 있다[9].

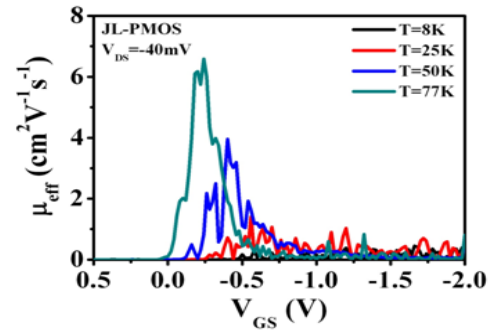


그림 7.  $V_{DS}=-40mV$ 일 때 온도에 따른 무접합 소자의 홀이동도  
**Fig. 7** Hole mobility versus temperature in junctionless transistor at  $V_{DS}=-40mV$

#### IV. 결 론

본 연구에서는 처음으로 p-채널 무접합 트랜지스터의 극저온에서의 전기적 특성을 측정하였다. 극저온에서 무접합 트랜지스터의 드레인 전류 진동 현상이 축적모드 보다 심한 것을 알 수 있었다. 이는 무접합 트랜지스터는 채널이 실리콘 박막의 가운데 형성되므로 전기적 채널 폭이 축적모드 트랜지스터 보다 작기 때문이다. 온도가 증가할수록 드레인 전류가 증가하며 최대 전달 컨덕턴스도 증가하는 것을 알 수 있었다. 이는 온도가 증가할수록 문턱전압이 감소하며 이동도가 증가하는 데서 기인된 것을 알 수 있었다. 소자의 크기가 나노레벨로 축소되면 p-채널 트랜지스터의 드레인 전류 진동 현상이 일어나는 온도가 증가할 것으로 예상되므로 양자현상을 고려한 소자설계에 대한 연구가 필요하다.

#### 감사의 글

이 논문은 2011년도교과과학부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2011-0021826)

## REFERENCES

- [ 1 ] J. T. Park and J. P. Colinge "Mutiple-gate SOI MOSFETs: Device design guidelines," IEEE Trans. Electron Devices, vol. 49, no.12, pp2222-2229, 2002.
- [ 2 ] J. P. Colinge, C. W. Lee, A. Afzalian, N. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junction," Nature Nano- technology, vol. 5, no.3, pp. 225-229, 2010.
- [ 3 ] C. W. Lee, A. Borne, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi and J. P. Colinge, "High- temperature performance of silicon junctionless MOSFETs," IEEE Trans. Electron Devices, vol. 57, no.3, pp.620-625, 2010.
- [ 4 ] J.P. Colinge, A.J. Quinn, L. Floyd, G. Redmond, J.C. Alderman, W. Xiong, C.R. Cleavelin, T. Schulz, K. Schrufer, G. Knoblinger, and P. Patruno, "Low temperature electron mobility in Trigate SOI MOSFETs," IEEE Electron Device Letter, vol.27, no.2, pp.120-122, 2006.
- [ 5 ] J.P. Colinge, W. Xiong, C.R. Cleavelin, T. Schulz, K. Schrufer, K. Matthew, and P. Patruno, "Room temperature low dimensional effects in Pi-gate SOI MOSFETs," IEEE Electron Device Letter, vol.27, no.9, pp.775-777, 2006.
- [ 6 ] J. T. Park, J.Y. Kim, C.W. Lee, and J.P. Colinge, "Low temperature conductance oscillation in junctionless nanowire transistors," Applied Physics Letters, vol.97, P.172101, 2010.
- [ 7 ] F. Gaensslen, V. Rideout, E. Walker, and J. Walker, "Very small MOSFET's for low temperature operation," IEEE Trans. Electron Devices, vol. 24, no.3, pp.218-229, 1977.
- [ 8 ] M. Souza, M.A. Pavanello, R.D. trevisoli, R.T. Doria, and J.P. Colinge, "Cryogenic operation of junctionless nanowire transistors," IEEE Electron Device Letter, vol.32, no.10, pp.1322-1324, 2011.
- [ 9 ] D.P. Foty, and S.L. Titomber, "Thermal effects in n-channel enhancement MOSFET's operated at cryogenic temperatures," IEEE Trans. Electron Devices, vol. 34, no.1, pp.107-113, 1987.



**이승민(Seung-Min Lee)**

인천대학교 전자공학과 학사 (2004. 03 ~ 2012. 02)  
인천대학교 전자공학과 석사 (2012. 03 ~ 現)  
※관심분야 : 반도체



**박종태(Jong-Tae Park)**

전자공학과 공학석사  
※관심분야 : 반도체