

웨이퍼 레벨 Cu 본딩을 위한 Cu/SiO₂ CMP 공정 연구

이민재¹ · 김사라은경² · 김성동^{1,†}

¹서울과학기술대학교 기계시스템디자인공학과, ²서울과학기술대학교 NID 융합기술대학원

Cu/SiO₂ CMP Process for Wafer Level Cu Bonding

Minjae Lee¹, Sarah Eunkyung Kim² and Sungdong Kim^{1,†}

¹Dept. of Mechanical System Design Eng., Seoul National University of Science and Technology, 232 Gongreung-ro Nowon, Seoul 139-743, Korea

²Graduate School of NID Fusion Technology, Seoul National University of Science and Technology, 232 Gongreung-ro Nowon, Seoul 139-743, Korea

(2013년 6월 18일 접수: 2013년 6월 21일 수정: 2013년 6월 25일 게재확정)

초 록: 본 연구에서는 웨이퍼 레벨 Cu 본딩을 이용한 3D 적층 IC의 개발을 위해 2단계 기계적 화학적 연마법(CMP)을 제안하고 그 결과를 고찰하였다. 다마신(damascene) 공정을 이용한 Cu/SiO₂ 복합 계면에서의 Cu dishing을 최소화하기 위해 Cu CMP 후 SiO₂ CMP를 추가로 시행하였으며, 이를 통해 Cu dishing을 100~200Å까지 낮출 수 있었다. Cu 범프의 표면거칠기동시 개선되었음을 AFM 관찰을 통해 확인하였다. 2단 CMP를 적용하여 진행한 웨이퍼 레벨 Cu 본딩에서는 dishing이나 접합 계면이 관찰되지 않아 2단 CMP 공정이 성공적으로 적용되었음을 확인할 수 있었다.

Abstract: Chemical mechanical polishing (CMP) has become one of the key processes in wafer level stacking technology for 3D stacked IC. In this study, two-step CMP process was proposed to polish Cu/SiO₂ hybrid bonding surface, that is, Cu CMP was followed by SiO₂ CMP to minimize Cu dishing. As a result, Cu dishing was reduced down to 100~200Å after SiO₂ CMP and surface roughness was also improved. The bonding interface showed no noticeable dishing or interface line, implying high bonding strength.

Keywords: Cu CMP, wafer level bonding, Cu bonding, dishing

1. 서 론

화학적 기계적 연마법(Chemical Mechanical Polishing, CMP)은 웨이퍼 표면과 연마패드(polishing pad) 사이의 마찰을 이용하는 기계적인 연마과정에 슬러리(slurry)의 화학작용을 추가하여 연마 효율 및 성능을 향상시키는 공정으로 1960년대 초 실리콘 웨이퍼 제조 과정에서 웨이퍼 표면 평탄화를 위해 개발되었다. 이후 1980년대에 트랜치 절연(trench isolation) 공정에 사용됨으로써 처음으로 반도체 소자 제조 과정 도입되었으며, 최근에는 다마신(damascene) 공정 등에서 표면의 요철 및 불균일도를 제거함으로써 배선 및 금속층에 대한 평탄도를 확보하는 핵심공정으로 자리 잡고 있다.^{1,2)} 특히 최근 많은 연구가 진행되고 있는 3차원 적층 반도체(3D stacked IC) 제조 과

정에서 CMP 공정은 더욱 중요해지고 있는데, 이는 칩 또는 웨이퍼 적층과정에서 본딩면의 평탄도가 결정적인 역할을 하기 때문이다.^{3,4,5)}

3차원 적층 반도체에서 Cu 범프(bump)를 이용하여 본딩 공정을 수행할 때 범프 사이의 공극(air gap)을 채우는 재료로 SiO₂⁶⁾를 사용하는 경우 기존의 다마신 공정과 유사하게 Cu CMP 공정을 거치게 된다. 이 때 중요한 Cu CMP 결과 요소로는 웨이퍼 전체 평탄도의 불균일도(Within Wafer Non-Uniformity, WIWNU)와 Cu dishing, oxide erosion을 들 수 있다. Cu dishing은 Fig. 1에 나타난 것처럼 Cu CMP 과정에서 Cu와 SiO₂의 서로 다른 재료의 물성차이로 인해 removal rate 차이가 발생하게 되어 이로 인해 Cu가 SiO₂보다 더 많이 깎여 나가는 현상을 일컫으며, oxide erosion은 Cu 패턴의 밀도가 높은 경우 SiO₂층을

[†]Corresponding author
E-mail: sdkim@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

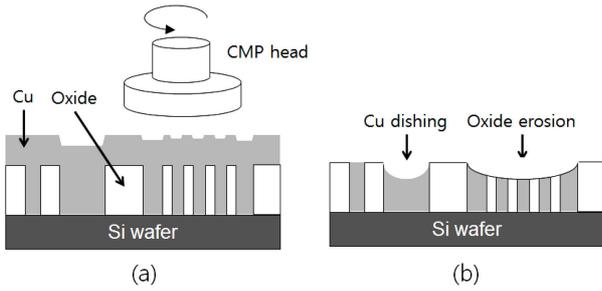


Fig. 1. Schematic diagram of Cu CMP process; (a) Cu overburden (b) Cu dishing and oxide erosion.

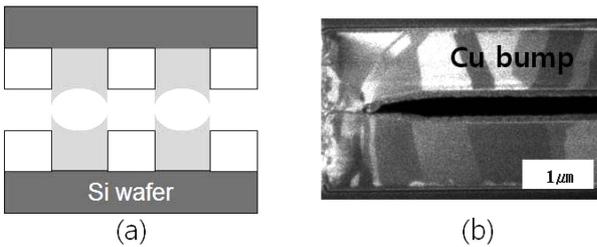


Fig. 2. (a) Wafer level bonding with Cu bump dishing (b) SEM image of bonding interface.

포함하는 패턴영역 전체가 깎여나가는 현상을 말한다. Cu dishing이 발생한 경우 Cu-Cu 본딩 공정 과정에서 범프 표면 전체가 서로 맞닿지 못하고 테두리만이 닿게 되어 범프 테두리에서만 본딩이 이루어지게 된다(Fig. 2 (a)). 이 경우 충분한 Cu-Cu 본딩 강도를 얻을 수가 없어 연삭과 같은 후속공정에서 웨이퍼가 떨어지는 등의 심각한 문제를 야기하게 된다. Figure 2(b)에 실제 Cu dishing이 발생한 상황에서의 본딩 단면을 나타내었다.

Cu dishing을 최소화하기 위해서는 CMP 장비 및 슬러리, 패드와 같은 소모품 그리고 헤드압력, 회전속도 등의 공정조건 뿐만 아니라 선폭, 밀도 등의 소자 디자인도 함께 최적화 되어야 한다. 그러나 많은 경우 이러한 변수들의 교호작용과 CMP 장비의 제약, 맞춤형 슬러리 확보의 어려움 등으로 인해 최적화가 용이하지 않다. 본 연구에서는 이러한 제약을 극복하고자 Cu-SiO₂ 다마신 구조에서 Cu CMP와 SiO₂ CMP의 조합을 통해 Cu dishing을 최소화하는 2단 CMP 공정을 제안하고 이를 웨이퍼 레벨 본딩에 적용하여 가능성을 확인하고자 하였다.

2. 실험방법

Figure 3에 2단 CMP 공정의 개요를 나타내었다. 먼저 8인치 실리콘 웨이퍼에 700 nm 두께의 SiO₂ 열산화층(thermal oxide)을 형성한 후 리소그라피 및 ICP RIE 에칭을 통해 지름 50 µm, 간격 200 µm의 원형 범프 트렌치를 형성하였다. 스퍼터링 공정을 통해 Ti과 Cu를 순차적으로 증착하여 범프 트렌치를 채우는데, 이때 범프 트렌치 깊이가 보다 두껍게 Cu를 증착하여 overburden을 형성하였

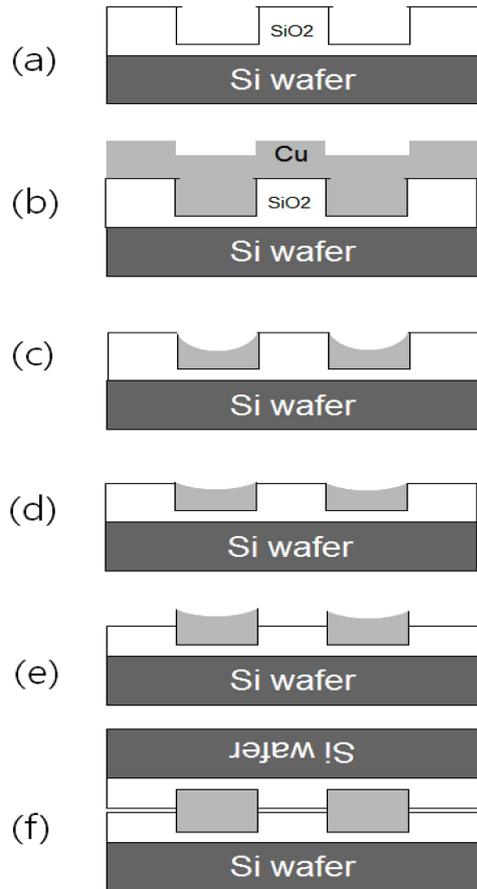


Fig. 3. (a) Cu bump trench formation in SiO₂ layer (b) Cu bump filling by sputtering method (c) Cu CMP (d) SiO₂ CMP (e) oxide recession and wet treatment (f) Cu-Cu thermo-compression bonding.

다(Fig. 3(b)). 이후 Cu CMP 공정을 통해 overburden을 제거하여 평탄화를 진행하였다(Fig. 3(C)). 슬러리 및 CMP 공정 조건은 이전 연구 결과에⁷⁾ 따른 값을 사용하였으며 자세한 공정조건은 Table 1에 정리하였다. HF 희석용액(HF:DI water=4:1000)을 이용하여 Ti buffer 층을 제거한 후 Cu CMP 과정에서 발생한 Cu dishing의 제어를 위해 SiO₂ CMP를 추가로 진행하였으며(Fig. 3(d)), 각 CMP 이후의 Cu dishing 및 oxide erosion의 변화를 3D profiler (Veeco사, Dektak 150) 및 AFM(atomic force microscope, Veeco사, Dimension 3100)을 이용하여 관찰하였다. 2단 CMP 공정이 완료된 후 본딩을 위한 전처리 과정을 진행하게 되며, ① BOE(7:1)를 이용하여 SiO₂를 에칭함으로써 Cu 범프를 주변의 SiO₂ 절연층보다 돌출시키는 oxide recession 공정, ② H₂SO₄ 1: DI water 100 희석용액을 이용하여 Cu bump 표면의 산화물을 제거하는 공정의 순으로 진행하였다(Fig. 3(e)). 범프 제작 및 전처리가 완료된 웨이퍼를 웨이퍼 본더(Suss Microtec, SB8e)를 이용하여 열압착 방식으로 본딩하여(Fig. 3(f)) 2단 CMP 공정의 효과를 살펴보았으며 이때 사용한 본딩 및 열처리 공정조건은 Table 2와 같다.

Table 1. CMP process parameters.

Parameters		Cu CMP	SiO ₂ CMP
Slurry	Type	Cu Slurry (private supply)	oxide slurry (fumed silica)
	Flow Rate	200 ml/min	200 ml/min
Rotation Speed	Platen	73 rpm	63 rpm
	Head	67 rpm	57 rpm
Pressure	Wafer	2.5 psi	3.0 psi
	Retainer Ring	3 psi	3.5 psi
Removal rate		600 nm/min	180 nm/min
Pad		IC1000/SUBA400	IC1000/SUBA400

Table 2. Cu-Cu thermo-compression bonding conditions

Bonding	Pre-treatment	H ₂ SO ₄ :DI water = 1:100
	Forming gas	N ₂ 95%, H ₂ 5%
	Pressure/Vacuum(Pa)	8.9E+5/1.0E-4
	Temperature/Time	400°C/1 hour
Annealing	Temperature/Time	450°C/2 hours
	Annealing gas	N ₂

3. 결과 및 토의

2단 CMP의 공정 단계별 Cu dishing의 변화와 단면 모식도를 Fig. 4에 나타내었다. 실험방법에서 설명한 바와 같이 2단 CMP는 ① Cu CMP, ② Ti 에칭, ③ SiO₂ CMP, ④ oxide recession(BOE 에칭) 순으로 진행되며, 각 단계별로 3D profiler로 측정된 표면형상을 살펴보면 Cu CMP 직후에는 약 800~900Å의 비교적 큰 dishing이 발생한 것을 알 수 있다(Fig. 4(a)). 이는 Cu CMP 과정에서 웨이퍼와 패드사이의 마찰력의 변화를 이용한 종점검출(endpoint detection) 방식으로 CMP 공정시간을 결정할 때 약간의 과연마(over polishing)를 하게 되고, 이 과정에서 dishing이 심해지는 것으로 판단된다. Cu CMP 후 HF 4:DI water 1000 용액으로 Ti buffer층을 에칭하여 제거하면 Fig. 4의 (b)에 나타낸 것과 같이 Ti 층의 두께 감소로

dishing은 600Å 내외로 줄어들게 된다. 열압착 방식을 이용한 Cu-Cu 본딩의 경우 dishing이 100Å 이내로 제어되어야 본딩 신뢰성을 확보할 수 있기 때문에, 본 연구에서는 추가적인 dishing 감소를 위해 SiO₂ CMP를 수행하였다. SiO₂ CMP를 진행할 때 Cu와 SiO₂ 사이의 선택비(selectivity)로 인해 SiO₂층이 우선적으로 제거되면 얇은 Cu 범프 테두리가 주변의 산화층 위로 드러나게 된다. Cu dishing으로 인한 얇은 Cu 범프 테두리는 CMP 공정의 기계적 연마 특성으로 인해 곧 제거되게 되며, 결과적으로 Fig. 4의 (c)의 모식도에 나타낸 것과 같이 Cu dishing은 감소하게 되어 약 100~200Å 사이의 값을 나타내게 된다. 각 공정단계별로 측정된 dishing 값을 Fig. 5에 정리하였으며, 2단 CMP 공정이 진행됨에 따라 dishing이 감소하는 것을 확인할 수 있다.

SiO₂ CMP 직후의 3D profiler를 이용한 표면 형상을 보면(Fig. 4(c)) Cu 범프와 SiO₂ 절연층이 잘 구별되지 않을 정도로 평탄화가 잘 이루어진 것을 알 수 있다. 그러나 Cu 범프와 SiO₂ 절연층의 높이가 같을 경우 열압착 본딩 과정에서 Cu 범프끼리 충분히 맞닿지 않을 수 있기 때문에, 효과적인 본딩을 위해 Cu 범프를 주변의 SiO₂ 층보다 돌출시키는 과정이 필요하게 된다. 이를 oxide recession이라 하며 BOE를 이용하여 SiO₂ 절연층을 일정 두께로 에칭해 낸다. 이때 Cu 범프의 표면거칠기도 함께 감소하는 효과가 나타나는데, 각 공정단계별로 측정된 표면거

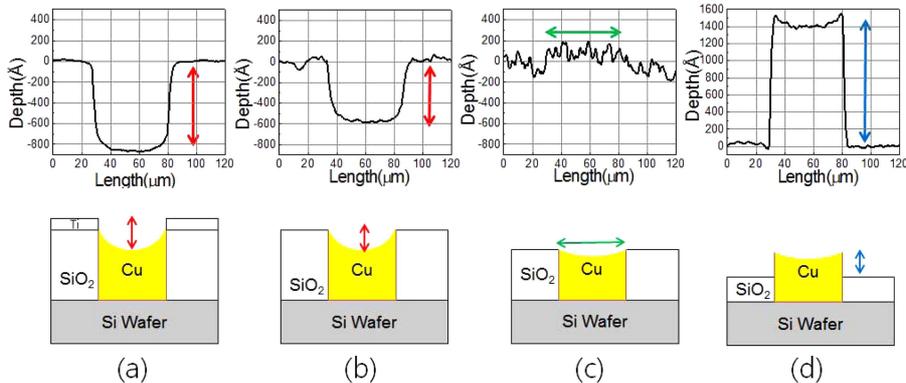


Fig. 4. 3D profiles and schematic diagrams of Cu dishing evolution after (a) Cu CMP (b) Ti buffer layer removal (c) SiO₂ CMP (d) oxide recession.

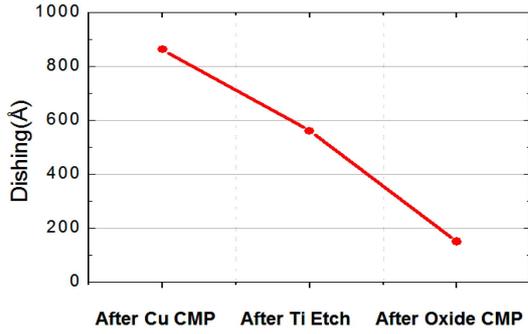


Fig. 5. Cu dishing behavior according to two step CMP process.

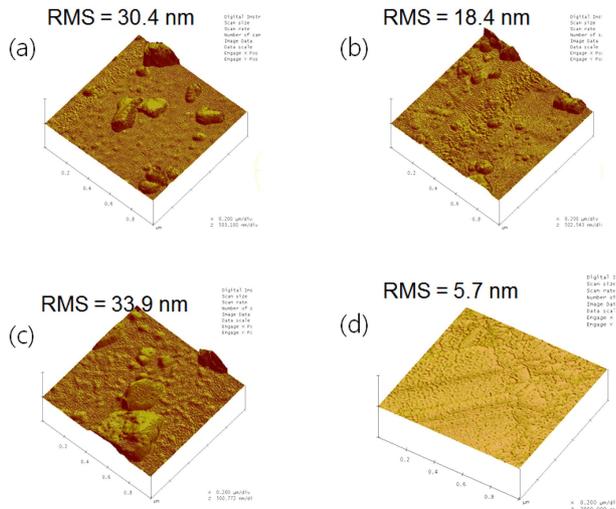


Fig. 6. Surface roughness of Cu bump measured by AFM after (a) Cu CMP (b) Ti etching (c) SiO₂ CMP and (d) oxide recession.

칠기를 Fig. 6에 나타내었다. 첫 Cu CMP 후 30.4 nm 까지 증가한 표면거칠기는 Ti 에칭을 통해 CMP를 경험하지 않은 SiO₂ 층이 드러나면서 18.4 nm 까지 낮아진 후, SiO₂ CMP 과정을 거치면서 다시 33.9 nm 까지 증가하는 것으로 관찰되었다. 일반적인 CMP 공정의 경우 2 nm 이하의 표면거칠기를 나타내는데⁸⁾ 비해 본 연구에서는 다소 높은 표면거칠기가 관찰되었으나, 이후 BOE를 이용한 oxide recession 공정을 통해 표면거칠기를 5.7 nm 까지 낮출 수 있었다. BOE를 이용한 Cu 표면거칠기의 개선은 박종명 등⁹⁾의 연구에 의해서도 보고된 바가 있으며, 표면 거칠기 뿐만 아니라 dishing도 개선되는 것으로 알려졌다.

2단 CMP 공정을 실제 TSV(through silicon via)를 갖는 웨이퍼 본딩 공정¹⁰⁾에 적용하여 그 효과를 살펴보고자 하였다. 제작된 본딩 시편의 단면을 FIB(focused ion beam)으로 관찰한 결과를 Fig. 7에 나타내었다. 그림에서 볼 수 있듯이 Fig. 2의 (b)에서 관찰된 것과 같은 dishing은 발생하지 않은 것을 확인할 수 있으며, 특히 본딩 계면을 가로지르는 결정립 성장도 관찰되고 있어 본딩 계면의 특성이 우수함을 유추할 수 있다. 정량적인 본딩 계면의 특성을 파악하기 위해서는 전기적 특성 및 기계강도 특성

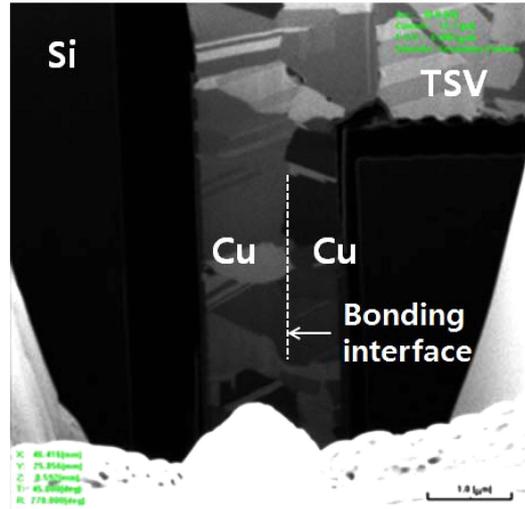


Fig. 7. FIB image of Cu-Cu bonding interface.

분석이 수행되어야 하며, 현재 관련 연구가 진행 중이다.

4. 결 론

3차원 적층 반도체 제조를 위한 웨이퍼 레벨 본딩 과정에서 본딩면의 평탄도를 안정적으로 제어하기 위해 2단 CMP 공정을 제안하였다. 2단 CMP는 ① Cu CMP, ② Ti 에칭, ③ SiO₂ CMP, ④ oxide recession(BOE 에칭) 순으로 진행되며, Cu dishing이 초기 Cu CMP 후 800~900Å에서 SiO₂ CMP 후 100~200Å까지 낮아지는 것을 확인하였다. 아울러 표면거칠기도 Cu CMP 후 30.4 nm에서 oxide recession 후 5.7 nm 까지 낮출 수 있었으며, 본딩 계면 특성도 우수한 것으로 관찰되었다.

감사의 글

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

참고문헌

- Zantye, Parshuram B., Ashok Kumar, and A. K. Sikder. "Chemical mechanical planarization for microelectronics applications", *Materials Science and Engineering Reports* 45(3) 89 (2004).
- Yair Ein-Eli, and David Starosvetsky, "Review on copper chemical-mechanical polishing (CMP) and post-CMP cleaning in ultra large system integrated (ULSI)-An electrochemical perspective", *Electrochimica Acta*, 52 1825 (2007).
- Stengl, R., T. Tan, and U. Gsele. "A model for the silicon wafer bonding process", *Japanese Journal of Applied Physics*, 28(1), 1735 (1989).
- Gueguen, P., Di Cioccio, L., Gergaud, P., Rivoire, M., Scevola, D., Zussy, M., Charveta A, Ballya L, Lafonda D and

- Clavelier, L. "Copper Direct-Bonding Characterization and Its Interests for 3D Integration", *Journal of The Electrochemical Society*, 156(10), H772 (2009).
5. Enquist, P. "Scalability and Low Cost of Ownership Advantages of Direct Bond Interconnect (DBI) as Drivers for Volume Commercialization of 3-D Integration Architectures and Applications", *MRS Proceedings*, 1112(33) (2009).
 6. S. Kang, J. Lee, E. Kim, N. Lim, S. Kim, S. Kim and S. E. Kim, "Fabrication and Challenges of Cu-to-Cu Wafer Bonding", *J. Microelectron. Packag. Soc.*, 19(2), 29 (2012).
 7. E. Kim, M. Lee, S. Kim and S. E. Kim, "Ti/Cu CMP process for wafer level 3D integration", *J. Microelectron. Packag. Soc.*, 19(3), 37 (2012).
 8. M. L. Peterson, R. J. Small, T. Truong and J. Y. Lee, "Challenges of Electroplated Copper Film and Device Characteristics for Copper Slurry Design", *Electrochemical Society Proceedings*, 99(37), 115 (2000).
 9. J. Park, Y. Kim, S. Kim, J. Kim and Y. Park, "Wet Etching Characteristics of Cu Surface for Cu-Cu Pattern Direct Bonds", *J. Microelectron. Packag. Soc.*, 19(1), 39 (2012).
 10. Y. H. Cho, S. E. Kim and S. Kim, "Wafer Level Bonding Technology for 3D Stacked IC", *J. Microelectron. Packag. Soc.*, 20(1), 7 (2013).