

논문 2013-50-7-19

Bump 회로와 인접픽셀 기반의 이미지 신호 Edge Detector

(Image Edge Detector Based on a Bump Circuit and the Neighbor Pixels)

오 광 석*, 이 상 진*, 조 경 록**

(Kwang-Seok Oh, Sang-Jin Lee, and Kyoungrok Cho[Ⓞ])

요 약

본 논문에서는 bump 회로를 이용한 하드웨어 기반의 윤곽선 검출 회로를 제안한다. 하나의 픽셀은 빛을 전기적인 신호로 변환하는 active pixel sensor (APS)와 주변 픽셀의 밝기 차이를 비교하는 bump회로로 구성된다. 제안하는 회로는 64x64의 이미지를 대상으로하며, 각 열(column)마다 비교기를 공유한다. 비교기는 외부에서 인가되는 기준전압을 통해 최종적으로 대상 픽셀의 윤곽선 여부를 판별한다. 또한 기존의 4개 혹은 그 이상의 픽셀 데이터를 비교하는 윤곽선 검출 알고리즘을 상대적으로 간소화하여 대상픽셀을 포함하여 3개의 픽셀만으로 윤곽선 검출을 가능토록 제안하였다. 따라서 하나의 픽셀에 비교적 적은 수의 트랜지스터로 구성하였다. 따라서 제한적인 픽셀 크기에서 fill factor를 충분히 확보함으로써 수용 가능한 조도의 범위를 확장하였고, 기준전압을 외부에서 입력 받기 때문에 윤곽선 레벨을 조절 할 수 있다. Bump 회로기반의 윤곽선 검출 회로는 0.18um CMOS 공정에서 설계되었으며, 1.8V의 공급전압에서 픽셀 당 0.9uW의 전력 소모율, 34%의 fill factor를 갖는다. 이는 기존회로대비 전력 소모율을 90% 개선하였고, 기존 회로에 비하여 면적은 약 18.7%, fill factor는 약 16%를 더 확보하였다.

Abstract

This paper presents a hardware edge detector of image signal at pixel level of CMOS image sensor (CIS). The circuit detects edges of an image based on a bump circuit combining with the pixels. The APS converts light into electrical signals and the bump circuit compares the brightness between the target pixel and its neighbor pixels. Each column on CIS 64 by 64 pixels array shares a comparator. The comparator decides a peak level of the target pixel comparing with a reference voltage. The proposed edge detector is implemented using 0.18um CMOS technology. The circuit shows higher fill factor 34% and power dissipation by 0.9uW per pixel at 1.8V supply.

Keywords : bump circuit, edge detection, image sensor

I. 서 론

이미지의 윤곽선 검출(edge detection)은 일반적으로 이미지를 보정하거나, 특징을 부각시키기 위한 이미지

전처리(pre-processing) 과정에서 사용된다. 이미지에서 윤곽선은 주변픽셀 밝기와 비교하였을 때 급격히 변하는 지점, 즉 밝기의 불연속이 일어나는 지점으로 정의된다. 따라서 대부분의 윤곽선 검출 알고리즘에서는 대상픽셀과 주변픽셀과의 밝기차이를 비교하는 방법을 사용한다. 윤곽선 검출 알고리즘에는 Sobel, Prewitt, Roberts, Canny 등의 여러 가지 마스킹을 통한 기법이 존재한다. 하드웨어 기반의 윤곽선 검출은 프로세서 기반의 소프트웨어나 별도의 DSP(digital signal processor)가 요구된다^[1~6].

CMOS image sensor(CIS)의 일종인 active pixel

* 학생회원, ** 정회원, 충북대학교 전자정보대학
(College of Electrical and Computer Engineering,
Chungbuk National University)

Ⓞ Corresponding Author(E-mail: krcho@cbnu.ac.kr)

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임
(No. 2011-0015702).

접수일자: 2012년10월5일, 수정완료일: 2013년6월26일

sensor(APS)는 구조가 간단하여, 비교적 적은 회로로 구성할 수 있는 장점이 있다. 하지만 픽셀의 아날로그 신호를 디지털로 변환하기 위한 analog-to-digital (ADC)를 요구하기 때문에 픽셀 어레이와는 별도로 많은 실리콘 면적을 사용해야 하는 단점이 있다. 또한 별도의 영상처리를 위하여 픽셀에 회로를 추가할 경우, 단위 픽셀 당 포토다이오드(photodiode)의 면적인 fill factor가 낮아져 센서의 광학적 성능을 저하시키는 요인이 된다. Wilson은 하드웨어 기반의 윤곽선 검출을 위한 VLSI 구조를 제안하였다. 이 구조는 윤곽선 검출을 위해 저항 네트워크(resistive network)를 이용하기 때문에 비교적 높은 동작 전압과, 큰 픽셀의 크기를 갖는 단점이 있다^[7]. Yin은 플로팅 게이트 제거기법을 사용하여 매우 높은 frame rate를 갖는 하드웨어 기반의 윤곽선 검출기를 구현하였다. 비교적 간단한 4T-APS 구조를 사용하였으나, 픽셀의 크기가 크고 fill factor가 낮은 단점이 있다^[8].

본 논문에서는 하드웨어 기반의 윤곽선 검출을 위하여, 아날로그 상관기(analog correlator)인 bump 회로 기반의 높은 fill factor를 가지는 픽셀 구조 및 윤곽선 검출 시스템을 제안한다. 그림 1은 하드웨어 기반의 윤곽선 검출 과정을 보여준다. 제안하는 구조는 윤곽선 검출에 필요한 시간과 전력 소비를 줄이기 위해 기존의 윤곽선 검출 알고리즘을 간소화 하였고, 비교적 적은수의 트랜지스터를 사용하여 fill factor를 확보하였다.

본 논문의 II장에서는 기존의 윤곽선 검출 알고리즘과 제안하는 윤곽선 검출 알고리즘에 대하여 알아보고,

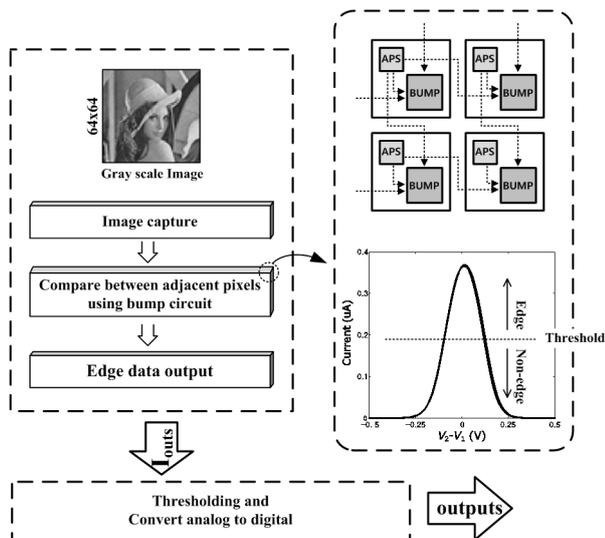


그림 1. 제안하는 윤곽선 검출 과정
Fig. 1. Proposed edge detection processing.

III장에서는 제안하는 하드웨어 윤곽선 검출 회로와 동작에 대하여 알아본다. IV장에서는 실험결과를 제시하고 기존의 하드웨어 기반의 윤곽선 검출 결과와 제안하는 회로의 검출 결과를 비교한다. 마지막으로 V장에서 결론을 맺는다.

II. 윤곽선 검출 알고리즘

1. 기존의 윤곽선 검출

윤곽선(edge)이란 물체의 외각을 나타내는 선으로 정의된다. 즉, 이미지의 농담과 색의 급격한 변화가 있는 부분을 윤곽선이라 할 수 있다. 윤곽선은 농담치가 급격히 변하는 부분이기 때문에 함수의 변화분을 취하는 미분 연산이 윤곽선 검출에 사용될 수 있다.

농담 분포를 나타낸 1차 미분값(gradient)은 크기와 방향을 가진 벡터량 $G(x,y)=(f_x, f_y)$ 로서 표현된다. 여기에서 f_x 는 x방향의 미분, f_y 는 y방향의 미분을 나타내며 f_x, f_y 의 이미지는 다음과 같이 나타내어진다^[9].

$$x \text{ 방향의 미분 } f_x=f(x+1,y)-f(x,y) \tag{1}$$

$$y \text{ 방향의 미분 } f_y=f(x,y+1)-f(x,y) \tag{2}$$

즉, 수평, 수직방향으로의 미분은 어느 한 점 (F(X, Y))을 기준으로 할 때 중심 픽셀의 상하좌우에 해당하는 픽셀들의 차이값을 구하는 관계로 얻을 수 있다. 비교하는 픽셀의 수가 많아질수록 높은 정확도와 고해상도의 결과물을 얻을 수 있다,

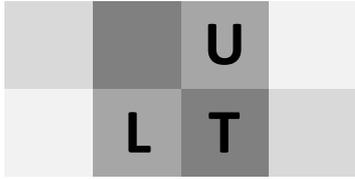
2. 제안하는 윤곽선 검출 알고리즘

대부분의 윤곽선 검출 알고리즘은 대상 픽셀을 기준으로 4개 또는 그 이상의 픽셀을 비교한다^[2]. 하지만 단순히 윤곽선 맵(edge map)을 얻거나 고해상도의 이미지를 요구하지 않는 어플리케이션의 경우에는 그 과정을 축소 할 수 있다.

본 논문에서 제안하는 알고리즘은 1차 미분값을 통하여 윤곽선을 추출한다는 점에서는 기존의 알고리즘과 같다. 하지만 대상픽셀과 왼쪽픽셀을 x방향으로 1차 미분한 값과 대상픽셀과 위쪽 픽셀을 y방향으로 1차 미분한 값의 합을 통하여 결과물을 얻는다.

제안하는 알고리즘은 gray scale 이미지를 대상으로 한다. 대상(target) 픽셀을 'T'로 설정했을 때, 대상 픽셀의 위쪽(up) 픽셀을 'U', 왼쪽(left) 픽셀을 'L'로 정의한

다. 제안하는 알고리즘은 식 (3), (4)로 표현 될 수 있다.



$$\text{Edge, 1 if } \left(\frac{|T-U|}{2} + \frac{|T-L|}{2} > \text{Threshold Value} \right) \quad (3)$$

$$\text{Non-Edge, 0 if } \left(\frac{|T-U|}{2} + \frac{|T-L|}{2} \leq \text{Threshold Value} \right) \quad (4)$$

Threshold value는 윤곽선의 검출레벨을 결정하는 값으로써 하드웨어 기반의 윤곽선 검출에서는 비교기의 기준전압이 된다. 한 번의 연산에서 하나의 대상픽셀의 윤곽선을 결정하며, 반복되는 과정을 통해 윤곽선 맵을 생성한다.

III. 하드웨어 기반의 윤곽선 검출회로

본 논문에서 제안하는 하드웨어 기반의 윤곽선 검출 시스템을 그림 2에 나타내었다. 제안하는 윤곽선 검출 알고리즘은 하나의 프로세싱 단위가 T, U, L 세 개의 픽셀의 밝기차이를 계산한다. 따라서 두 라인을 동시에 컨트롤해야 하므로 reset, word 각각의 신호를 디코더를 통하여 두 라인에 순차적으로 동시에 CIS(CMOS image sensor) array에 입력한다.

하나의 픽셀에 대한 bump회로 기반의 윤곽선 검출 회로를 그림 3에 나타내었다. 하나의 픽셀은 APS와 bump 회로로 구성된다. 각 픽셀의 APS는 reset과

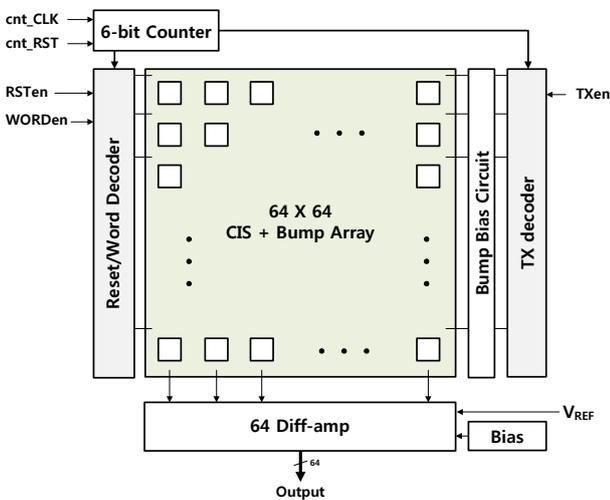


그림 2. 윤곽선 검출 시스템 구조
Fig. 2. Edge detector system architecture.

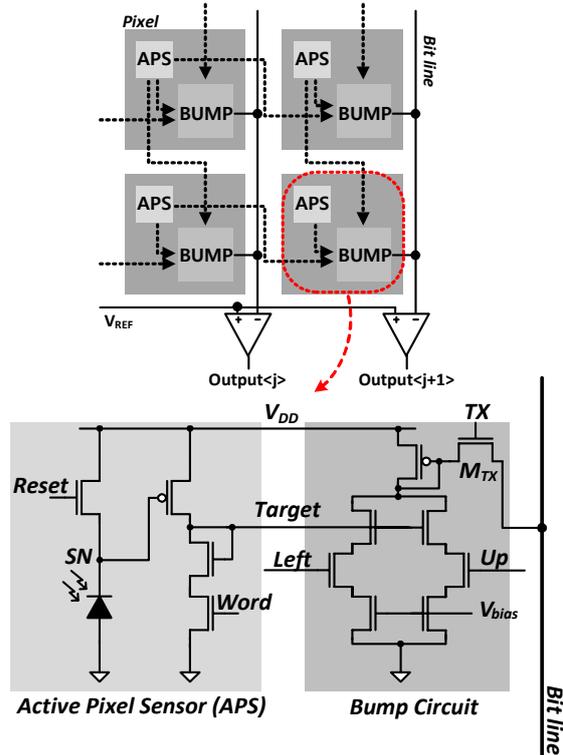


그림 3. 제안하는 윤곽선 검출회로
Fig. 3. Proposed edge detection circuits

word 신호를 통하여 동작이 조절된다. 하나의 bump에는 T, U, L 3개의 APS 출력이 필요하며, bump회로의 출력은 픽셀마다 연결되어 있는 bit line을 통하여 각 열마다 공유하는 비교기로 입력된다. 비교기에 입력되는 신호는 스위치 역할을 하는 M_{TX}를 통해 컨트롤된다. 비교기는 bump에서 얻어진 값을 외부에서 입력되는 기준전압(reference voltage, V_{ref})을 통하여 high 또는 low로 출력한다. 기준전압은 윤곽선 검출 레벨을 조절하며, 기준전압에 따라 윤곽선 검출의 감도가 달라진다.

1. APS (Active Pixel Sensor)

APS는 빛을 전기적인 신호로 바꿔주는 포토다이오드를 포함한 CMOS 이미지 센서이다. 포토다이오드는 빛의 세기에 따라 서로 다른 전압강하를 보인다. 그림 4는 제안된 회로에 사용된 APS의 광전류의 변화에 따른 전압강하의 변화를 보여준다. 초기 reset 전압(V_{reset})이 가해지면 포토다이오드의 SN 노드의 전압 V_{SN}은 reset 전압만큼 충전되며 빛의 세기에 따라서 서서히 방전된다. 하지만 전압강하는 일정 빛의 세기를 넘어서면 일정해진다. 제안한 회로에서 또한 생성된 광전류가 증가함에 따라서 SN 노드의 전압강하폭은 광전류에 따라 점차 증가하나 일정 광전류 이상에서는 그

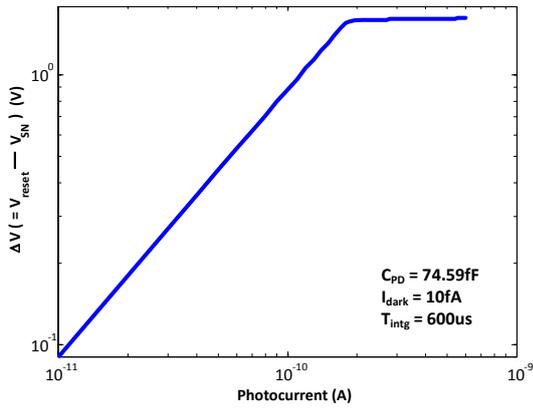


그림 4. 포토다이오드의 전압강하
Fig. 4. Voltage drop of photodiode.

폭이 포화되는 현상을 볼 수 있다. 전압강하폭이 포화되어 더 이상 변화하지 않는 부분에서는 이미지의 밝기의 차이를 구분할 수 없어 대상 픽셀의 윤곽 여부를 판별할 수 없다. 따라서 포토다이오드에 의하여 생성된 광전류가 최대치가 될 때 까지를 회로의 동작범위로 설정하였다. 또한 포토다이오드를 초기화 시키는 reset 주기에 따라서 전체 시스템의 frame rate가 결정된다^[10].

2. Bump 회로

아날로그 비교기(analog comparator)는 두 개의 다른 값을 가지는 아날로그 입력을 받아서 두 입력을 비교한다. 비교 대상이 되는 아날로그 입력과 기준이 되는 기준 입력을 비교하여 기준 입력 값보다 크면 high, 작으면 low의 값을 출력한다. 아날로그 비교기의 구현 방법에는 여러 가지가 있는데, Delbruck이 제안한 bump 회로는 아날로그 비교기 중 하나이다. 그림 5는 bump 회로와 그 출력 특성을 나타낸다^[11].

Bump 회로가 기존의 아날로그 비교기와 같이 두 입력값을 비교한다는 점에서는 같지만 출력값에 있어서는 일반 비교기와는 다른 형태의 결과값을 갖는다. Bump

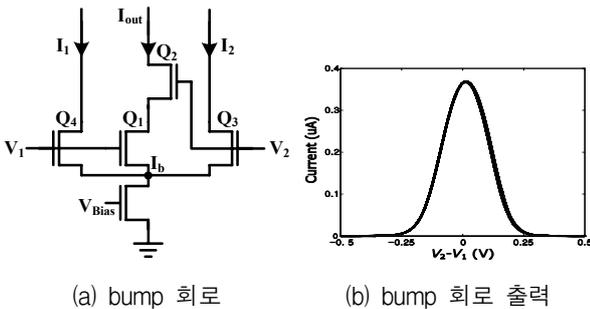


그림 5. 기본 bump 회로
Fig. 5. Bump circuit.

회로는 그림 5(a)와 같이 간단한 전류 상관기(current correlator)를 만들어 구성한다. Bump회로의 출력은 그림 5(b)와 같이 입력값의 차이 $\Delta V (V_2-V_1)$ 가 가장 작을 때 최대값을 갖는 가우시안(gaussian) 분포 특성을 보인다. 양 측단의 입력에 의하여 생성된 전류 I_1 과 I_2 는 서로 대칭적인 차동쌍을 통하여 Q_1, Q_2 에 인가되고, 그 차이가 I_{out} 으로 출력된다. 만약 V_2 의 전압이 V_1 에 비하여 상당히 크다면, Q_2 는 완전히 ON되지 못하여 전류를 충분히 흘리지 못한다. 따라서 ΔV 가 크면 $I_{out}=0$ 에 가까운 값을 갖으며, $\Delta V=0$ 에서 I_{out} 은 최대값이 된다.

I_1 과 I_2 에 흐를 수 있는 최대 전류량의 합은 I_b 와 같으며, I_b 는 V_{bias} 에 의하여 조절 된다. I_1, I_2 와 I_{out} 은 다음과 같이 정의된다.

$$I_1 = \frac{I_b}{1 + e^{-K\Delta V}} \tag{5}$$

$$I_{out} = I_b \frac{S}{4} \operatorname{sech}^2\left(\frac{K\Delta V}{2}\right) \tag{6}$$

$$= \frac{I_b}{\frac{4}{S} \cosh^2 \frac{K\Delta V}{2}}$$

3. 제안하는 윤곽선 검출 회로의 동작

회로의 동작을 위한 각 신호의 타이밍을 그림 6에 나타내었다.

본 논문에서 제안한 윤곽선 검출 알고리즘은 대상픽셀(T), 위쪽(U), 왼쪽픽셀(L)이 하나의 프로세싱 단위가

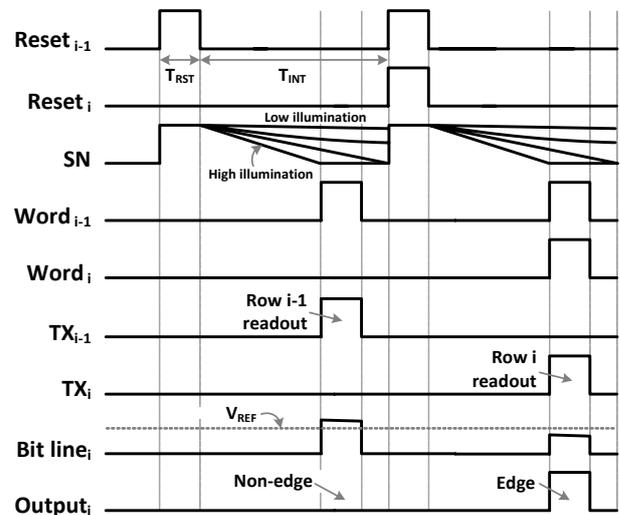


그림 6. 회로의 타이밍
Fig. 6. Timing diagram of proposed circuits.

되므로 한 번에 두 개의 워드라인을 활성화 시켜야한다. 따라서 Reset과 Word 신호가 디코더를 통하여 순차적으로 두 워드라인에 동시에 입력된다. APS는 동작 초기에 Reset 신호가 high로 유지된다. 그림 3의 회로에서 Reset 전압은 SN노드가 충분히 $V_{DD}-V_{TH}$ 만큼 충전될 수 있는 시간만큼 인가된다. 입사하는 빛에 의해서 포토다이오드 내부에 광전류가 생성된다. 이때에 Reset 신호는 low로 바뀌고, V_{SN} 은 $V_{DD}-V_{TH}$ 부터 서서히 전압강하를 시작한다. 전압강하 영역에서 각각의 빛의 세기에 대하여 충분히 구분 가능한 범위 내에서 Word 신호의 인가 시기가 결정된다.

그림 3의 SN 노드는 T_{INT} 동안 integration time을 갖는다고 정의하고, Reset의 신호의 주기는 T_{RST} 로 정의하고, 전체 CIS array의 행의 개수를 N이라고 정의한다면, 하나의 픽셀을 처리하는데 $T_{INT}+T_{RST}$ 의 시간이 소요되고, 하나의 라인이 동시에 처리되므로 1개 프레임을 처리하는데 약 $(T_{INT}+T_{RST}) * N$ 의 시간이 소요된다.

Word 신호가 인가됨에 따라서 APS의 출력은 bump 회로로 전달된다. Bump 회로는 대상픽셀(T), 왼쪽픽셀(L), 그리고 위쪽픽셀(U)의 출력 전압을 통해 두 개의 전류 경로(current path)의 전류 합을 얻는다. 최종 출력단의 비교기로 전달 된 Bump 회로의 출력 전압은 외부에서 입력된 기준전압에 의하여 high 또는 low로 나타나어 최종적으로 윤곽선 맵을 생성한다.

그림 7은 APS의 동작범위에 의한 bump의 특성을 알아보기 위해 대상 픽셀의 값을 고정시키고, 하나의 픽셀을 APS의 출력 범위 내에서 변화시켰을 때의 결과이다. 각각의 APS 출력 전압을 각각 V_T , V_U , V_L 이

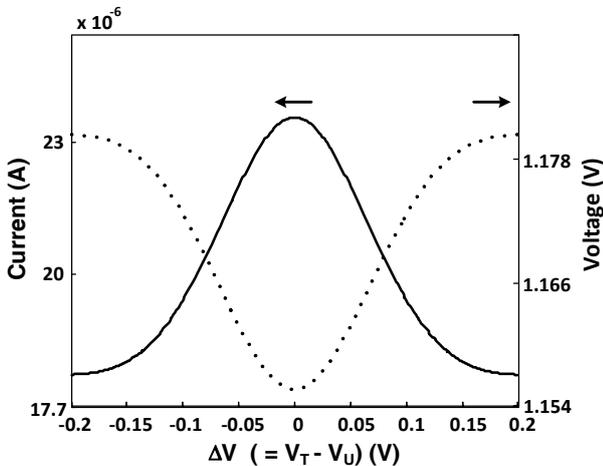


그림 7. APS 동작범위에 의한 bump의 출력
Fig. 7. Output of bump circuit by dynamic range of APS.

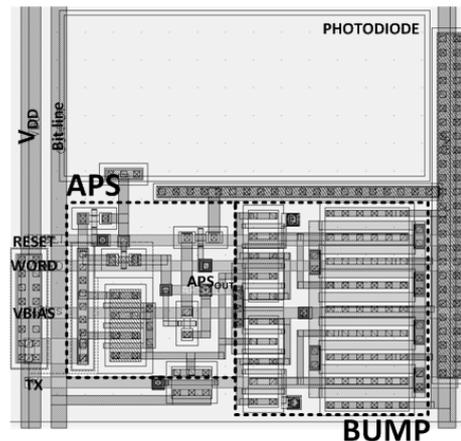
라 할 때, $V_{TU}=V_T-V_U$, $V_{TL}=V_T-V_L$ 을 나타낸다. Bump 회로를 통해 전류 경로는 하나로 더해지고, $V_{TU} + V_{TL}$ 와 같이 연산되어 출력값을 얻게 된다.

IV. 실험 결과 및 비교

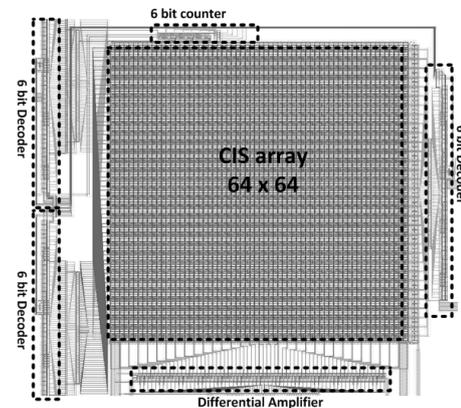
1. 실험 결과

본 논문에서 제안한 윤곽선 검출 회로는 IDEC의 지원을 받아 0.18um CMOS 공정에서 제작되었으며, p-type substrate 위에 n+ diffusion을 하여 포토다이오드를 구현하였다^[12~14]. 그림 8(a)에 APS와 bump를 포함하는 픽셀의 레이아웃을 나타내었다. 픽셀의 크기는 15um x 15um 이고 34%의 fill factor를 갖도록 설계되었다. 64 x 64 크기의 픽셀 어레이를 가지는 전체 시스템의 레이아웃을 그림 8(b)에 나타내었다.

APS의 출력은 bump회로로 인가되고, bump 회로를 통해 식 (3), (4)의 연산을 수행한다. 제안한 윤곽선 검



(a) 픽셀 레이아웃



(b) 시스템 레이아웃

그림 8. 픽셀 레이아웃과 전체 시스템 레이아웃
Fig. 8. Pixel layout and whole system layout.

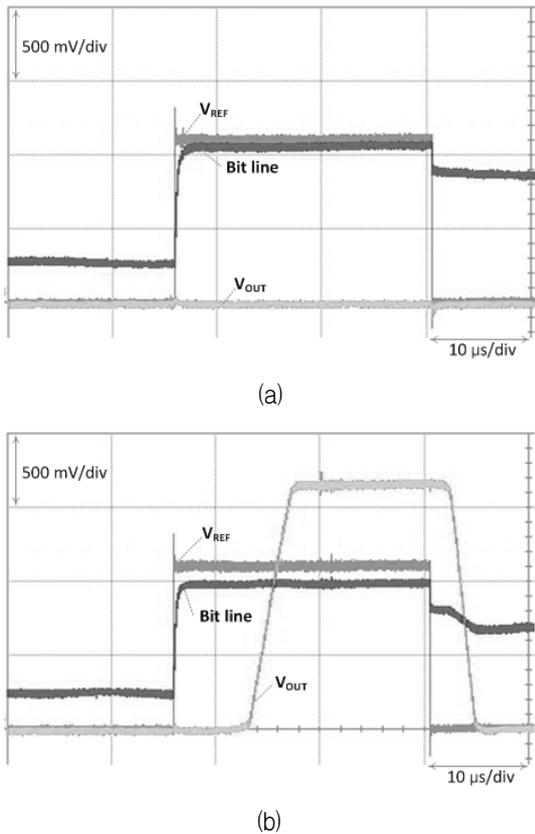


그림 9. 윤곽선 검출 픽셀의 측정결과
 Fig. 9. Measurement waveform of the edge detection pixel.

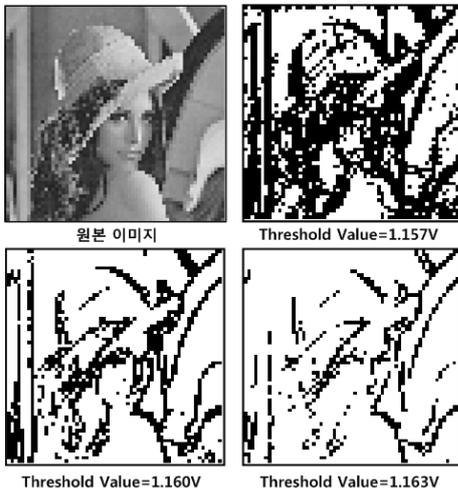


그림 10. 다양한 기준전압에 따른 윤곽선 검출
 Fig. 10. Edge detection in various threshold value.

출 회로의 측정 결과를 그림 9에 나타내었다. 여기서, Bit line은 픽셀의 bump 출력 전압, V_{REF} 는 신호와 비교기로 인가되는 reference 전압, 그리고 V_{OUT} 은 비교기의 출력 전압이다. 그림 9(a)에서는 픽셀에서 얻어지는 신호 Bit line 전압이 V_{REF} 보다 작지 않기 때문에 픽셀이 윤곽선으로 판단되지 않았다. 그림 9(b)에서는 V_{OUT}

표 1. 기존 회로와 제안한 회로와의 비교
 Table 1. Comparison with the previous works.

	제안 된 회로	[7]	[14]
공정	0.18um	2um	0.18um
픽셀 당 Tr. 갯수	15개	21개	13개
픽셀 크기(μm^2)	15x15	118x118	25x25
Fill factor	34%	18%	15.3%
Frame rate	24.8fps	-	600fps
픽셀 전력 소모	0.9uW	6.8uW	1.13uW
공급 전압	1.8V	5V	3.3V

이 high로 얻어져 픽셀이 윤곽선으로 판단된 것을 볼 수 있다.

비교기의 기준전압을 조절함에 따라 다양한 레벨의 윤곽선 검출결과물을 얻을 수 있다. 그림 10은 기준전압의 변화에 따른 윤곽선 검출 결과물이다. 기준전압을 증가시키기에 따라 윤곽선 검출의 민감도가 감소하는 것을 볼 수 있다. 제안한 윤곽선 검출 알고리즘은 비교적 간단하게 윤곽선 검출이 가능하며, 물체의 왼쪽보다는 오른쪽 윤곽선 검출에 유리한 특성을 보인다.

제안하는 회로는 1.8 VDD를 사용하였으며, 픽셀 당 0.9 uW의 전력을 소모한다. 기존에 연구되었던 하드웨어 기반의 윤곽선 검출과 제안한 회로와의 비교를 표 1에 나타내었다. 제안한 회로는 윤곽선 검출 알고리즘의 간소화를 통해 3T-APS와 비교적 적은 수의 트랜지스터로 각 픽셀을 구성하였다. 따라서 상대적으로 저전력 구동을 가능케 하였으며, 충분한 fill factor를 확보하였다.

V. 결 론

본 논문에서는 기존의 APS와 bump 회로를 이용한 하드웨어 기반의 윤곽선 검출 회로를 제안하였다. 기존의 윤곽선 검출 알고리즘을 간소화하기 위하여 대상픽셀을 포함한 3개의 픽셀로 대상픽셀의 윤곽선 여부를 판별하였다. 각 픽셀은 bump 회로를 통하여 픽셀간의 밝기 차이를 비교하고, 비교된 출력값은 비교기를 통하여 최종적으로 윤곽선맵을 생성한다. 본 논문에서 제안하는 회로는 비교기의 기준전압을 이용하여 윤곽선 검

출 레벨을 조절할 수 있다. 또한 간소화된 알고리즘을 통하여 제한된 픽셀 내에서 비교적 적은수의 트랜지스터로 구성하여 기존회로대비 면적은 약 18.7%, fill factor는 약 16%를 더 확보하였다.

REFERENCES

- [1] W. Xiao and X. Hui, "An improved canny edge detection algorithm based on predisposal method for image corrupted by gaussian noise," *World Automation Congress (WAC) 2010*, pp. 113-116, Sep. 2010.
- [2] Y. Fan, G. Cui and F. Lei, "Application of Edge Detection Algorithm Based on Morphology in Robot Vision System," *International Conference on Intelligent Human-Machine Systems and Cybernetics 2009*, vol. 1, pp. 304-307, Aug. 2009.
- [3] W. Gao, L. Yang, X. Zhang, B. Zhou and C. Ma, "Based on soft-threshold wavelet de-noising combining with Prewitt operator edge detection algorithm," *2nd International Conference on, Education Technology and Computer (ICETC) 2010*, vol. 5, pp. 155-162, Jun. 2010.
- [4] R. Wang, Y. Xu, Libin and Y. Zhao, "A vision-based road edge detection algorithm," *IEEE Intelligent Vehicle Symposium 2002*, vol. 1, pp. 141-147, Jun. 2002.
- [5] M. Alipoor, Z. Ebrahimi and J. Haddadnia, "A novel logarithmic edge detection algorithm," *Machine Vision and Image Processing (MVIP) 2010*, pp. 1-6, Oct. 2010.
- [6] K. S. Oh, S. J. Lee, and K. Cho, "A hardware edge detector of an image based on a bump circuit and the neighbor pixels," *IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XV*, pp. 18-20, Apr. 2012.
- [7] D. M. Wilson, "An Analog VLSI, Scale Invariant Method for Edge Detection," *Analog Integrated Circuits and Signal Processing*, vol. 23, pp. 211-226, 2000.
- [8] C. Yin, "An Information Sensor with In-Pixel-Processing for Geriatric Nursing," *IEEE Sensors 2011*, pp. 1503-1506, Oct. 2011.
- [9] F. Faghieh, M. Smith, "Combining spatial and scale-space techniques for edge detection to provide a spatially adaptive wavelet-based noise filtering algorithm," *IEEE Trans. Image Processing*, vol. 11, no. 9, pp. 1062-1071, Sep. 2002.
- [10] A. Gamal and H. Eltoukhy, "CMOS image sensors," *IEEE Circuits and Devices Magazine*, vol. 21, no. 3, pp. 6-20, May-Jun. 2005.
- [11] T. Delbruck, "Bump circuits for computing similarity and dissimilarity of analog voltages," *Proc. International Joint Conference on Neural Networks*, vol. 1, pp. 475-479, 1991.
- [12] H. P. Wong, R. T. Chang, E. Crabbe and P. D. Agnello, "CMOS active pixel image sensors fabricated using a 1.8-V, 0.25- μm CMOS technology," *IEEE Trans. Electron Devices*, vol. 45, no. 4, pp. 889-894, Apr. 1998.
- [13] H. S. Wong and A. E. Gamal, "Single chip CMOS imaging systems," *ISSCC Tutorial*, 1999.
- [14] S. Decker, R. McGrath, K. Brehmer and C. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column parallel digital output," *IEEE J. Solid-State Circuits*, vol. 33, pp. 2081-2091, Dec. 1998.

— 저 자 소 개 —



오 광 석(학생회원)
 2011년 충북대학교 정보통신
 공학과 학사 졸업.
 2013년 충북대학교 정보통신
 공학과 석사 졸업.
 2013년 3월~현재 실리콘웍스

<주관심분야 : 윤곽선 검출 시스템 설계, 메모리스
 터-CMOS 회로설계>



이 상 진(학생회원)
 2008년 충북대학교 화학공학과
 학사 졸업.
 2010년 충북대학교 정보통신
 공학과 석사 졸업.
 2010년 3월~현재 충북대학교
 정보통신공학과 박사과정.

<주관심분야 : CMOS image sensor, 메모리스터
 -CMOS 회로설계>



조 경 록(정회원)
 1977년 경북대학교 전자공학과
 학사 졸업.
 1989년 일본 동경대학교 전자공학
 과 석사 졸업.
 1992년 일본 동경대학교 전자공학
 과 박사 졸업.

1979년~1986년 (주)금성사TV연구소 선임연구원.
 1999년~2005년 Oregon State University
 객원교수.
 1992년~현재 충북대학교 전자정보대학 교수.
 2008년~2011년 World Class University
 program (충북대학교) 책임.
 2010년~현재 IDEC 충북대지역센터장
 <주관심분야 : 통신시스템 LSI 설계, 저전력 고속
 회로설계, Platform 기반의 SoC 설계>