

논문 2013-50-7-16

45nm CMOS 공정기술에 최적화된 저전압용 이득-부스팅 증폭기 기반의 1.1V 12b 100MS/s 0.43mm² ADC

(A 1.1V 12b 100MS/s 0.43mm² ADC based on a low-voltage gain-boosting amplifier in a 45nm CMOS technology)

안 태 지*, 박 준 상*, 노 지 현**, 이 문 교**, 나 선 필***, 이 승 훈****

(Tai-Ji An, Jun-Sang Park, Ji-Hyun Roh, Mun-Kyo Lee, Sun-Phil Nah, and Seung-Hoon Lee[Ⓢ])

요 약

본 논문에서는 주로 고속 디지털 통신시스템 응용을 위해 고해상도, 저전력 및 소면적을 동시에 만족하는 45nm CMOS 공정으로 제작된 4단 파이프라인 구조의 12비트 100MS/s ADC를 제안한다. 입력단 SHA 회로에는 높은 입력 주파수를 가진 신호가 인가되어도 12비트 이상의 정확도로 샘플링할 수 있도록 게이트-부트스트래핑 회로가 사용된다. 입력단 SHA 및 MDAC 증폭기는 요구되는 DC 이득 및 높은 신호스윙을 얻기 위해 이득-부스팅 구조의 2단 증폭기를 사용하며, 넓은 대역폭과 안정적인 신호정착을 위해 캐스코드 및 Miller 주파수 보상기법을 선택적으로 적용하였다. 채널길이 변조현상 및 전원전압 변화에 의한 전류 부정합을 최소화하기 위하여 캐스코드 전류 반복기를 사용하며, 소자의 부정합을 최소화하기 위하여 전류 반복기와 증폭기의 단위 넓이를 동일하여 소자를 레이아웃 하였다. 또한, 제안하는 ADC에는 전원전압 및 온도 변화에 덜 민감한 저전력 기준 전류 및 전압 발생기를 온-칩으로 집적하는 동시에 외부에서도 인가할 수 있도록 하여 다양한 시스템에 응용이 가능하도록 하였다. 제안하는 시제품 ADC는 45nm CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.88LSB, 1.46LSB의 값을 가지며, 동적성능은 100MS/s의 동작속도에서 각각 최대 61.0dB의 SNDR과 74.9dB의 SFDR을 보여준다. 시제품 ADC의 면적은 0.43mm² 이며 전력소모는 1.1V 전원전압 및 100MS/s 동작속도에서 29.8mW이다.

Abstract

This work proposes a 12b 100MS/s 45nm CMOS four-step pipeline ADC for high-speed digital communication systems requiring high resolution, low power, and small size. The input SHA employs a gate-bootstrapping circuit to sample wide-band input signals with an accuracy of 12 bits or more. The input SHA and MDACs adopt two-stage op-amps with a gain-boosting technique to achieve the required DC gain and high signal swing range. In addition, cascode and Miller frequency-compensation techniques are selectively used for wide bandwidth and stable signal settling. The cascode current mirror minimizes current mismatch by channel length modulation and supply variation. The finger width of current mirrors and amplifiers is laid out in the same size to reduce device mismatch. The proposed supply- and temperature-insensitive current and voltage references are implemented on chip with optional off-chip reference voltages for various system applications. The prototype ADC in a 45nm CMOS demonstrates the measured DNL and INL within 0.88LSB and 1.46LSB, respectively. The ADC shows a maximum SNDR of 61.0dB and a maximum SFDR of 74.9dB at 100MS/s, respectively. The ADC with an active die area of 0.43mm² consumes 29.8mW at 100MS/s and a 1.1V supply.

Keywords : 고해상도, 저전력, 캐스코드 전류 반복기, 이득-부스팅, 파이프라인 ADC

* 정회원, **** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

** 정회원, 삼성탈레스
(Samsung Thales)

*** 정회원, 국방과학연구소
(Agency for Defense Development)

Ⓢ Corresponding Author(E-mail: hoonlee@sogang.ac.kr)

※ 이 논문은 삼성탈레스 및 삼성전자의 지원과 함께, 2013년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(과제번호 2013R1A1A2004829)과, 미래창조과학부 및 정보통신산업진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음(NIPA-2013-H0301-13-1007).

접수일자: 2013년6월4일, 수정완료일: 2013년6월24일

I. 서 론

최근 가속적인 공정 스케일링에 의해 CMOS 기술은 65nm 및 45nm 공정 등 미세 나노공정기술로 계속 변해가고 있다. 이에 따라 낮은 전원전압을 사용하는 저전압 설계가 매우 중요한 관심사가 되고 있으며, 많은 시스템이 하나의 칩에 집적되는 시스템-온-칩 (system-on-a-chip : SoC) 개발에 대한 연구가 활발하게 진행되고 있는 추세이다. 그중 A/D 변환기 (analog-to-digital converter : ADC)는 다양한 SoC 응용분야에 활용될 수 있는 핵심 아날로그 지적재산 (intellectual property : IP) 중의 하나이며, 특히 고속 디지털 통신망 및 초음파 영상 등의 아날로그 프론트 엔드 (analog front end : AFE)에는 고성능 ADC IP가 필수적으로 요구된다^{[1]-[4]}. 최근 디지털 통신망에서는 처리해야 하는 데이터가 증가함에 따라 효율적인 데이터 처리를 위해 기존의 단일 반송파 (single-carrier) 대신 다중 반송파 (multi-carrier)를 사용하여 신호를 전달한다. 다중 반송파를 사용할 경우 효율적인 데이터 처리를 위해 중간주파수 (intermediate frequency : IF) 대역 신호를 기저대역으로의 다운 변환 없이 직접적으로 처리하여야 하는데, 이를 위해서는 높은 해상도 및 넓은 대역폭을 갖는 ADC가 필수적으로 요구된다. 이러한 고성능 ADC를 사용할 경우 회로의 복잡도를 감소시킬 수 있으며 RF 입력단에서의 주파수 선택도를 향상시켜 원하는 채널의 IF 대역 신호처리를 가능하게 한다^[5]. 특히 고속 디지털 통신망 중 이중 반송파를 이용한 광대역-코드분할 다중접속 (wideband-code division multiple access : W-CDMA) 응용에서는 12비트 이상의 해상도와 65MS/s 이상의 샘플링 속도가 요구된다.

일반적으로 고속 샘플링 주파수를 요구하는 ADC 응용 분야에서는 플래시, 서브라인징, 연속근사방식 (successive-approximation register : SAR) 및 파이프라인 구조 등이 많이 사용되고 있다. 특히 10비트 이상의 고해상도와 수백 MHz의 고속 주파수 조건을 동시에 만족하기 위해서 속도, 전력소모 및 면적을 최적화하는 파이프라인 구조가 많이 적용되고 있으며 최근에는 미세 공정기술의 발달로 SAR 구조가 높은 면적 및 전력 효율을 기반으로 많은 학회 및 저널에 발표되고 있다^{[6]-[7]}. 그러나 SAR 구조는 커패시터 부정합에 의해 성능이 제한되므로, 커패시터 정합성을 위해 큰 단위 커패시터를 사용하게 되므로 해상도가 증가할수록 큰 입력 커패시터를 갖게 된다. 이는 단일 ADC로 동작 시

SAR ADC가 높은 전력 효율성을 갖지만 전체 시스템에서 사용될 시 ADC의 큰 입력 커패시터를 구동할 수 있는 회로가 추가로 필요하므로 전체 시스템 전력소모 및 면적이 증가하게 된다^[8]. 이러한 설계요소에 의해 12비트 이상의 해상도와 100MS/s 수준의 동작신호처리 조건을 만족하면서 전력소모 및 면적을 최적화하는 구조로 파이프라인 구조가 많이 사용되고 있다^{[1]-[4]}.

최근 공정기술의 발달로 낮은 전원전압 기반의 65nm, 45nm CMOS와 같은 초미세 공정을 사용하면서 디지털 회로의 경우 빠른 동작속도 및 저전력 회로를 구현할 수 있지만, 파이프라인 구조와 같은 op-amp 기반의 아날로그 회로는 여러 가지 문제에 직면하고 있다. 특히 파이프라인 구조에서 op-amp는 높은 이득을 필요로 하는데, 높은 이득을 얻기 위해서 트랜지스터를 다단으로 쌓는 방법이 있지만 이는 트랜지스터의 전압 여유를 감소시키며 출력신호의 스윙 범위를 제한한다. 출력신호 범위가 절반으로 줄어들면 열잡음성분을 고려하여 동일한 신호 대 잡음비 (signal-to-noise ratio : SNR) 성능을 얻기 위해서 커패시터의 크기가 4배 커져야 하며, 이는 전력소모의 급격한 증가와 함께 전력 효율을 떨어뜨린다. 최근 국제 유명 저널 및 학회에는 이러한 공정상의 한계를 극복하기 위해 다양한 구조의 회로들이 제안되고 있다. 먼저 낮은 전원전압에서 높은 SNR을 얻기 위해 파이프라인의 첫 번째 단계 range-scaling 기법을 적용하는 방법이 있다. 그러나 이는 필요한 커패시터 수가 증가하여 면적이 증가하거나, 복수의 기준 전압이 필요하여 이를 보정하기 위한 복잡한 회로가 추가적으로 필요한 단점이 있다^{[7],[9]-[10]}. 한편 높은 이득을 얻기 위해 3단 이상의 증폭기를 사용하는 방법이 있지만 복잡한 주파수 보상기법을 필요로 하며 출력단 부하가 증가하여 전력소모가 증가하거나 회로의 안정성이 낮다는 단점이 있다^{[11]-[12]}. 따라서 적은 전력소모로 고해상도 구현을 위해 1단 및 2단 증폭기에 이득-부스팅 (gain-boosting) 구조를 사용하거나 디지털 방식의 보정기법을 적용하는 것이 최근 고속 고해상도 ADC의 설계 추세이다^{[13]-[15]}.

본 논문에서는 12비트의 해상도에서 100MS/s로 동작 하는 저전력, 소면적 ADC를 구현하기 위해 4단 파이프라인 구조를 적용하였고, 이득-부스팅 기법이 적용된 높은 전압이득을 가지는 증폭기를 사용하였으며, 1.1V의 낮은 전원전압 및 미세 나노공정에서의 제약사항을 극복할 수 있는 다양한 기법들을 적용하였다. 제안하는 ADC의 전체 구조 및 각 블록별 기능을 II장에

서 간략히 설명하며, III장에서 제안하는 여러 가지 회로 설계 기법을 요약한다. IV장에서는 제안하는 ADC 시제품 측정 결과를 정리한 후, V장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

제안하는 12비트 100MS/s ADC는 각 단에서 각각 3비트, 4비트, 4비트, 4비트를 결정하는 4단 파이프라인 구조를 가지며, ADC의 전체 구조는 그림 1과 같다.

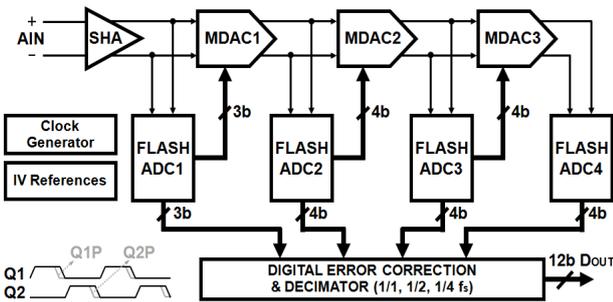


그림 1. 제안하는 12비트 100MS/s 45nm CMOS ADC
Fig. 1. Proposed 12b 100MS/s 45nm CMOS ADC.

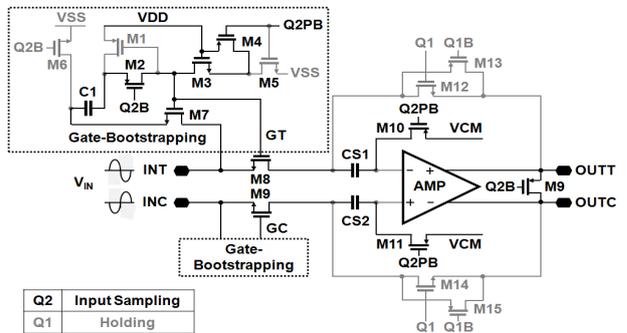
제안하는 ADC의 주요 설계 목표는 45nm CMOS 공정의 제한사항을 고려하여 1.1V의 낮은 전원전압에서 1.0V_{P-P}의 차동 입력신호를 100MHz의 높은 동작속도로 처리하며 12비트 수준의 높은 출력 해상도를 갖는 것이다. 이를 위해 입력단 SHA의 샘플링 스위치에는 Nyquist 입력 주파수 이상의 입력신호에서도 12비트 이상의 선형성을 유지하기 위해 게이트-부트스트래핑 회로를 필요로 하며, 높은 전압이득을 요구하는 SHA 및 MDAC에는 2단 증폭기를 사용하고 이득-부스팅 기법을 추가로 적용하여 짧은 채널 길이에서도 요구되는 수준의 높은 이득을 얻을 수 있도록 하였다. 또한 넓은 대역폭 및 충분한 위상여유 확보를 통한 안정적인 신호정착을 위해 캐스코드 및 Miller 주파수 보상기법을 적용하였다. 한편, 캐스코드 전류 반복기를 사용하여 전류를 공급해주는 트랜지스터와 공급받는 트랜지스터의 노드 전압을 일정하게 유지하여, 전원전압의 변화에 대한 전류 부정합 현상을 최소화하였으며, 추가로 레이아웃 시 전류 반복기와 증폭기의 단위 넓이를 통일하여 소자간 부정합에 의한 오프셋, 전류 부정합을 최소화하였다. 스위치드-커패시터 기반의 회로 동작을 위하여 하나의 외부 기준신호를 이용하여 두개의 중첩되지 않는 클록 Q1, Q2를 생성하는 클록 발생기, 분주기를 포함한 디지털 교정회로 및 기준 전류 및 전압 발

생기 등을 온-칩으로 집적하여 SoC 시스템에 즉각 응용이 가능하게 한다.

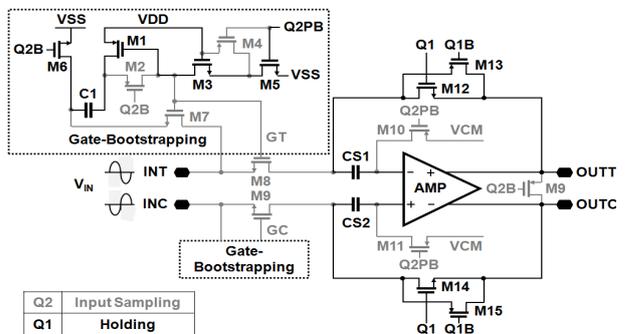
III. 제안하는 ADC의 주요 회로 설계 기법

1. 입력신호 왜곡을 최소화하는 입력단 SHA 설계

전체 ADC의 성능이 12비트 수준의 정확도를 가지기 위해서는 입력단 SHA 회로가 아날로그 입력신호를 왜곡 없이 12비트 이상의 정확도로 처리하여야 한다. 이를 위해서는 높은 선형성을 갖는 입력 샘플링 단과 높은 DC 전압이득을 가지면서 동시에 고속 동작속도를 갖는 증폭기가 요구된다. 입력단 SHA에는 연속적으로 변화하는 신호가 인가되기 때문에 샘플링 시 MOS의 게이트-소스 간의 전압 차에 의해 온-저항이 달라져서 샘플링된 신호가 왜곡이 될 수 있으므로 입력신호에 관계없이 일정한 온-저항 값을 갖도록 하여야 한다. 또한, 요구되는 수준의 정확도를 얻기 위해서는 스위치의 열잡음을 고려하여 상당한 크기의 커패시터를 사용하므로, 신호의 안정적인 정착시간을 고려하여 MOS 스위치의 크기를 결정하여야 한다. 이를 고려하여 제안하는



(a)



(b)

그림 2. 각 클록 위상에 따른 높은 선형성을 갖는 SHA 회로 : (a) 입력 샘플링 동작 및 (b) 홀딩 동작
Fig. 2. Input SHA for high signal linearity at each clock phase : (a) input sampling and (b) holding.

12비트 100MS/s ADC는 그림 2와 같이 1.1V의 낮은 전원전압에서 입력신호의 변화에 독립적인 온-저항을 갖도록 하여 안정적인 신호 샘플링을 할 수 있도록 7개의 트랜지스터 및 1개의 커패시터로 구성된 소면적 게이트-부트스트래핑 회로 및 작은 온-저항을 갖는 샘플링 스위치를 사용하였다^[3, 16].

게이트-부트스트래핑 회로의 동작은 그림 2(b)와 같이 클록 Q1 동안 M1 및 M6 트랜지스터를 통하여 C1 커패시터에 VDD-VSS만큼의 전하를 충전한다. 다음 클록 Q2 동안에는 그림 2(a)와 같이 M7 트랜지스터를 통해 인가된 입력신호와 기존에 C1 커패시터에 충전되어 있던 전압만큼 증가된 전압이 M2 트랜지스터를 통해 입력 샘플링 스위치 M8 및 M9에 인가된다. 이때 M8 및 M9의 소스 노드의 전압은 VIN이 되며 게이트 전압은 VDD-VSS+VIN이 되어, 입력신호에 관계없이 게이트-소스 전압은 VDD-VSS가 되므로 입력신호에 독립적인 온-저항을 갖는다.

제안하는 SHA 회로는 12비트 이상의 해상도를 얻기 위해 이득-부스팅 구조가 적용된 2단 증폭기를 사용하여 80dB 수준의 높은 전압 이득을 얻었으며, Miller 주파수 보상기법을 사용하여 72도의 안정적인 위상 여유를 만족하도록 설계하였다. 한편, 소면적 저전력 SHA를 구현하기 위해 2개의 커패시터를 사용하는 flip-around 구조를 적용하였다.

2. 미세 나노공정에 최적화된 이득-부스팅 기반의 2단 증폭기 및 전류 부정합 최소화를 위한 캐스코드 전류 반복기

파이프라인 ADC에서 입력단 SHA 및 첫 번째 단의 MDAC은 성능에 가장 큰 제약을 주는 블록으로써 전체 ADC의 성능 향상을 위해 이 회로들의 신호 정착 오류, 비선형성 및 잡음성분 등을 최소화하여야 한다. 제안하는 ADC의 입력단 SHA 및 MDAC에는 신호 정착 오류 및 잡음성분 등을 최소화하고 12비트 수준의 고해상도를 얻기 위해 높은 전압이득과 빠른 동작속도 및 충분한 위상여유를 가지는 고성능 증폭기가 필수적으로 요구된다. 특히 첫 번째 단 MDAC의 경우 신호 정착 오류가 요구되는 해상도의 1/4LSB 이내가 되기 위해서는 약 84dB 이상의 높은 전압이득이 필요하며, 1.1V의 낮은 전원전압에서 1.0V_{P-P}의 신호범위를 적절히 처리해야 한다. 제안하는 ADC는 코너 조건 및 온도, 전원전압의 변화에서도 충분한 신호범위, 높은 전압이득과 동작속도를 만족시키기 위해 그림 3과 같이 이득-부스팅

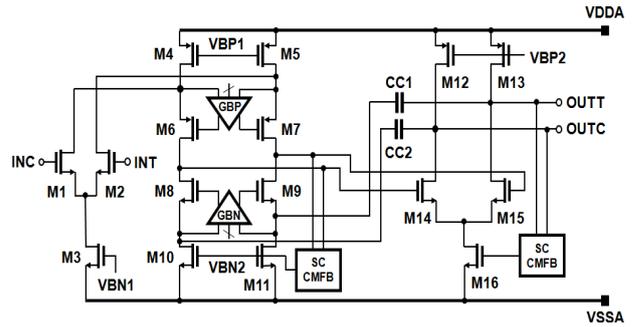


그림 3. MDAC1에 사용된 저전력 이득-부스팅 기반의 2단 증폭기
Fig. 3. Low-power gain-boosted two-stage op-amp in the MDAC1.

기법 기반의 2단 증폭기를 사용하였다. 첫 번째 단은 이득-부스팅 기법이 적용된 folded-cascode 증폭기를 사용하였으며 두 번째 단은 common-source 증폭기를 사용하여 90dB 수준의 높은 전압이득과 1.1V의 낮은 전원전압에서도 1.0V_{P-P}의 신호처리를 위한 충분한 신호 스윙범위를 확보하였다.

한편, 이득-부스팅 증폭기는 그림 4와 같이 높은 전압이득을 얻기 위해 folded-cascode 증폭기를 사용하였으며, 전압 이득은 30dB이고 위상여유는 55도 수준이다. 전체 증폭기의 정착성능을 최적화하기 위해 이득-부스팅 증폭기의 unit gain frequency는 2단 증폭기의 두 번째 pole 부근에 형성되어야 하며^[17], 본 설계에서는 이를 최적화한 결과, 이득-부스팅 증폭기의 전력소모는 2단 증폭기 전력소모의 약 1/6 수준으로 설계되었다. 추가로 NMOS단 이득-부스팅 증폭기의 경우 PMOS 입력의 folded-cascode 증폭기를 사용하였다.

높은 전압이득을 얻기 위하여 다단 증폭기를 사용할 경우 신호의 안정적인 정착을 위해 적절한 주파수 보상기법이 요구되며, 많이 사용되고 있는 주파수 보상기법

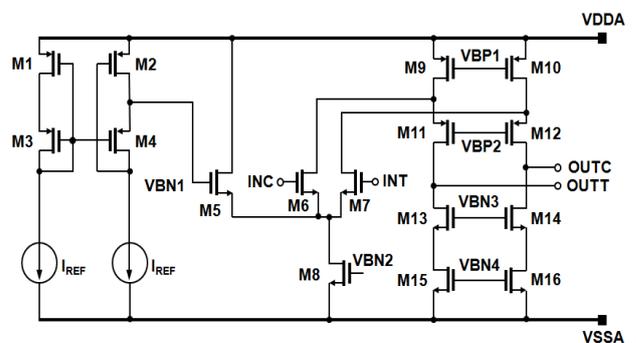


그림 4. PMOS 캐스코드단에 사용된 이득-부스팅 증폭기(GBP)
Fig. 4. Gain-boosted amp for PMOS cascode side (GBP).

으로는 캐스코드 주파수 보상기법과 Miller 주파수 보상기법이 있다. 캐스코드 주파수 보상기법은 동일한 전류를 사용하였을 때 Miller 주파수 보상기법보다 더 높은 위상여유를 가지지만 zero의 위치가 Miller 주파수 보상기법을 사용하였을 때보다 낮은 위치에 존재한다. 따라서 넓은 대역폭이 요구되는 본 ADC의 SHA는 Miller 주파수 보상기법 및 nulling 저항을 사용하여 안정적으로 동작하도록 하였으며, feedback factor가 SHA에 비해 상대적으로 매우 작은 MDAC의 경우에는 캐스코드 주파수 보상기법을 적용하여 안정적인 출력신호를 얻는 동시에 전력을 최소화하도록 하였다^[3].

한편, 최근 수십 nm 단위의 선폭을 가지는 CMOS 공정이 활발하게 사용됨에 따라 채널길이 변조현상이 문제시되고 있으며, 특히 전류 반복기로 구성된 증폭기 바이어스 회로에서 발생하는 짧은 채널효과에 의한 출력 임피던스 변화가 증폭기 성능저하의 주된 요인 중의 하나이다. 제안하는 ADC는 이러한 문제를 해결하기 위해 증폭기를 직접 구동하는 바이어스 회로의 트랜지스터를 증폭기와 동일한 채널길이 및 단위 폭의 정수배가 되도록 소자의 폭을 레이아웃 함으로써 소자 간의 부정합에 의한 오프셋 및 전류 부정합을 최소화하였다. 또한 그림 4와 같이 캐스코드 기반의 전류 반복기를 사용하여 전류를 공급해주는 트랜지스터와 공급 받는 트랜지스터의 게이트와 드레인 전압을 각각 일정하게 유지하여, 공급 전원전압의 변화에 대한 전류 부정합 현상 및 채널길이 변조현상의 영향을 최소화하도록 설계하였다^[15].

3. 고해상도 ADC 구현을 위한 온-칩 기준 전류 및 전압 회로

제안하는 ADC가 100MS/s의 동작속도와 12비트 수준의 해상도를 안정적으로 얻기 위해서는 온도 및 전원 전압의 변화에 독립적인 기준 전류 및 전압회로가 필수적이다. 특히 증폭기에 공급되는 바이어스 전류가 불안정하게 되면 증폭기의 전압이득 및 대역폭에 영향을 주게 되어 전체 ADC의 성능이 제한된다. 그림 5는 12비트 해상도 및 100MS/s의 고속에서도 안정적으로 동작하는 기준 전류 및 전압회로이며, 다양한 SoC에 응용이 가능하도록 온-칩으로 집적하였다. 제안하는 ADC의 기준 전압은 100MS/s의 고속으로 동작하는 스위치를 통하여 MDAC과 FLASH 회로 블록으로 각각 공급된다. 이때 빠른 스위칭 동작으로 인하여 순간적으로 채널 전하가 충전 및 방전을 반복함에 따라 기준 전압 출력 노

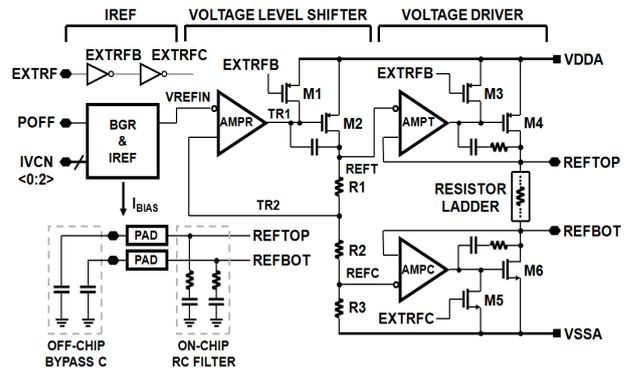


그림 5. 제안하는 ADC의 온-칩 기준 전류 및 전압 회로

Fig. 5. On-chip I/V reference in the proposed ADC.

드에 고주파 스위칭 잡음과 글리치가 발생하여 12비트 수준의 기준 전압을 공급하기가 어렵다. 따라서 제안하는 ADC는 그림 5의 점선으로 표시된 부분과 같이 칩 내부에 90ohm 및 20pF으로 이루어진 온-칩 RC 필터와 칩 외부에 0.1uF 수준의 추가적인 바이패스-커패시터를 동시에 연결함으로써 스위치의 충전 및 방전에 의한 잡음 및 글리치 문제를 해결하여 안정적인 기준 전압을 공급하도록 하였다^[18~19]. 한편, 디지털 external reference (=EXTRF) 신호를 두어 다양한 시스템 응용에 따라 필요시 외부에서 다른 기준 전압 값을 인가할 수 있도록 하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 12비트 100MS/s 시제품 ADC는 45nm CMOS 공정을 사용하여 제작되었으며, 1.1V의 단일 전원전압을 사용하였다. 시제품 ADC의 전체 칩 사진은 그림 6과 같고, 전체 ADC를 구성하는 각 회로 블록의

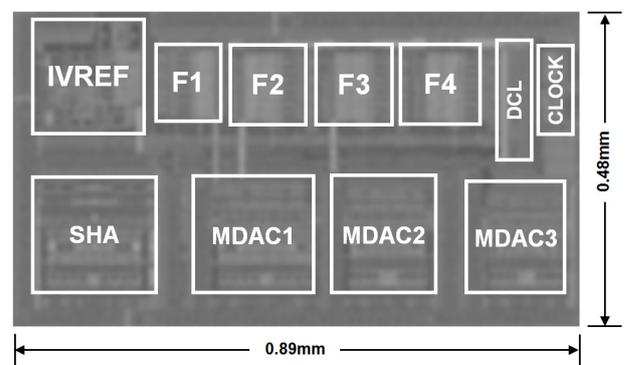


그림 6. 제안하는 12비트 100MS/s 45nm CMOS ADC 시제품 칩 사진 (0.89mm × 0.48mm)

Fig. 6. Die photo of the proposed 12b 100MS/s 45nm CMOS prototype ADC (0.89mm × 0.48mm).

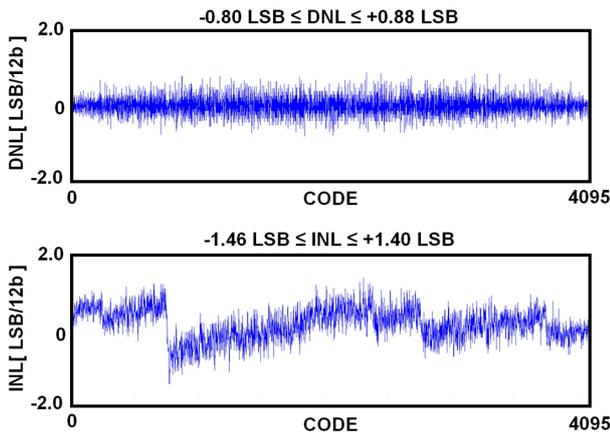


그림 7. 시제품 ADC의 측정된 DNL 및 INL
Fig. 7. Measured DNL and INL of the prototype ADC.

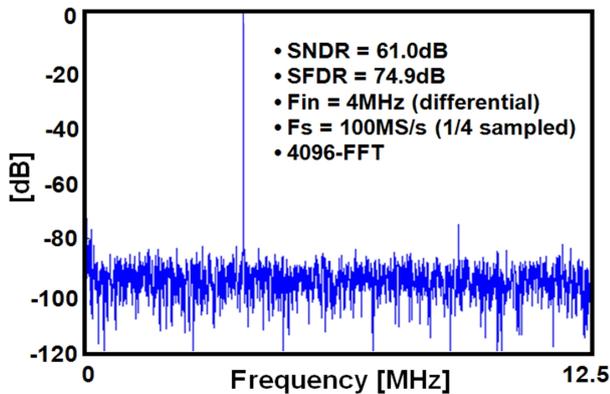


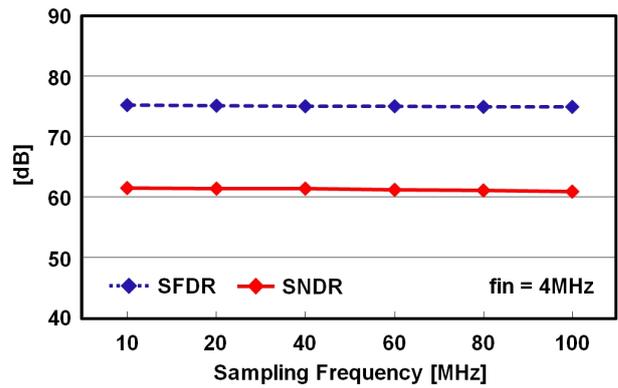
그림 8. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4 fs 다운 샘플)
Fig. 8. Measured FFT spectrum of the proposed ADC (1/4 fs down sampled).

공간 이외의 유휴 공간에는 100pF 수준의 MOS decoupling 커패시터를 온-칩으로 집적하여 각 회로 블록간의 간섭, EMI 문제, 전원전압 및 고속 동작에서의 잡음을 최소화하였다.

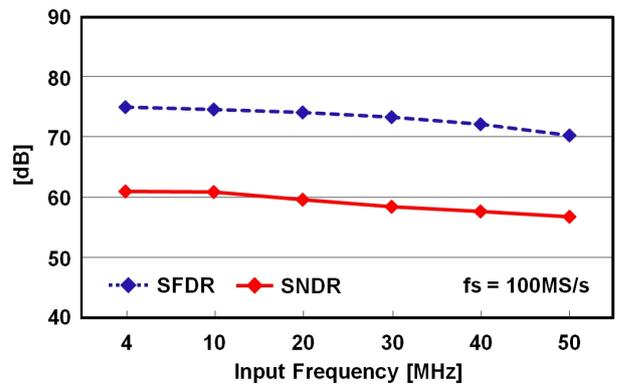
시제품 ADC의 전체 칩 면적은 0.43mm² 이며, 1.1V의 낮은 전원전압 조건에서 100MS/s의 샘플링 속도로 동작할 때 29.8mW의 전력을 소모한다. 시제품 ADC의 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는 그림 7과 같이 12비트 해상도에서 각각 최대 0.88LSB, 1.46LSB 수준을 보인다.

그림 8은 상기의 전원전압 조건 및 100MS/s 샘플링 속도에서 4MHz 입력 주파수가 인가되었을 때의 신호 스펙트럼을 나타낸다. 디지털 출력은 측정 시 고속 동작으로 인해 측정 기관에서 발생하는 잡음의 영향을 최소화하기 위해서 ADC 내부의 온-칩 분주기를 통해 100MS/s의 동작속도를 1/4로 다운 샘플링하여 출력한다.

그림 9는 제안하는 시제품 ADC의 측정된 동적 성능



(a)



(b)

그림 9. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR
Fig. 9. Measured SFDR and SNDR performance of the prototype ADC versus (a) fs and (b) fin.

을 보여준다. 그림 9(a)는 ADC의 동작속도를 10MS/s에서 100MS/s까지 증가시킬 때, 4MHz의 차동 입력 주파수에서 측정된 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)의 성능 변화를 나타낸다. 동작속도가 100MS/s까지 증가하는 동안 측정된 시제품 ADC의 차동 입력에 대한 SNDR과 SFDR은 각각 61.0dB, 74.9dB 이상을 유지한다. 그림 9(b)는 100MS/s의 동작속도에서 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력신호를 Nyquist 주파수까지 증가시킬 때, 측정된 SNDR과 SFDR은 각각 56.7dB, 70.2dB 이상의 수준을 유지한다.

표 1은 제안하는 시제품 ADC의 성능 측정 결과를 요약하였으며, 표 2에는 최근 발표된 12비트 해상도에서 100MS/s 이상의 속도로 동작하는 유사 사양의 ADC와 비교하였다. 전력소모 대비 동적성능을 평가하는 방법인 figure of merits (FoM)은 식(1)과 같이 전력소모와 동작속도 및 effective number of bits (ENOB)로 정의되며, 이때 제안하는 ADC의 FoM은

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	12bit	
Speed	100MSample/s	
Process	Samsung 45nm CMOS	
Supply	1.1V	
Input Range	1.0V _{P-P} (differential)	
SNDR	61.0dB (at fin = 4MHz) / 56.7dB (at fin =50MHz)	
SFDR	74.9dB (at fin = 4MHz) / 70.2dB (at fin = 50MHz)	
DNL	-0.80 / +0.88 LSB	
INL	-1.46 / +1.40 LSB	
Power	Analog	25.3mW
	Digital	4.5mW
	Total	29.8mW
Die Area	0.43mm ² (0.89mm × 0.48mm)	

표 2. 최근 발표된 12비트 100MS/s 수준의 ADC 비교
Table 2. Performance comparison of recently reported 12b 100MS/s ADCs.

	SPEED (MS/s)	SUPPLY (V)	POWER (mW)	AREA (mm ²)	DNL/INL (LSB)	SNDR (dB)	FOM (pJ/conv.)	PROCESS (CMOS)
THIS WORK	100	1.1	29.8	0.43	0.88/1.46	61.0	0.33	45nm
[1]	100	1.0	19.0	0.92	0.44/1.54	60.5	0.22	0.13um
[2]	100	1.2	6.2	0.32	0.60/1.20	63.0	0.05	90nm
[3]	100	1.2	42.0	1.22	0.38/0.96	64.5	0.31	0.13um
[4]	100	1.2	55.0	2.89	1.00/3.40	59.7	0.70	90nm
[20]	110	1.2	13.3	0.22	0.41/1.63	63.0	0.10	65nm
[21]	110	1.8	97.0	0.86	1.20/1.50	64.2	0.67	0.18um
[22]	120	1.2	51.6	0.56	0.30/0.95	63.6	0.35	0.13um
[23]	120	3.0	315.0	1.03	0.60/1.48	61.3	2.77	0.13um

0.33pJ/conv.로 기존에 발표된 유사사양의 ADC와 비교하여 경쟁력 있는 값을 나타낸다. 제안하는 ADC는 1.1V의 낮은 전원전압 및 45nm의 미세 나노공정으로 인한 제약사항을 극복하여 높은 성능을 얻었으며, 동시에 면적 및 전력소모를 최소화하였다. 이에 따라 전력소모 및 면적 면에서 유사 사양의 ADC에 비해 경쟁력이 있음을 확인할 수 있다.

$$F_oM = \frac{\text{Power}}{f_s \times 2^{\text{ENOB}}} \quad (1)$$

V. 결 론

본 논문에서는 고속 디지털 통신망, 초음파 영상 등의 다양한 AFE에 응용이 가능한 저전력의 12비트 100MS/s 45nm CMOS ADC를 제안하며, 다음과 같은 최적의 설계 기법을 적용하여 미세 나노공정에서 발생하는 제약사항을 극복함으로써 요구되는 성능을 만족하였다.

첫째, 제안하는 ADC는 고해상도와 높은 동작속도를 얻으면서 저전력 및 소면적을 동시에 만족하기 위해 각 단에서 3b-4b-4b-4b을 결정하는 4단 파이프라인 구조로 설계하였다. 둘째, 입력단 SHA의 샘플링 스위치에는 Nyquist 입력 주파수 이상의 입력신호에서도 12비트 이상의 선형성을 유지하기 위해 게이트-부트스트래핑 회로를 사용하였다. 셋째, 미세 나노 CMOS 공정에서 출력 임피던스가 낮아지는 제약사항을 극복하기 위해 SHA 및 MDAC의 증폭기에는 이득-부스팅 기법을 적용하여 요구되는 수준의 이득을 얻었으며 넓은 대역폭과 신호의 안정적인 정착을 위하여 캐스코드 및 Miller 주파수 보상기법을 선택적으로 사용하였다. 넷째, 전류를 공급해주는 트랜지스터와 공급받는 트랜지스터의 노드 전압을 일정하게 하여 전원전압의 변화에 대한 전류 부정합 현상을 최소화하였으며, 레이아웃 시 소자의 부정합을 최소화하기 위하여 전류 반복기 및 증폭기의 단위 넓이를 통일하여 레이아웃 하였다.

제안하는 설계기법을 적용하여 구현한 시제품 ADC는 45nm CMOS 공정으로 제작되었으며, 칩 면적은 0.43mm²를 차지한다. 측정된 DNL 및 INL은 각각 최대 0.88LSB, 1.46LSB 수준을 나타내며, 100MS/s의 동작속도에서 4MHz 입력신호를 인가하여 측정된 SNDR 및 SFDR은 각각 61.0dB 및 74.9dB이다. 전력소모는 1.1V 전원전압 및 최대 동작속도인 100MS/s에서 29.8mW이다.

REFERENCES

- [1] B. W. Koo, et al., "A Single Amplifier-Based 12-bit 100MS/s 1V 19mW 0.13um CMOS ADC with Various Power and Area Minimized Circuit Techniques," *IEICE Trans. on Electronics*, vol. E94-C, no. 8, pp. 1282-1288, Aug. 2011.
- [2] C. Jack, B. Lane, and H. S. Lee, "A zero-crossing based 12b 100MS/s pipeline ADC with decision boundary gap estimation calibration," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 237-238, June 2010.
- [3] Y. J. Kim, et al., "A 0.31pJ/conversion-step 12-bit 100MS/s 0.13um CMOS A/D converter for 3G communication system," *IEICE Trans. on Electronics*, vol. E92-C, no. 9, pp. 1194-1200, Sept. 2009.
- [4] T. Ito, et al., "55mW 1.2V 12-bit 100-MSps pipelined ADCs for wireless receivers," in *Proc. Eur. Solid-State Circuits Conf.*, pp. 540-543,

- Sept. 2006.
- [5] A. Loloee, et al., "A 12b 80MSps Pipelined ADC Core with 190mW Consumption from 3V in 0.18um Digital CMOS," in *Proc. European Solid-state Circuits Conference*, pp. 467-470, Sept. 2002.
- [6] Yan Zhu, et al., "A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1111 - 1121, June 2010.
- [7] Chun C. Lee, and Michael P. Flynn, "A SAR-assisted two-stage pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 859 - 869, Apr. 2011.
- [8] Yen-Chung Huang, and Tai-Cheng Lee, "A 0.02-mm² 9-bit 50-MS/s cyclic ADC in 90-nm digital CMOS technology," *IEEE J. Solid-State Circuits*, vol. 45, no. 3, pp. 610-619, Mar. 2010.
- [9] D. Y. Chang et al., "A 1.2V programmable ADC for a multi-mode transceiver in 0.13um CMOS," in *Proc. EuMIC*, pp. 151-154, Oct. 2008.
- [10] C. Myers, et al., "Low voltage high-SNR pipeline data converters," in *Proc. NEWCAS*, pp. 245-248, June 2004.
- [11] Y. J. Kim, et al., "A 9.43-ENOB 160MS/s 1.2V 65nm CMOS ADC based on multi-stage amplifiers," in *Proc. CICC*, pp.271-274, Sept. 2009.
- [12] R. Eschauzier, and J. Huijsing, "*Frequency compensation technique for low-power operational amplifiers*," Kluwer Academic Publisher, pp. 160-166, 1995.
- [13] K. W. Hsuch, et al., "A 1V 11b 200MS/s pipelined ADC with digital background calibration in 65nm CMOS," in *ISSCC Dig. Tech Papers*, pp. 546-547, Feb. 2008.
- [14] S. Devarajan, et al., "A 16-bit, 125MS/s, 385mW, 78.7dB SNR CMOS pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3305-3313, Dec. 2009.
- [15] T. J. An, et al., "10b 150MS/s 0.4mm² 45nm CMOS ADC Based on Process-Insensitive Amplifiers," *Proc. ISCAS*, pp. 361-364, May 2013.
- [16] 이동석, 이명환, 권이기, 이승훈, "3G 통신 시스템 응용을 위한 0.31pJ/conv-step의 13비트 100MS/s 0.13um CMOS A/D 변환기," *대한전자공학회 논문지*, 제46권, SD편, 제3호, pp.75-85, 2009년 3월.
- [17] Mohammad M. Ahmadi, "A New Modeling and Optimization of Gain-Boosted Cascode Amplifier for High-Speed and Low-Voltage Applications," *IEEE Transactions on Circuit and Systems II*, vol. 53, no. 3, pp.169-173, Mar. 2006.
- [18] Y. J. Cho, et al., "An 8b 220MS/s 0.25um CMOS pipeline ADC with on-chip RC-filter based voltage references," in *Proc. Asia-Pacific Advanced System Integrated Circuits conf.*, pp. 90-93, Aug. 2004.
- [19] 한재열, 김영주, 이승훈, "고화질 영상 시스템 응용을 위한 12비트 130MS/s 108mW 1.8mm² 0.18um CMOS A/D 변환기," *대한전자공학회 논문지*, 제 45권, SD편, 제3호, pp.77-85, 2008년 3월.
- [20] R. Wang, et al., "A 12-bit 110MS/s 4-stage Single-Opamp Pipelined SAR ADC with Ratio-Based GEC Technique," in *Proc. European Solid-state Circuits Conference*, pp. 265-268, Sept. 2012.
- [21] T. N. Anderson, et al., "A cost-efficient high-speed 12-bit pipeline ADC in 0.18-um digital CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1506 - 1513, July 2005.
- [22] H. C. Choi, et al., "A 52mW 0.56mm² 1.2V 12b 120MS/s SHA-free dual-channel Nyquist ADC based on mid-code calibration," in *Proc. ISCAS*, pp. 9-12, May 2008.
- [23] S. M. Yoo, et al., "A 3.0V 12b 120 MSample/s CMOS pipeline ADC," in *Proc. ISCAS*, pp. 1023-1026, May 2006.

— 저 자 소 개 —



안 태 지(정회원)
2007년 서울시립대학교 전자전기
컴퓨터공학부 학사.
2007년~2011년 룩센테크놀러지
2011년~현재 서강대학교
전자공학과 석사과정.

<주관심분야 : 고속 고해상도 데이터 변환기
(A/D, D/A) 설계, 파워 IC 설계 등>



박 준 상(정회원)
2012년 서강대학교 전자공학과
학사.
2012년~현재 서강대학교
전자공학과 석사과정.
<주관심분야 : 고속 고해상도 데
이터 변환기(A/D, D/A) 설계, 파
워 IC 설계 등>



노 지 현(정회원)
2012년 연세대학교 전기 및 전자
공학과 석사.
1996년~2000년 삼성전자.
2000년~현재 삼성탈레스.
<주관심분야 : 전자전 시스템>

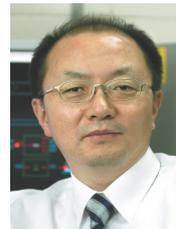


이 문 교(정회원)
2001년 동국대학교 전자공학과
석사.
2009년 동국대학교 전자공학과
박사.
2009년~현재 삼성탈레스.

<주관심분야 : 레이더/전자전 시스템, 영상라디오
미터>



나 선 필(정회원)
1987년 충남대학교 계산통계학과
석사.
1991년~현재 국방과학연구소.
<주관심분야 : 전자전 시스템>



이 승 훈(평생회원)
1984년 서울대학교 전자공학과
학사.
1986년 서울대학교 전자공학과
석사.
1991년 미 Illinois대 (Urbana-
Champaign)공학박사.

1987년~1990년 미 Coordinated Science Lab
(Urbana)연구원.
1990년~1993년 미 Analog Devices 책임연구원.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기
(A/D, D/A)설계 등>