

논문 2013-50-7-14

비균일 100V 급 초접합 트랜치 MOSFET 최적화 설계 연구

(A Study on Optimal Design of 100 V Class Super-junction Trench MOSFET)

노 영 환*

(Young Hwan Lho[©])

요 약

전력 MOSFET(산화물-반도체 전위 효과 트랜지스터)는 BLDC 모터와 전력 모듈 등에 광범위하게 사용하고 있다. 기존 전력 MOSFET 구조는 온-저항과 항복전압 사이에 절충(tradeoff)이 필요하다. 이러한 절충을 하지 않고 최적화를 하기 위해 비균일 초접합 트랜치 MOSFET 를 설계하는데 동일한 항복전압에서 균일 초접합 트랜치 MOSFET보다 낮은 온-저항을 갖도록 한다. 이를 위해 드리프트 영역에서 우수한 전기장 분포를 달성하기 위하여 선형구조의 도핑 프로파일을 제안하고, 단위 셀 설계, 도핑농도의 특성분석, 전위분포를 SILVACO TCAD 2D인 Atlas 소자 소프트웨어를 사용하여 시뮬레이션을 수행하였다. 결과로 100V 급 MOSFET에서 비균일 초접합 트랜치 MOSFET가 균일 초접합 트랜치 MOSFET보다 온-저항에서 우수한 특성을 보여주고 있다.

Abstract

Power MOSFET (metal-oxide semiconductor field-effect transistor) are widely used in power electronics applications, such as BLDC (Brushless Direct Current) motor and power module, etc. For the conventional power MOSFET device structure, there exists a tradeoff relationship between specific on-state resistance and breakdown voltage. In order to overcome the tradeoff relationship, a non-uniform super-junction (SJ) trench MOSFET (TMOSFET) structure for an optimal design is proposed in this paper. It is required that the specific on-resistance of non-uniform SJ TMOSFET is less than that of uniform SJ TMOSFET under the same breakdown voltage. The idea with a linearly graded doping profile is proposed to achieve a much better electric field distribution in the drift region. The structure modelling of a unit cell, the characteristic analyses for doping density, and potential distribution are simulated by using of the SILVACO TCAD 2D device simulator, Atlas. As a result, the non-uniform SJ TMOSFET shows the better performance than the uniform SJ TMOSFET in the specific on-resistance at the class of 100V.

Keywords : MOSFET, Super-junction Trench MOSFET, on-resistance, breakdown voltage

I. 서 론

전력 전자분야에 산업제품들에서 전력을 공급하기 위해서 스위칭 기능을 가지는 전력소자를 필요로 한다. 전력용 MOSFET(산화물-반도체 전위 효과 트랜지스터)는 항복전압(breakdown voltage (BV))을 기준으로

200V 이상의 고 내압에서는 플라나(planar) 형태의 DMOS 구조를 갖고, 이하에서는 트랜치(trench) MOS 구조로 설계된다. 전력 MOSFET 소자기술은 상부 표면과 하부 표면이 소오스(source) 및 드레인(drain) 기능을 수행하는 수직구조(vertical structure)에서 트랜치 게이트 구조와 초접합(super-junction) MOSFET를 합하여 동일한 항복전압을 유지하면서 온-저항(on-resistance)을 낮추는 경향으로 발전하고 있다. 이들 전력 MOSFET 소자의 반도체층은 턴-온(turn-on) 상태에서 드레인과 소오스 사이에 흐르는 드리프트 전류에 대하여 도통 경로를 제공할 뿐만 아니라, 턴-오프

* 정회원, 우송대학교 철도전기·정보통신학부
(School of Railroad Electricity and Information Communication, Woosong University)

© Corresponding Author(E-mail: yhlho@wsu.ac.kr)

접수일자: 2013년1월10일, 수정완료일: 2013년6월21일

(turn-off) 상태에서는 인가되는 역방향 전압에 의해 수직 방향으로 확장되는 공핍영역을 갖는다. 반도체층의 불순물 농도에 의해 턴-온 상태의 온-저항 ($R_{on,sp}$)^[1]이 결정되며, 이의 공핍층 특성에 의하여 전력 MOSFET 소자의 항복전압이 결정된다. 이때 전력 MOSFET 소자의 온-저항과 항복전압을 최적화시키기 위해 제안된 기술이 초접합 기술^[2]이다. 본 논문에서 저 전압 MOS의 경우 채널 영역과 JFET(Junction FET) 영역의 저항을 줄이기 위해 초접합 구조를 접목하고 도핑농도를 변화시킨 비균일 초접합 트랜치 MOSFET를 설계하였다.

그림 1은 트랜치를 형성한 후 P-N 열의 초접합을 만든 초접합 트랜치 MOSFET 구조이다. 드레인 전압이 증가하면 N-드리프트 열과 P 열 사이에 공핍층이 형성되고 전압이 지속적으로 증가되면 전하균형(charge balance)으로 N-드리프트 영역이 공핍층^[3~4]으로 변한다. 이후에 증가되는 전압에 의해서는 N-드리프트 영역의 전기장이 균일하게 분포되어 임계 전기장까지 증가된 후에 항복현상^[4]이 발생된다.

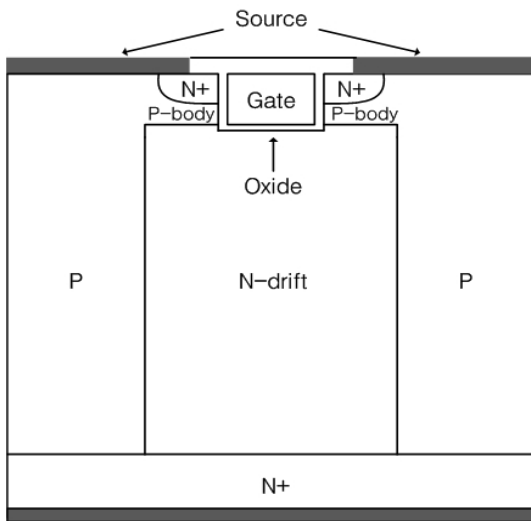


그림 1. 초접합 트랜치 MOSFET 구조
Fig. 1. Structure of SJ trench MOSFET.

II. 초접합 구조 및 설계

1. 초접합 구조

초접합 구조^[5]는 반도체 층의 수직 방향으로 연장되고 일정한 N 형 불순물 영역과 P 형 불순물 영역이 서로 교번하고 접합하여 형성되는데, 불순물 영역의 과잉 전하가 서로 인접하는 불순물 영역의 전하에 의해 균형

을 이루는 전하 보상원리에 기초를 두고 있다. N형 불순물 영역과 P형 불순물 영역의 전하량이 서로 균형을 이루기 위해서는 등식 (2.1)의 관계가 성립된다.

$$N_D \times W_N = N_A \times W_P \tag{2.1}$$

여기서, N_D 과 N_A 는 각각 N형 도전 영역과 P형 도전 영역의 불순물 농도이며, W_N 과 W_P 는 각각 N형 도전영역과 P형 도전 영역의 폭이다. 초접합에서 전압과 전기장의 관계는 등식 (2.2)와 같이 표현된다.

$$V = E_c L_d \tag{2.2}$$

여기서 V 는 외부인가 전압이고 E_c 는 임계전기장(critical electrical field)이며 L_d 는 드리프트 영역의 길이를 나타낸다. 드리프트 영역의 도핑농도에 무관하게 일정한 전기장을 가지므로 planar 구조보다 항복전압을 크게 할 수 있어 온-저항을 줄일 수 있는 구조이다.

그림 2는 비균일 초접합 트랜치 MOSFET 구조를 나타내는데 기본구조는 ETRI에서 기존에 개발한 self align TDMOS 공정^[5~6]을 기반으로 비균일 초접합 트랜치 MOSFET에 대한 pillar의 도핑에 따른 100 V 급 항복전압을 얻기 위해 P 열의 도핑농도를 $2.5 \times 10^{16} / \text{cm}^3$ 부터 $4.0 \times 10^{16} / \text{cm}^3$ 까지 기준하여 N 열의 도핑농도를 변화시키고, 균일경우는 P열과 N열의 도핑농도를 일정하게 한 후 시뮬레이션 결과로 항복전압을 온-저항 값으로 나눈 것을 성능지수(figure of merit)로 설정하여 최대값을 가지는 경우를 최적화로 고려하였다. 즉, 균일 초접합 트랜치 MOSFET 경우에 설계한 항복전압에서 균일한 도핑농도로, 비균일 초접합트랜치 MOSFET 경우에는 동일한 항복전압에서 N 열의 농도를 변화시키면서 온-저항이 최소가 되도록 시뮬레이션을 수행한다. 항복전압 100 V급 구조에서 트랜치 깊이의 변화는 항복전압에 영향을 주지만, 본 논문에서는 기존 최적화된 트랜치 구조^[5~6]를 기반으로 하여 온-저항에 가장 큰 영향을 주는 부분은 N-drift의 도핑농도로 한정하여 동일한 항복전압에서 온-저항의 영향을 분석한다. 그리고, 단위셀의 폭은 $2.4 \mu\text{m}$, 트랜치 폭은 $0.7 \mu\text{m}$, N과 P열의 폭은 각각 $1.2 \mu\text{m}$, 깊이는 $7 \mu\text{m}$ 로 한다. 실리콘에서 항복현상이 일어나는 임계 전기장은 $2.5 \times 10^5 \text{ V/cm}$ 의 값을 갖는다. 이때 120V의 항복전압을 갖기 위하여 최소 $5 \mu\text{m}$ 이 필요함을 등식 (2.2)에서 확인할 수 있다.

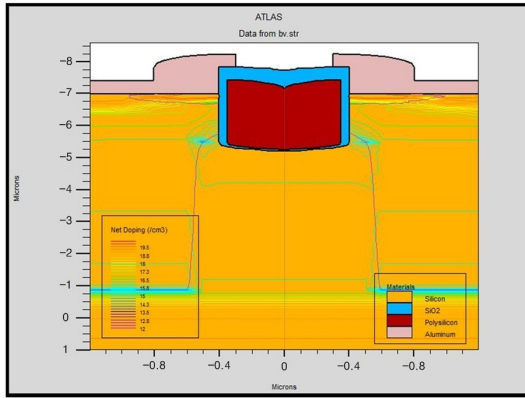


그림 2. 비균일 초접합 트랜치 MOSFET 단위셀 설계
Fig. 2. Design of unit cell for non-uniform SJ trench MOSFET.

2. 수직 초접합 TDMOS 설계

도핑농도(D_N)와 전위 분포(x)의 관계는 등식 (2.3) 과 같이 표현할 수 있다.

$$D_N = C \cdot 10^{B \cdot x} \quad (2.3)$$

여기서 C 는 비례상수이고, B 는 기울기를 나타내는 변수이다. 예를 들어 B 의 기울기를 찾기 위해 N 열의 깊이가 $2 \mu\text{m}$ 일 때 도핑농도는 $1 \times 10^{16} \text{cm}^{-3}$ 이고 $7 \mu\text{m}$ 일 때 도핑농도는 $2 \times 10^{16} \text{cm}^{-3}$ 이므로 등식 (2.3)에 대입하면 등식 (2.4)와 같은 관계식을 얻는다.

$$\log 2 = B \times 5 \times 10^{-4} \quad (2.4)$$

여기서 B 를 구할 수 있다. B 를 구한 후 등식 (2.3)에 대입하면 등식 (2.5)와 같다.

$$D_N = 10^{15.88} \times 10^{\frac{\log 2}{5 \times 10^{-4}} x} \quad (2.5)$$

등식 (2.5)를 이용하면 도핑농도에 대한 전위분포를 확인할 수 있다. 예를 들어, 도핑농도가 $1 \times 10^{16} \text{cm}^{-3}$ 일 때 N 열의 깊이가 $2 \mu\text{m}$ 이고 $2 \times 10^{16} \text{cm}^{-3}$ 일 때 $7 \mu\text{m}$ 임을 그림 3에서 확인할 수 있다.

초접합 트랜치 MOSFET의 경우 대부분이 온-저항은 채널저항과 드리프트 영역에서 발생되는데 초접합 MOSFET의 이상적인 온-저항은 등식 (2.6)과 같다.

$$R_{ON,sp} = \frac{BV}{\epsilon_s \mu_N E_{CU}^2} \left(\frac{W_N + W_P}{2} \right) \quad (2.6)$$

여기서, ϵ_s 는 절연상수, μ_N 는 전자의 이동도, E_{CU} 는 임

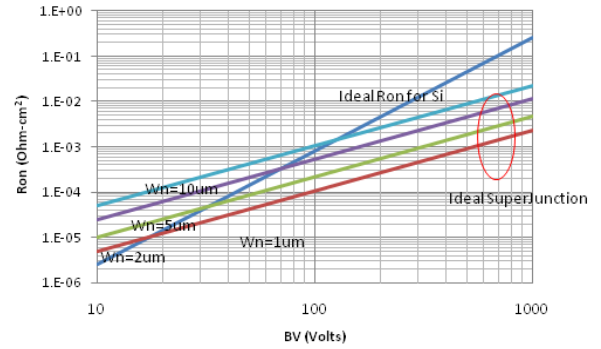


그림 3. 초접합의 이상적인 열의 폭에 따른 sheet 저항^[1]
Fig. 3. Sheet resistance based on ideal pillar width of Super-junction.

계전기장, 도핑농도의 유효성을 무시할 때 항복전압^[1]은 등식 (2.7)와 같다.

$$BV = 4.62 \times 10^4 W_N^{6/7} \quad (2.7)$$

초접합 트랜치 MOSFET 구조의 전체 온-저항^[1]은 주로 채널영역의 온-저항($R_{CH,sp}$)과 드리프트 영역의 온-저항($R_{D,sp}$)의 합으로 등식 (2.8)과 같이 계산된다.

$$R_{T,sp} = R_{CH,sp} + R_{D,sp} \quad (2.8)$$

수직 초접합 트랜치 MOSFET를 설계하는데 있어 P 와 N 열의 폭도 중요한 변수이다. 온-저항은 씨트(sheet) 저항에 단위면적을 곱하여 구해진다. 그림 3은 항복전압의 변화에 따른 초접합 다이오드의 P 와 N 열의 폭에 따른 드리프트 영역의 단위 면적당 씨트 저항^[1]을 나타낸다. 항복전압이 120V 인 경우 W_N 이 $10 \mu\text{m}$ 와 $5 \mu\text{m}$ 사이에 설계된 온-저항과 트랜치의 MOS의 채널 저항을 합하여 최적화 설계가 가능하다. 여기서 100V 항복전압의 margin을 20% 고려하면 120V 를 적용할 수 있다.

III. 시뮬레이션

전력 초접합 MOSFET의 드리프트 영역에서 도핑농도는 항복전압과 온-저항의 설계 목표값을 달성하기 위해 설계되어야 한다. 균일 초접합 트랜치 MOSFET 구조는 P 형과 N 형의 드리프트 영역의 도핑농도가 같게 설정된다. 실제로 도핑농도의 불균형이 발생하면 항복전압이 변화되는데, 불균형이 발생하는 동안 균일 초접합 트랜치 MOSFET 구조의 온-저항은 P 열의 드리프트 영역의 도핑농도가 변화하여도 공핍층의 변화가 미

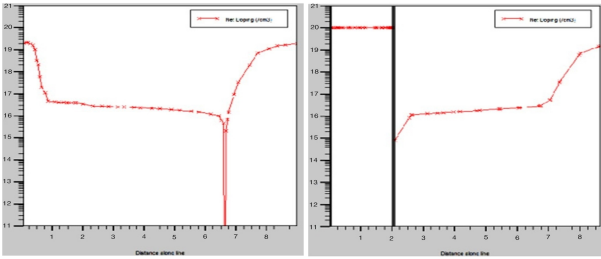


그림 4. P, N 열의 수직방향에서 각각의 도핑농도
Fig. 4. Doping concentrations at vertical direction of P and N pillar, respectively.

표 1. 균일 초접합 트랜치 MOSFET 구조에서 항복전압과 온-저항
Table 1. Breakdown voltage and on-resistance at structure of uniform SJ trench MOSFET.

P 열	N 열	P 열 상단	P 열 하단	항복 전압	온-저항
1.5	1.0	0.5	0.5	111.0	0.79
2.0	1.0	1.0	1.0	126.8	0.88
2.5	1.0	1.5	1.5	118.0	0.96
3.0	1.0	2.0	2.0	94.1	1.02

비고: 도핑농도(cm^{-3})는 1×10^{16} 배를 곱하고, 온-저항 단위는 $m\Omega \cdot cm^2$ 임

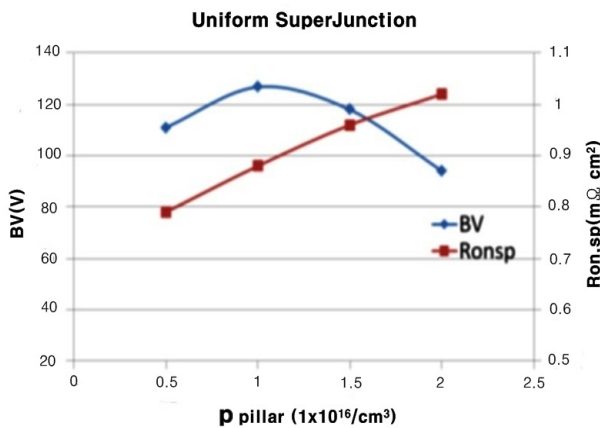


그림 5. 균일 초접합 트랜치 MOSFET에서 도핑농도 별 항복전압과 온-저항
Fig. 5. Breakdown voltage and on-resistance vs. doping concentration at uniform SJ trench MOSFET.

세하여 영향을 받지 않고, N 열 드리프트 영역 도핑농도에 의해 주로 영향을 받는다. 트랜치의 코너 N+의 저항은 $1 \sim 5 m\Omega \cdot cm^2$ 이고 gate oxide의 두께^[5-7]는 500 \AA 이다.

비균일 초접합 트랜치 MOSFET 구조는 드리프트 영역의 하단의 농도를 높게 하고 상단 쪽으로 갈수록

표 2. 비균일 초접합 트랜치 MOSFET 구조에서 항복전압과 온-저항

Table 2. Breakdown voltage and on-resistance at structure of non-uniform SJ trench MOSFET.

P 열	N 열	P 열 상단 ¹⁾	P 열 하단 ²⁾	항복 전압	온-저항
2.5	1.0	1.5	0	96.2	0.57
3.0	(상단농도) ↑	2.0	0.5	114.0	0.60
3.5	2.5	2.5	1.0	115.8	0.62
4.0	(하단농도)	3.0	1.5	103.0	0.63

비고: 도핑농도(cm^{-3})는 1×10^{16} 배를 곱하고, 온-저항 단위는 $m\Omega \cdot cm^2$ 임

- 1) P 열에서 N 열의 상단 농도와 상쇄된 순수 도핑농도
- 2) P 열에서 N 열의 하단 농도와 상쇄된 순수 도핑농도

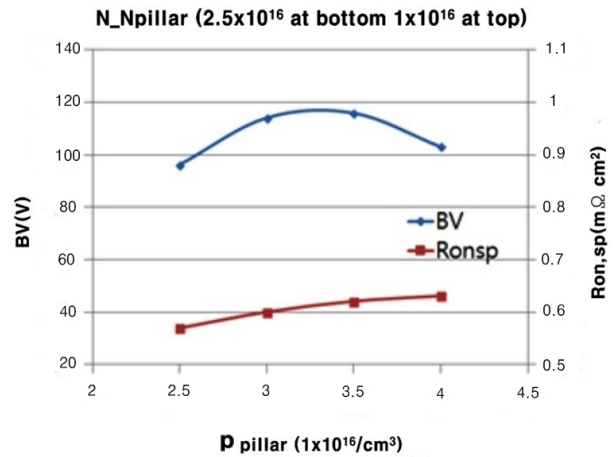


그림 6. 비균일 SJ TDMOS 구조에서 항복전압과 온-저항 (N 열의 하단에서 농도: $2.5 \times 10^{16} cm^{-3}$, 상단에서 농도 $1 \times 10^{16} cm^{-3}$)

Fig. 6. Breakdown voltage and on-resistance vs. doping concentration at non-uniform SJ trench MOSFET(doping concentrations at bottom and at top of N pillar are $2.5 \times 10^{16} cm^{-3}$ and $1 \times 10^{16} cm^{-3}$, respectively).

농도를 낮게 하는 구조이다. 에피(Epi) 층에서 P와 N 열의 형성이 어려워 측면 확산(lateral diffusion)에 의한 P 열의 폭이 넓어지므로 여러번에 걸쳐 임플란트(implant) 하고 에피를 성장(epi growing)을 반복적으로 하면 비교적 열의 기울기가 굴곡이 없이 형성된다. 표 1과 그림 5는 균일 초접합 트랜치 MOSFET 구조에서 도핑 농도별 항복전압과 온-저항을 나타낸다. P 열의 도핑농도가 $2.5 \times 10^{16} cm^{-3}$ 이고, N 열의 농도가 $1 \times 10^{16} cm^{-3}$ 일 때 순수 도핑농도(net doping concentration)가 $1.5 \times 10^{16} cm^{-3}$ 이 되며, 이때 항복전

압은 118 V이고 온-저항은 $0.96 \text{ m}\Omega\cdot\text{cm}^2$ 을 보여주고 있다.

표 2와 그림 6은 비 균일 초접합 트랜치 MOSFET 구조에서 N 열의 하단의 도핑농도를 $2.5 \times 10^{16} \text{ cm}^{-3}$ 에서 시작하여 상단으로 $1 \times 10^{16} \text{ cm}^{-3}$ 로 변화시킬 때 항복전압과 온-저항을 보여주고 있다. 여기서 N 열의 도핑농도가 $2.5 \times 10^{16} \text{ cm}^{-3}$ 이고 P 열의 도핑농도가 $2.5 \times 10^{16} \text{ cm}^{-3}$ 일 때 상쇄되면 순수 도핑농도는 0이 되고, N 열의 도핑농도가 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이고 P 열의 도핑농도가 $2.5 \times 10^{16} \text{ cm}^{-3}$ 일 때 상쇄되면 순수 도핑농도는 $1.5 \times 10^{16} \text{ cm}^{-3}$ 가 된다. P 열의 도핑농도가 $3.5 \times 10^{16} \text{ cm}^{-3}$ 이고 N 열의 도핑농도가 $2.5 \times 10^{16} \text{ cm}^{-3}$ 에서 $1.0 \times 10^{16} \text{ cm}^{-3}$ 으로 변화시킬 때 항복전압은 115.8 V이고 온-저항은 $0.62 \text{ m}\Omega\cdot\text{cm}^2$ 로 거의 동일한 항복전압을 유지하면서 온-저항은 감소되었다. 결과적으로 그림 7에서 균일 및 비균일 초접합 트랜치 MOSFET 구조에서 항복전압과 온-저항을 보여주는데 비 균일 초접합 트랜치 MOSFET가 동일한 전압에서 온-저항이 현격하게 낮아져 성능개선이 됨을 확인할 수 있다.

균일 초접합 트랜치 MOSFET^[3, 8-9] 경우 드레인 전압이 증가하면서 도핑 농도별 전위분포가 일정한 값을 유지하는데 비해, 비균일 초접합 트랜치 MOSFET의 도핑 농도별 전위분포는 P, N 열의 수직방향에서 도핑 농도는 각각 선형적으로 감소하거나 증가함을 그림 4에서 확인할 수 있다. 여기서 전위 분포는 log scale이다.

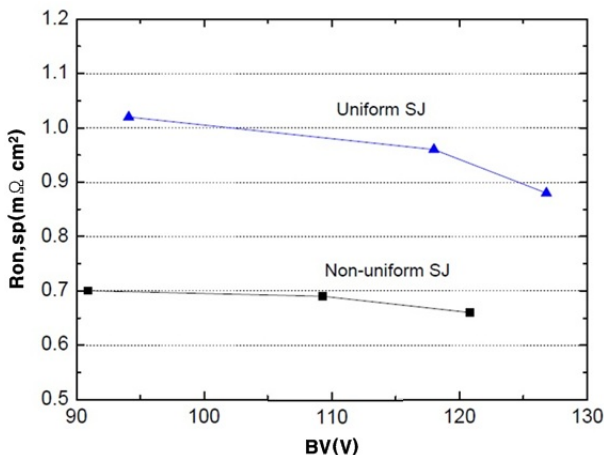


그림 7. 균일 및 비균일 SJ 트랜치 MOSFET 항복전압 별 온-저항

Fig. 7. Specific on-resistance vs. breakdown voltage for uniform and non-uniform SJ trench MOSFET.

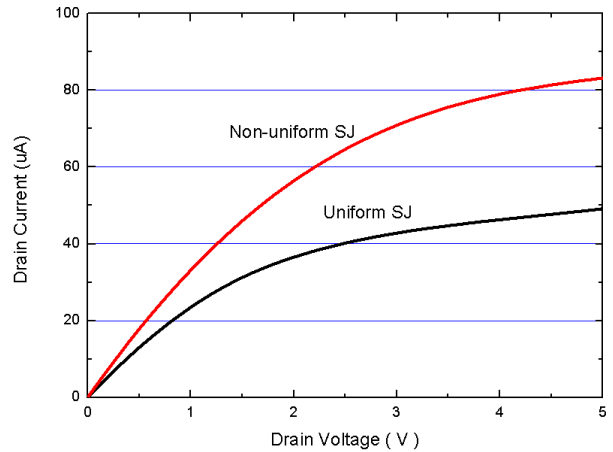


그림 8. 균일과 비균일 SJ 트랜치 MOSFET 온-저항의 I-V 특성곡선

Fig. 8. I-V characteristic curves on $R_{on,sp}$ of uniform and non-uniform SJ Trench MOSFET.

그림 8은 균일과 비균일 초접합 트랜치 MOSFET에서 온-저항의 I-V 특성곡선을 나타낸다. 균일 경우 드레인 전압이 0.3 V일 때 드레인 전류는 $8.03 \times 10^{-6} \mu\text{A}$ 이고, 단위 셀(unit cell)의 면적은 $2.4 \times 10^{-8} \text{ cm}^2$ 에서 온-저항은 $0.8966 \text{ m}\Omega\cdot\text{cm}^2$ 이며, 비균일 경우에 동일한 드레인 전압에서 드레인 전류는 $1.097 \times 10^{-5} \mu\text{A}$ 이고, 단위 셀의 면적에서 온-저항은 $0.6563 \text{ m}\Omega\cdot\text{cm}^2$ 으로 표 1 및 표 2와 일치함을 확인할 수 있다.

IV. 결론 및 검토

100-V 급 비균일 초접합 트랜치 MOSFET 기본구조를 설계하였으며 동일한 항복전압에서 온-저항을 낮출 수 있는 연구를 수행한 결과 비 균일 구조가 균일구조보다 온 저항을 현격히 개선함을 보여주었고 이론적인 결과와 일치함을 확인하였다. 초접합 트랜치 MOSFET 열의 폭 및 농도에 따른 온-저항과 항복전압을 분석하기 위하여 SILVACO TCAD의 회로설계 시뮬레이터인 Atlas^[10]를 이용하여 최적화 설계를 수행하였다. 이 결과를 이용하여 $1 \text{ m}\Omega\cdot\text{cm}^2$ 온-저항을 요구하는 BLDC 용 100 V 급 SJ Trench MOSFET 설계기반을 마련하였다고 본다.

REFERENCES

[1] B. J. Baliga, *Advanced Power MOSFET Concepts*, New York Springer-Science, 2010,

pp.166, pp.323-354, pp.381-396.

- [2] Ying Wang, Hai-Fan Hu, Wen-Li Jiao, and Chao Cheng, "Gate Enhanced Power UMOSFET With Ultra Low On-Resistance," *IEEE Electron Device Letters*, Vol. 31, No. 4, April 2010.
- [3] Young Hwan Lho and Yil-Suk Yang, "Design of 100-V Super-Junction Trench Power MOSFET with Low On-Resistance," *ETRI Journal*, Vol. 34, No. 1, Feb. 2012
- [4] Yu Chen, Yung C. Liang, and Ganesh S. Samudra, "Design of Gradient Oxide Bypassed Super-junction Power MOSFET Devices," *IEEE Transactions*, Vol. 22. No. 4, July 2007.
- [5] Jongdae Kim, Tae Moon Roh, Sang-Gi Kim, Il-Yong Park, Bun Lee, "A Novel Technique for Fabricating High Reliable Trench DMOSFETs Using Self-Align Technique and Hydrogen Annealing," *IEEE Transactions on Electron Devices*, Vol. 50, No. 2, 2003, pp. 378-383.
- [6] S.-G. Kim et al., "High-Density Nano-Scale N-Channel Trench-Gated MOSFETs Using the Self-aligned Technique," *J. Korean Physical Society*, vol. 57, no. 4, Oct. 2010, pp. 802-805
- [7] J. A. Yedinack, et al., "Super-Junction Structure and Fabricating Methodologies for Power Devices," Korean Patent: 10-2010-0083153
- [8] Jong Man Yun, "Development Status and Prospect of Super Junction MOSFET," *The Magazine of the IEEK*, Vol. 37, No. 8, pp. 826-841, Aug.. 2010 (in Korean).
- [9] Gerald Deboy and Florin Udrea, "Super-junction devices & technologies-Benefits and Limitations of a Revolutionary Step in Power Electronics," *EPE2007*, Aalborg, Denmark, 2-5, September 2007.
- [10] SILVACO TCAD manual Atlas.

— 저 자 소 개 —



노 영 환(정회원)

1982년 경북대학교 전자공학과 졸업.

1988년 University of New Mexico 전기공학 석사.

1993년 Texas A&M University 전기공학 박사.

1981년11월~1985년 12월 LG정보통신(주) 근무.

1994년 2월~1995년 2월 한국항공우주연구원 근무.

1995년 3월~현재 우송대학교 철도전기·정보통신 학부 교수.

<주관심분야 : 회로설계, 적응제어, 신호처리 등>