

논문 2013-50-7-13

# 강유전체 박막 형성방법에 따른 용액 공정 기반 강유전체 전계 효과 트랜지스터의 전기적 특성 의존성

(Dependence of Ferroelectric Film Formation Method on Electrical  
Characteristics in Solution-processed Ferroelectric Field Effect  
Transistor)

김 우 영\*, 배 진 혁\*\*

(Woo Young Kim and Jin-Hyuk Bae<sup>©</sup>)

## 요 약

용액 공정 기반으로 유기 전자소자를 제작할 시, 회전 도포 방법을 이용하는데 이 방법의 단점 중의 하나는 후속 회전 도포 할 때 용액 속의 용매에 의해 이미 제작된 유기 박막을 물리적 또는 화학적인 손상을 입힐 수 있다는 것이다. 이러한 문제들로 인해 후속적인 박막 제조에 사용될 수 있는 용매의 종류는 매우 제한적일 수 밖에 없다. 본 논문에서는 기존에 알려진 용매들의 적절한 조합으로 인해 다층 박막 제작이 가능함을 보이고, 이를 이용하여 용액 공정 기반 유기 트랜지스터를 제작하여 성능의 향상을 보일 것이다. 트랜지스터의 구조는 하부 게이트 하부 접촉 (bottom gate, bottom contact) 구조로 제작되었고 게이트 절연체는 강유전체 고분자로 제작되었는데 한 번의 회전 도포 방법과 두 번의 회전 도포 방법으로 동일 두께를 형성하여 두 트랜지스터를 제작, 드레인 전압에 따른 소스-드레인 전류를 비교하였다. 그 결과 소스-게이트 누설 전류 감소 효과가 있었고, ON 상태에서의 소스-드레인 전류의 상승효과도 관찰되었다. 전류-전압 그래프로부터 계산된 이동도는 약 2.7배 증가되었다. 그러므로 용액 공정 기반 전계효과 트랜지스터를 제작할 시, 게이트 절연체를 다층 구조로 제작하면 성능 향상에 이점이 많다는 것을 알 수 있었다.

## Abstract

In manufacturing of solution-processed organic electronic devices, a spin coating method is frequently used, but which has a big problem. Solvent in a solution has a decisive effect such as physical and chemical damage for successive solution-based film deposition. Such a severe damage by solvent restricts for fabricating building blocks of multi-layered films from solutions. In this work, it will be shown that a proper combination of well-known solvents gives a chance to fabricate multi-layered film, also this new method was applied to make organic field effect transistor. Two types of bottom gate, bottom contact transistors were fabricated, one of which is fabricated by conventional single spin coating method, the other fabricated by double spin coating method. Compared with the electrical characteristics in a single spin coated transistor, the leakage current between source and gate electrode was decreased, ON state current was increased, and the extracted saturation mobility was multiplied more than 2.7 time for double spin coated transistors. It is suggested that the multiple coated gate dielectric structure is more desirable for high performance organic ferroelectric field effect transistors.

**Keywords** : ferroelectric, field effect transistor, double spin coating, electrical characteristics

\* 정회원, 한국과학기술원 기계공학과

(Department of Mechanical Engineering, Korea Advanced Institute of Science and Technology)

\*\* 정회원, 경북대학교 전자공학부

(School of Electronics Engineering, Kyungpook National University)

※ 이 논문은 2012 학년도 경북대학교 신입교수정착연구비에 의하여 연구되었음

© Corresponding Author(E-mail: [jhbae@ee.knu.ac.kr](mailto:jhbae@ee.knu.ac.kr))

접수일자: 2013년2월28일, 수정완료일: 2013년6월21일

## I. 서 론

기존의 실리콘 기반 전자 소자와는 달리 유기물 기반의 전자소자는 다양한 장점이 있다. 유기물의 특성상 매우 유연한(flexible) 전자소자<sup>[1]</sup>, 투명한(transparent) 전자소자<sup>[2]</sup>, 가볍고(light-weight) 충격에 둔감한(durable) 전자소자, 생체 이식 가능한 전자소자<sup>[3]</sup>, 대면적(large-area) 전자소자<sup>[4]</sup> 등이 가능하다. 뿐만 아니라 공정 상에서의 이점도 있다. 실리콘 기반 전자소자는 고온, 고진공, 고순도에서 제조되어야만 하지만 유기 전자소자의 경우 상압에서 용액 공정 기반의 프린팅(printing), 잉크젯(ink-jet) 방법, 저온 공정이 가능하므로 차세대 전자소자로서 주목을 받고 있다. 그러나, 아직 해결되어야 할 문제점들이 남아있는데, 그 중 용액 공정에서 사용될 용매의 적절한 선택이 대표적인 이슈 중 하나이다. 용액 공정은 용액 상태로 유기물을 기판 또는 이미 형성되어 있는 다른 유기물 박막 위에 성막하는 과정을 반드시 거치게 되는데, 이때 용액의 용매가 이미 형성된 유기물 박막을 녹이거나 변형 시켜서 전자소자로서의 기능 상실, 두께 불균일화, 누설전류 증가 등의 문제를 야기할 수 있다는 것이다. 이러한 전자소자는 시스템의 기능이 집적화되고 복잡해질수록 더 많은 다층 구조를 필요로 하게 되는데 층수가 많아질수록 적절한 용매를 선택하는 것은 매우 제한적이 되고 공정을 어렵게 한다. 최근 본 연구그룹은 이러한 제한적인 용매 선택을 좀 더 완화하여 공정마진을 넓히는 방법을 제안하였다.<sup>[5]</sup> 기존의 연구에서 강유전체 박막을 이용하여 다층 구조를 제작할 수 있음을 보였는데, 공정에 사용될 용매들의 쌍극자 모멘트에 따라 녹일 수 있는 용매와 녹일 수 없는 용매로 분류하여 적절한 비율로 섞으면 특정 비율에서 용해도가 매우 낮아지는 것을 발견하였다. 본 논문에서는 이러한 결과를 이용하여 용액 공정 기반 강유전체 전계효과 트랜지스터를 제작하여 게이트 절연체가 다층 구조로 제작될 경우, 트랜지스터 성능이 더 뛰어나다는 것을 보일 것이다.

## II. 실험 과정

### 1. 다층 구조 박막 제조

본 실험에 사용된 물질은 최근 비휘발성 메모리 소자로 주목받고 있는 강유전성 고분자인 Poly(vinylidene fluoride- trifluoroethylene), P(VDF-TrFE)인데, MSI

Sensors Inc에서 생산되었는데, VDF와 TrFE의 몰 비율은 75:25이고, 회전 도포를 하기 위해 용액을 만들 때, methyl-ethyl-ketone (MEK)을 용매로 사용하였다. 0.03g의 P(VDF-TrFE)를 1mL의 MEK에 녹인 후, 1500 rpm으로 10 s 동안 회전 도포하면 약 270 nm의 두께가 얻어지는데, rpm과 회전 도포 시간을 고정하고 MEK의 비율을 조절하면서 두께를 제어하였다. 실험결과 농도에 선형적으로 비례하여 두께가 조절됨을 확인하였다. P(VDF-TrFE)를 다층 구조 박막으로 제조하기 위해 용매의 쌍극자 모멘트가 낮은 용매를 섞었는데, 에탄올을 P(VDF-TrFE) + MEK 용액에 대한 부피 비율로 20% 섞어줌으로써 이미 증착된 P(VDF-TrFE) 박막은 녹이지 않고 다층박막을 형성, 두께는 증가시킬 수 있음을 확인하였다.<sup>[5]</sup>

강유전체 특성을 관찰하기 위해 P(VDF-TrFE) 박막을 Au 증착된 기판위에 형성한 후, 웨도우 마스크를 이용하여 Au 상부 전극을 증착하였다. 커패시터의 분극-전계 관계는 강유전체 특성 측정 장비인 RT-66A (Radiant Technologies)로 측정하였다.

### 2. 강유전체 전계효과 트랜지스터

황산과 과산화수소 혼합 용액으로 세정된 SiO<sub>2</sub>/Si 위에 웨도우 마스크를 이용하여 Cr/Au (20 nm, 50 nm) 게이트 전극을 형성하였다. 그 후에 P(VDF-TrFE)를 회전 도포를 이용하여 두께 160 nm를 형성하였는데, 비교를 위해 하나의 샘플군은 한 번의 회전 도포로 160 nm 형성하고 다른 샘플군은 90 nm + 70 nm 로 두 번의 회전 도포로 형성시켰다. P(VDF-TrFE)의 큐리온도 이상인 130 °C에서 10분간 열처리를 하고 웨도우 마스크를 이용하여 Au로 소스, 드레인 전극을 증착하였다. 마지막으로 P형 유기 반도체인 Poly(3-hexylthiophene), P3HT를 회전 도포하고 110 °C에서 1시간 동안 열처리하여 40 nm 를 형성하였다. P3HT는 Solaris Chem. 에서 구입하였고 모노클로로벤젠을 이용하여 용액을 제조하였다. 채널 길이는 35 um, 채널 폭은 500 um 이다. 그림 1에 트랜지스터 제작 공정에 따른 단면도와 공정 조건을 기술하였고, 그림 2에 제작된 유기 트랜지스터의 광학적 이미지를 나타내었다. 트랜지스터의 전기적인 특성은 HP4156 파라미터 측정기로 측정하였다.

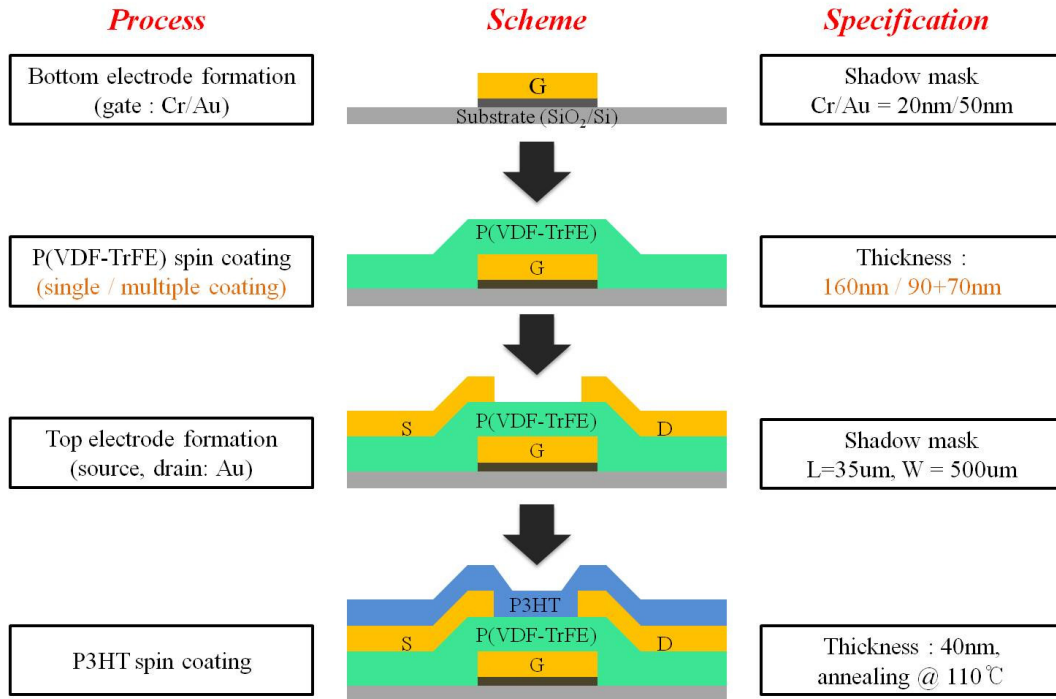


그림 1. 강유전체 전계효과 트랜지스터의 공정에 따른 단면도 및 공정 조건

Fig. 1. Process schemes and specifications in fabrication of ferroelectric field effect transistor.

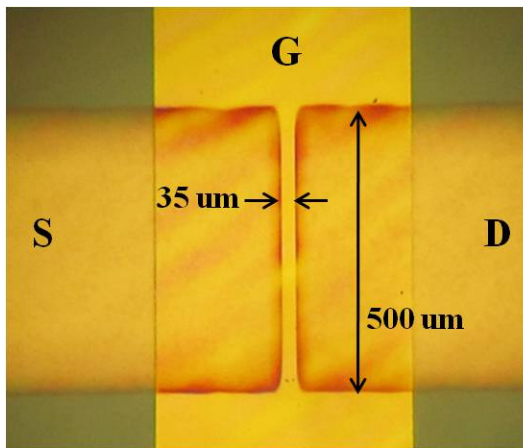


그림 2. 유기트랜지스터의 광학적 이미지

Fig. 2. Optical microscopy image of organic transistor.

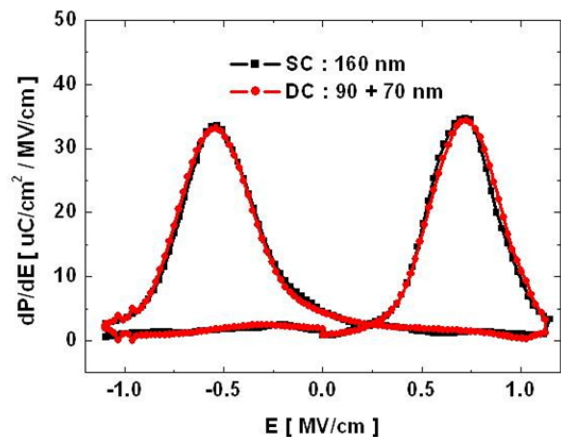


그림 3. 강유전체 커패시터의 전계에 따른 분극의 변화율

Fig. 3. Polarization change rate for electric field in ferroelectric capacitors.

### III. 측정 결과 및 분석

최종 강유전체 박막 두께가 160 nm가 되게 제작하였는데, 한 번 회전 도포 (single coating, SC)로 형성된 박막의 커패시터와 두 번의 회전 도포 (double coating, DC)로 형성된 박막의 커패시터의 전계에 따른 분극의 변화율을 그림 3에 나타내고 있다. 측정된 그래프에서 알 수 있듯이 강유전체의 중요한 파라미터인 잔류분극 (그래프 면적)과 항전계 (최고 지점의 전계)가 SC의

경우 7.54 uC/cm<sup>2</sup>, 0.58 MV/cm 이고, DC의 경우 7.64 uC/cm<sup>2</sup>, 0.59 MV/cm로 거의 일치하는데, P(VDF-TrFE)의 강유전성이 제작 방법이나 용액상태에서 첨가된 에탄올에 의해 영향을 받지 않는다는 것을 알 수 있다. 그림 4는 두께에 따른 강유전체 박막의 표면 거칠기를 나타내고 있다. SC로 제작된 박막의 경우, 두께에 거의 비례하여 거칠기가 증가하고 있는데, 이는 반결정성 (semicrystalline)<sup>[6]</sup>인 P(VDF-TrFE)가 회전 도포와

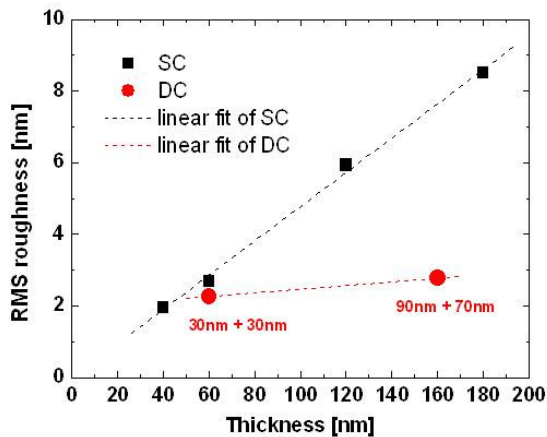


그림 4. 강유전체 박막 두께에 따른 RMS 거칠기  
Fig. 4. RMS roughness of ferroelectric film.

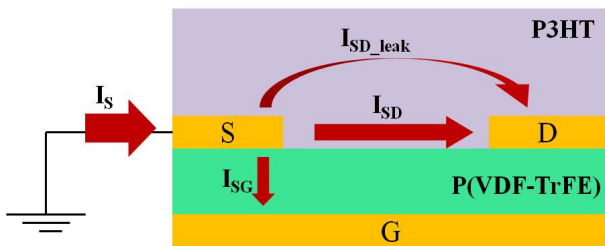


그림 5. 박막 트랜지스터에서의 전류성분 ( $I_s$ 는 소스 전류,  $I_{sg}$ 는 소스-게이트 전류,  $I_{sd}$ 는 채널을 통한 소스-드레인 전류,  $I_{sd,leak}$ 는 벌크를 통한 소스-드레인 누설 전류)  
Fig. 5. Current component in thin film transistor ( $I_s$  is source current,  $I_{sg}$  is source-gate current,  $I_{sd}$  is source-drain current through channel, and  $I_{sd,leak}$  is source-drain current through bulk)

열처리에 의해 용액상태에서 고체 상태로 상이 변할 때, 두께가 두꺼울수록 결정의 크기가 증가하여 거칠기가 더 커진 것으로 예상된다. 반면 DC로 제작된 박막의 거칠기는 거의 일정한 상태를 유지하고 있는데, 이는 두 번째 회전 도포가 이미 형성된 박막을 녹이지는 않으면서 박막들의 거친 틈을 채웠기 때문인 것으로 예상된다. 그러므로 DC 방법은 두께에 무관하게 거칠기가 매우 낮은 강유전체 박막을 제공할 수 있다. 단분자인 펜타센<sup>[7]</sup>과 고분자인 P3HT<sup>[8]</sup>에 대해, 트랜지스터의 계면 거칠기가 후속 공정에서 도포 또는 증착되는 유기 반도체의 결정 형성을 방해하여 결정의 크기가 작아지게 되고, 그 결과 많은 grain boundary를 생성시켜 캐리어의 이동도에 영향을 준다고 보고되었는데, 본 논문에서 발견한 박막 거칠기 조절 방법을 이용하여 박막 트랜지스터의 계면 특성 향상에 이용하였다.

그림 5는 트랜지스터에서 전류 성분을 표시한 것이

고, 그림 6는 두 트랜지스터의 드레인 전압에 따른 소스-드레인 전류와 게이트 전압에 따른 드레인 전류를 나타낸 것이다. 측정되는 소스 전류는 3가지 성분으로 구성되어 있는데, 채널을 통한 소스-드레인 간의 전류, 소스-게이트 간의 누설전류, 그리고 소스-드레인 간의 벌크 누설전류 성분이다. 한 번의 회전 도포로 형성된 트랜지스터 (SC-FET)와 두 번의 회전 도포로 형성된 트랜지스터 (DC-FET)는 트랜지스터로서 경향은 일치하지만 특성에서 많은 차이가 관찰되었다. SC-FET와 DC-FET의 드레인 전압 0V에서, 어느 정도의 전류가 측정되었는데, 이는 게이트와 드레인 간의 누설 전류이다. 그림 6 (e)에 드레인 전압 0V에서의 드레인 전압을 게이트 전압에 따라 나타내었다. DC-FET의 경우 누설 전류가 더 낮은 것을 알 수 있는데, 이는 다층 구조로 제작된 절연체의 누설전류 패스가 한 층으로 이루어진 박막보다 더 짧거나 차단되었기 때문인 것으로 해석된다. 3층 이상으로 이루어진 박막 이라면 더 감소된 누설전류 특성이 있을 것으로 기대된다. 이와 유사한 결과가 강유전성 고분자 박막에서 보고되었는데<sup>[9]</sup>, 3번에 걸쳐 회전 도포와 열처리를 반복하면 누설전류도 적고 sub-50nm 에서도 강유전성 이력곡선이 측정되었다. 그림 6에서 게이트 전압이 0V일 때, 트랜지스터가 완전히 차단되지 못하고 전류를 흘리는 것을 알 수 있는데 이는 소스-드레인 간의 벌크로 흐르는 누설전류 성분이다. 비슷한 크기의 전류가 흐르는 것으로 보아 게이트 절연체와 반도체의 계면 특성과는 크게 상관이 없는 것을 알 수 있다. 측정된 드레인 전류에서 두 누설전류 성분을 제거하면 그림 6의 (c), (d)와 같이 된다. 채널을 통해 흐르는  $I_{sd}$ 에서 ON 상태일 때 전류는  $V_{GS} = -50$  V 일 때, DC-FET가 SC-FET보다 2.7배 크다는 것을 알 수 있다. ON 상태에서의 전류로부터 수식 1을 이용하여 이동도를 계산할 수 있다.

$$I_{Ds}(sat.) = \frac{W}{2L} \mu C_i V_{Ds}(sat.)^2 \quad (1)$$

$I_{Ds}$ 는 드레인 전류,  $V_{Ds}$ 는 드레인 전압,  $W$ 는 채널 폭,  $L$ 은 채널 길이,  $C_i$ 는 게이트 절연체의 커패시턴스,  $\mu$ 는 포화영역 이동도이다. 두 트랜지스터의 포화영역 이동도와 그 비율을 게이트 전압에 따라 나타내었다. 게이트 전압에 따라 포화 영역에 진입하는 드레인 전압이 달라지므로 ( $V_{Ds}(sat) = V_{GS} - V_T$ ),  $V_{Ds}(sat)$ 로 표기하였다.

DC-FET의 이동도는  $V_{Ds}(sat)$ 에 따라 약간 가변적이

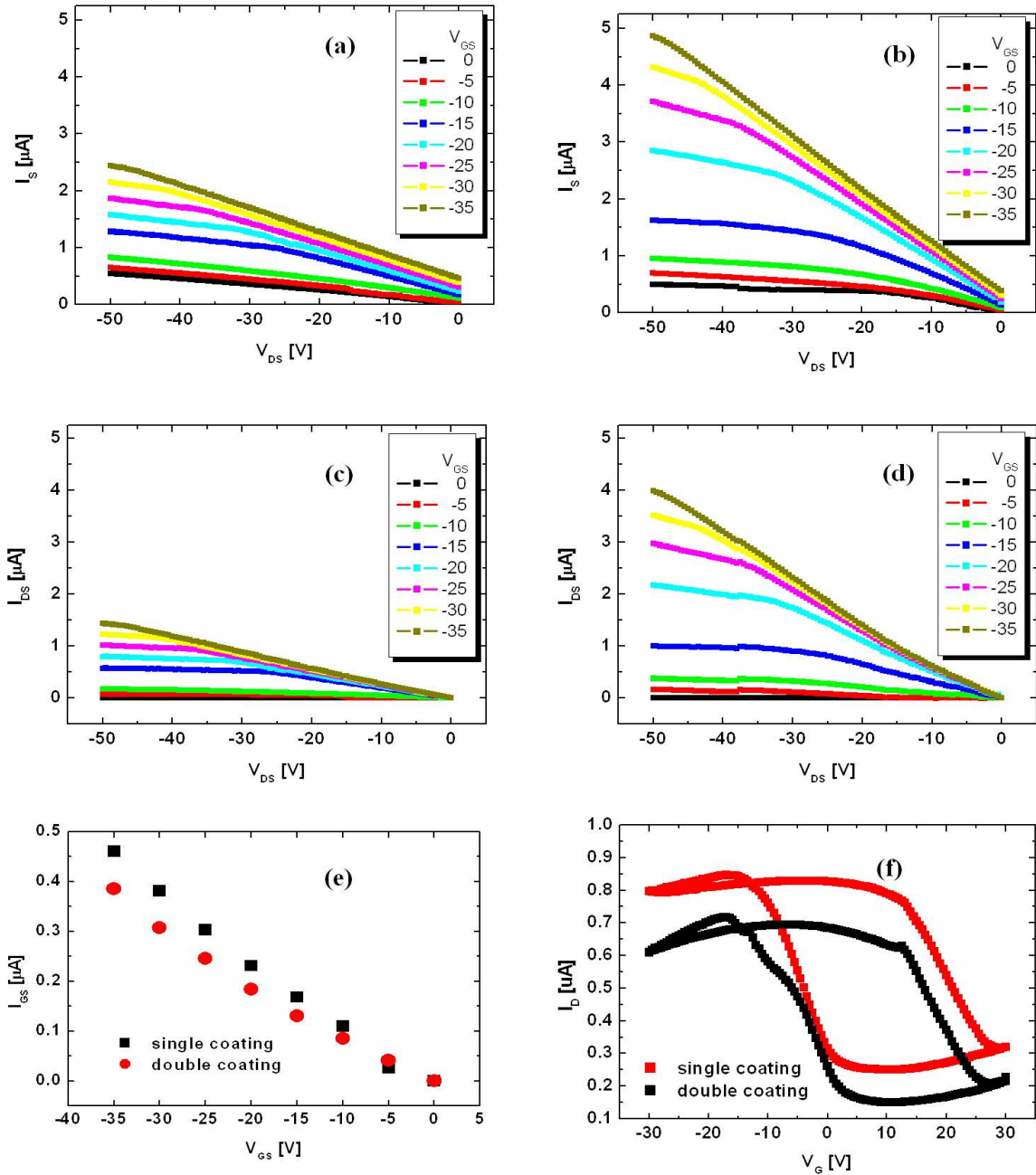


그림 6. 강유전체 트랜지스터의 전압-전류관계, (a) SC-FET의 IS-IDS 관계, (b) DC-FET의 IS-IDS 관계, (c) SC-FET의 IDS-VDS 관계, (d) DC-FET의 IDS-VDS 관계, (e) ISG 성분, (f) VG-ID 관계

Fig. 6. Voltage-current relationships in ferroelectric transistor, (a)  $I_s$  for  $V_{DS}$  in SC-FET, (b)  $I_s$  for  $V_{DS}$  in DC-FET, (c)  $I_{DS}$  for  $V_{DS}$  in SC-FET, (d)  $I_{DS}$  for  $V_{DS}$  in DC-FET, (e)  $I_{SG}$ , (f)  $I_D$  for  $V_G$ .

지만 약 -30V 이상에서는 거의 일정하게  $0.004 \text{ cm}^2/\text{Vs}$  이고, SC-FET의 경우에는  $0.0015 \text{ cm}^2/\text{Vs}$  로써 거의 일정하다.  $V_{DS}(\text{sat}) = -32 \text{ V}$  이상에서는 두 트랜지스터의 이동도의 비율은 거의 2.7로 유지되었다. DC-FET의 이동도가 더 큰 것은 이동도와 트랜스컨덕턴스 (transconductance,  $g_m$ )의 관계에서 유추해 볼 수 있다.

$$g_m(\text{sat.}) = \frac{\partial I_{DS}(\text{sat.})}{\partial V_{GS}} = \frac{W}{L} \mu C_i (V_{GS} - V_T) \quad (2)$$

$$= \frac{W}{L} \mu C_i V_{DS}(\text{sat.}) \quad (3)$$

수식 2와 3에서 이동도는 결국 트랜스컨덕턴스 값에 비례하게 된다. 트랜스컨덕턴스는 정의에 의해 게이트

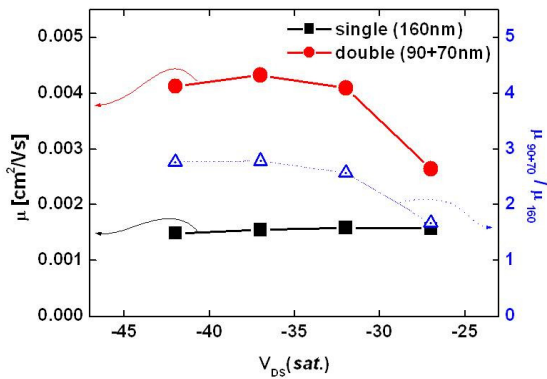


그림 7. 강유전체 트랜지스터의 이동도와 이동도의 비율

Fig. 7. Mobility and mobility ratio in ferroelectric transistors.

전압에 의해 드레인 전류가 얼마나 잘 컨트롤되는냐를 나타내는 척도이므로 DC-FET가 SC-FET보다 게이트 전압에 의해 더 잘 컨트롤된다는 것을 알 수 있다. SC 박막의 경우 DC 박막에 비해 표면 거칠기가 더 크기 때문에 볼록한 부분은 게이트 전압에 의한 전계가 충분하지 않아서 ON 상태가 되어도 채널이 국부적으로 형성되어 있으므로 전류가 흐르기 어렵다. 특히 전계효과 트랜지스터의 특성상 채널이 게이트 절연체와 반도체 사이의 계면으로 흐르기 때문에 큰 표면 거칠기는 저항 성분으로 작용하여 전류의 흐름을 방해한 것으로 결론 지을 수 있다.

#### IV. 결 론

본 논문에서는 용액 공정을 기반으로 강유전체 전계 효과 트랜지스터 제작할 때, 강유전체를 제조하는 방법에 따라 트랜지스터의 성능에 상당한 영향을 끼친다는 것을 증명하였다. 강유전체 박막을 제조하는 방법으로 기존의 단일 회전 도포 방법 대신에, 용해도를 조절된 용액을 이용하여 이중 회전 도포 방법을 이용하였다. 강유전체로 P(VDF-TrFE), 주 용매로 MEK를 사용하였을 경우 에탄올을 P(VDF-TrFE) 용액의 부피 비율로 20% 섞어줌으로써 이미 증착된 P(VDF-TrFE) 박막은 녹이지 않고 회전 도포로 다층 구조를 제작할 수 있음을 이용하였다. 특히, 다층 구조로 제작된 P(VDF-TrFE) 박막의 경우, 두께에 무관하게 표면 거칠기가 2.5 nm 정도로 유지됨으로써 트랜지스터에 응용될 경우 계면 특성 향상을 기대하였다. 게이트 절연막으로써 다층 구조의 P(VDF-TrFE)를 제작할 경우, 단

층 구조에 비해 게이트 누설 전류가 감소되고, ON 상태에서의 드레인 전류가 2.7배 증가하였는데, 포화 영역에서의 이동도가 2.7배 증가한 것이 원인인 것으로 보인다. P(VDF-TrFE)의 특성에 영향을 미치는 많은 공정 변수들이 있는데<sup>[10~12]</sup>, 이들을 최적화시킨다면 더 나은 결과가 있을 것으로 기대된다. 결론적으로, 다층 구조로 제작된 트랜지스터는 단층 구조로 제작되는 트랜지스터에 비해 성능이 더 뛰어나므로 다층 구조 제작 방식이 유기 전자 소자의 절연막 형성에 중요한 역할을 할 것으로 기대한다.

#### REFERENCES

- [1] R.-H. Kim, S. Kim, Y. M. Song, H. Jeong, T.-I. Kim, J. Lee, X. Li, K. D. Choquette and J. A. Rogers, "Flexible Vertical Light Emitting Diodes," *Small* 8(20), 3123-3128 (2012)
- [2] F. N. Ishikawa, H.-k. Chang, K. Ryu, P.-c. Chen, A. Badmaev, L. G. De Arco, G. Shen and C. Zhou, "Transparent Electronics Based on Transfer Printed Aligned Carbon Nanotubes on Rigid and Flexible Substrates", *ACS Nano*, 3 (1), pp 73 - 79 (2009)
- [3] D.-H. Kim, J. Viventi, J. J. Amsden, J. Xiao, L. Vigeland, Y.-S. Kim, J. A. Blanco, B. Panilaitis, E. S. Frechette, D. Contreras, D. L. Kaplan, F. G. Omenetto, Y. Huang, K.-C. Hwang, M. R. Zakin, B. Litt and J. A. Rogers, "Dissolvable Films of Silk Fibroin for Ultrathin Conformal Bio-Integrated Electronics," *Nature Materials* 9, 511-517 (2010).
- [4] D.-H. Kim, R. Ghaffari, N. Lu, S. Wang, S. P. Leeb, H. Keume, R. D'Angelo, L. Klinker, Y. Su, C. Lu, Y.-S. Kim, A. Ameen, Y. Li, Y. Zhang, B. de Graff, Y.-Y. Hsu, Z. Liu, J. Ruskin, L. Xu, C. Lu, F. G. Omenetto, Y. Huang, M. Mansour, M. J. Slepian and J. A. Rogers, "Electronic Sensor and Actuator Webs for Large-Area Complex Geometry Cardiac Mapping and Therapy," *Proceedings of the National Academy of Sciences USA*, 109(49) 19910-19915 (2012)
- [5] W. Y. Kim, J.-H. Bae, and H. C. Lee, "Fabrication and Characterization of Ferroelectric Multilayered Films Fabricated by Solvent Blending", *Journal of the Korean Physical Society*, vol.61, no.9, p.1518 (2012)
- [6] T. Furukawa, "Ferroelectric properties of vinylidene fluoride copolymers", *Phase Transitions*, vol.18, pp.143-211 (1989)

- [7] S. E. Frittz, T. W. Kelley, and C. D. Frisbie, "Effect of Dielectric Roughness on Performance of Pentacene TFTs and Restoration of Performance with a Polymeric Smoothing Layer", *The Journal of Physical Chemistry B*, vol.109(21), pp.10574-10577 (2005)
- [8] D. Choi, S. Jin, Y. Lee, S. H. Kim, D. S. Chung, K. Hong, C. Yang, J. Jung, J. K. Kim, M. Ree, and C. E. Park, "Dielectric Observation of Interfacial Morphology in Poly(3-hexylthiophene) Transistor: Relationship between Grain Boundary and Field-Effect Mobility", *ACS Applied Materials and Interfaces*, vol. 2(1), pp.48-53 (2010)
- [9] S. Fujisaki, H. Ishiwara, and Y. Fujisaki, "Low - voltage operation of ferroelectric poly (vinylidene fluoride- trifluoroethylene) copolymer capacitors and metal - ferroelectric - insulator - semiconductor diodes", *Applied Physics Letters*, vol.90, pp.162902 (2007)
- [10] Y. J. Park, H. J. Jeong, J. Chang, S. J. Kang, and C. Park, "Recent Development in Polymer Ferroelectric Field Effect Transistor Memory", *Journal of Semiconductor Technology and Science*, vol.8 (1), pp.51-65 (2008)
- [11] S. J. Kang, W. J. Lee, D. H. Chang, and Y. S. Yoon, "A Study on the Dielectric Properties and Electrical Conduction of PVDF Thin Films by Physical Vapor Deposition", *전자공학회논문지 SD편*, vol. 37(5), pp.9-15 (2000)
- [12] D. H. Chang, S. J. Kang, and Y. S. Yoon "Pyroelectric Properties of the  $\beta$ -PVDF (Poly(vinylidene fluoride)) Thin Film Prepared by Vacuum Deposition with Applying Electric Field", *전자공학회논문지 SD편*, vol.39(5), pp.23-30 (2002)

---

 저 자 소 개
 

---



김 우 영(정회원)  
 2004년 경북대학교 전자공학과  
 학사 졸업  
 2011년 KAIST 전자공학과  
 석박사 통합과정 졸업  
 2012년~현재 KAIST 기계공학과  
 연수연구원

<주관심분야 : 유기전자소자, 그래핀 응용>



배 진 혁(정회원)  
 2004년 경북대학교 전자공학과  
 학사 졸업.  
 2006년 서울대학교 전자공학과  
 석사 졸업.  
 2010년 서울대학교 전자공학과  
 박사 졸업.

2012년~현재 경북대학교 전자공학부 조교수  
 <주관심분야 : 유기전자소자, flexible 센서>