

논문 2013-50-7-11

디지털 주파수 보정과 지터 제거 기법을 적용한 2.5 Gb/s 버스트 모드 클럭 데이터 복원기

(A 2.5 Gb/s Burst-Mode Clock and Data Recovery with Digital
Frequency Calibration and Jitter Rejection Scheme)

정 재 훈*, 정 연 환*, 신 동 호*, 김 용 신**, 백 광 현***

(Jae-Hun Jung, Yun-Hwan Jung, Dong Ho Shin, Yong Sin Kim, and Kwang-Hyun Baek[©])

요 약

본 논문에서는 2.5 Gb/s의 입력 데이터율을 가지는 버스트 모드(Burst-mode) 클럭 데이터 복원기(CDR: Clock and Data Recovery)를 제안한다. 제안된 버스트 모드 CDR에서는 입력 데이터율과 클럭 복원기의 개폐 전압제어발진기(GVCO: Gated Voltage Controlled Oscillator) 출력 주파수간의 불일치를 제거하기 위하여 디지털 주파수 보정 기법이 적용되었고, 또한 입력 데이터로 인하여 발생하는 지터(Jitter)를 감소시키기 위하여 지터 제거 기법이 적용되었다. 제안된 버스트 모드 CDR은 0.11 μm CMOS 공정을 사용하여 설계되었고 루프필터를 제외한 회로 설계 면적은 0.125 mm^2 이며 전력 소모량은 94.5 mW이다. 포스트 레이아웃 시뮬레이션 결과, 제안된 회로를 통하여 복원된 데이터는 0.1 UI의 입력 지터 인가 시 14 ps의 peak-to-peak 지터를 가지며 최대 허용 CID(Consecutive Identical Digit)는 입력 데이터 지터가 없을 경우 2976 bits를 가진다.

Abstract

In this paper, 2.5 Gb/s burst-mode clock and data recovery(CDR) is presented. Digital frequency calibration scheme is adopted to eliminate mismatch between the input data rate and the output frequency of the gated voltage controlled oscillator(GVCO) in the clock recovery circuitry. A jitter rejection scheme is also used to reduce jitter caused by input data. The proposed burst-mode CDR is designed using 0.11 μm CMOS technology. Post-layout simulations show that peak-to-peak jitter of the recovered data is 14 ps with 0.1 UI input referred jitter, and maximum tolerance of consecutive identical digit(CID) is 2976 bits without input data jitter. The active area occupies 0.125 mm^2 without loop filter and the total power consumption is 94.5 mW.

Keywords : Clock and Data Recovery(CDR), burst-mode, frequency calibration, jitter rejection,
Passive Optical Network(PON)

I. 서 론

GPON(Gigabit-capable Passive Optical Network)과 EPON(Ethernet PON)으로 대표되는 수동형 광가입자 망 서비스는 다수의 광통신망 유닛(ONU: Optical Network Unit)으로부터 광선로종단장치(OLT: Optical Line Terminal)로의 데이터 통신을 위하여 시분할다중 접속 통신방식을 적용하므로, 광선로종단장치의 수신단

* 학생회원, ** 정회원, *** 평생회원, 중앙대학교 전자전기공학부

(School of Electrical and Electronics Engineering, Chung-Ang University)

© Corresponding Author : (E-mail: kbaek@cau.ac.kr)

※ 본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구결과이며, 또한 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음 (NIPA-2013-H0301-13-1013).

접수일자: 2013년5월22일, 수정완료일: 2013년6월26일

에 적용되는 CDR(Clock and Data Recovery)은 각각의 광통신망 유닛들로부터의 버스트 모드(Burst-Mode) 입력력에 대한 클럭과 데이터 복원을 수십 비트(bit) 내에 완료하여야 한다^[1~2].

기존 버스트 모드 CDR은 고속 입력 데이터 처리가 용이하며 소비전력과 설계 면적에 있어 효율적인 장점을 가지는 개폐 전압제어발진기(GVCO: Gated Voltage Controlled Oscillator) 기반의 구조를 가진다^[3~4]. 하지만 대부분의 버스트 모드 CDR은 복원 클럭의 주파수 보정 및 위상 재 정렬을 위해 다수의 GVCO로 구성되므로 GVCO 간 주파수 불일치로 인하여 BER(Bit Error Ratio)과 데이터의 위상 변화 없이 클럭과 데이터가 복원 가능한 bit 수를 나타내는 CID(Consecutive Identical Digit)의 특성저하가 발생한다^[5~7]. 또한, GVCO 기반의 버스트 모드 CDR은 입력 데이터의 위상 천이를 검출하여 클럭과 데이터를 복원하므로 입력 데이터에서 발생하는 지터(Jitter) 성분이 제거되지 않고 복원된 클럭과 데이터에 반영되는 단점을 가진다^[8].

본 논문에서는 버스트 모드 CDR에 사용되는 GVCO 간의 주파수 불일치를 보정하는 디지털 보조 주파수 보정 기법과 입력 데이터로부터의 지터 성분을 제거 할 수 있는 회로 설계 기법을 제안한다. 본 논문은 II장에서 제안된 버스트 모드 CDR의 구조 및 동작원리, 디지털 주파수 보정기법과 입력 지터 제거 기법 및 구성회로에 대하여 기술하고, III장에서 시뮬레이션 결과를 통하여 제안된 회로의 동작을 검증하며, IV장에서는 결론을 제시한다.

II. 제안한 버스트 모드 CDR 회로 구조

1. 전체 구조

본 논문에서 제안한 버스트 모드 CDR 구조는 그림 1과 같으며, 입력 데이터로부터 즉각적으로 클럭을 복원하는 클럭 복원기(Clock recovery) 회로, CDR에서 요구되는 클럭 주파수를 생성하는 주 주파수 보정(Coarse frequency calibration) 회로, 클럭 복원기의 GVCO 출력 주파수와 입력 데이터율의 불일치를 제거하기 위한 보조 주파수 보정(Fine frequency calibration) 회로, 그리고 입력 데이터로부터 발생하는 지터를 제거한 클럭을 생성하는 지터 제거(Jitter rejection) 회로 및 복원된 클럭을 사용하여 데이터를 복원하는 결정기(Decision) 회로로 구성된다.

클럭 복원기의 에지 검출기(ED: Edge Detector)는 입

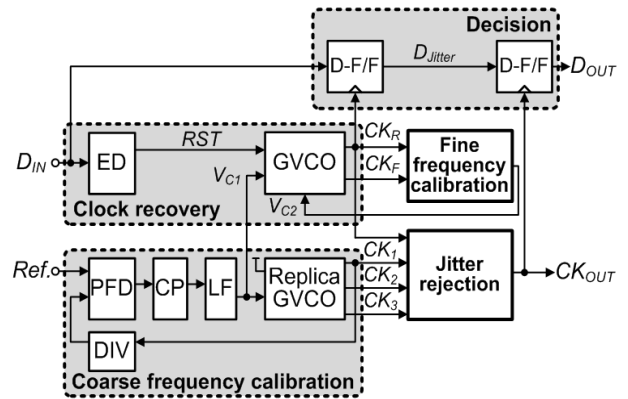


그림 1. 제안된 버스트 모드 클럭 데이터 복원 회로

Fig. 1. Proposed burst-mode CDR circuit.

력 데이터 D_{IN} 의 위상 천이 정보를 검출하여 RST (Reset) 신호를 생성하며, 클럭 복원기의 GVCO는 이를 이용하여 위상이 재 정렬된 클럭 CK_R 과 입력 데이터 주기의 절반이 지연되어 위상이 재 정렬된 클럭 CK_F 를 출력한다. 주 주파수 보정 회로는 위상 주파수 검출기 (PFD: Phase Frequency Detector), 전하펌프(CP: Charge Pump), 루프필터(LF: Loop Filter), 분주기 (DIV: Divider) 그리고 레플리카(Replica) GVCO로 구성되는 PLL(Phase Locked Loop)구조를 사용하며, 클럭 복원기의 GVCO 출력 주파수 보정을 위한 제어 전압 V_{C1} 과 지터 제거 회로에 사용되는 다중 위상 클럭 CK_1 , CK_2 , CK_3 를 생성한다. 주 주파수 보정 회로와 클럭 복원기의 GVCO의 구조는 동일하며 이상적으로 주 주파수 보정 회로의 GVCO 제어 전압 V_{C1} 을 클럭 복원기의 GVCO에 적용하였을 경우 동일한 주파수 출력을 기대한다. 하지만 실제 구현 시 PVT(Process, power-supply Voltage, Temperature) 변화에 따른 GVCO간의 주파수 불일치가 발생하게 되므로 이를 해결하기 위한 디지털 회로 설계 기법을 이용한 보조 주파수 보정을 적용하였다. 보조 주파수 보정 회로는 위상 재 정렬 클럭인 CK_R 과 CK_F 의 위상 차를 이용하여 클럭 복원기의 GVCO 출력 주파수 미세 조정을 위한 제어 전압 V_{C2} 를 생성한다. 지터 제거 회로는 클럭 복원기의 위상 재 정렬 클럭 CK_R 과 주 주파수 보정 회로의 다중 위상 클럭 CK_1 , CK_2 , CK_3 를 이용하여 입력 데이터의 지터 성분이 제거된 복원 클럭 CK_{OUT} 을 생성한다. 결정기 회로는 2단의 D-F/F(D-Flip/Flop)으로 구성되며, 입력 데이터의 지터가 반영된 복원 데이터 D_{Jitter} 를 지터 제거 회로의 출력 클럭 CK_{OUT} 을 이용하여 재 정렬 하여 입력 데이터의 지터 성분이 제거된 복원 데이터 D_{OUT} 을 생성한다.

2. 세부 구조

가. 제안된 GVCO 구조

제안된 버스트 모드 CDR에서 GVCO들은 기본적으로 클럭 복원과 주 주파수 보정에 적용될 뿐만 아니라 추가적인 보조 주파수 보정 및 입력 지터 제거를 위한 다중 목적의 클럭들을 생성하는 동작을 수행한다. 기존 보고된 버스트 모드 CDR에서 사용되는 GVCO들은 일반적으로 AND 게이트를 개폐 소자로 사용하며 출력 주파수 조정을 위한 지연 셀(Dcell: Delay cell)과 지연 소자로 구성된다. 하지만, 상기와 같은 구조의 GVCO는 개폐 소자와 지연 소자 간의 전파 지연 시간이 다르므로 제안된 버스트 모드 CDR에서 요구되는 정확한 위상 차이를 가지는 다중 클럭들의 생성이 어렵다. 이와 같은 일반적인 GVCO는 제안된 구조의 클럭 복원과 주 주파수 복원에는 적용이 가능하나 보조 주파수 보정 회로와 지터 제거 회로에 사용되는 클럭들의 생성이 어려우므로 본 논문에서는 다중 목적의 클럭들을 생성 가능한 개선된 구조의 GVCO를 제안한다.

그림 2(a)와 그림 2(b)는 각각 제안된 GVCO의 구조도와 입출력 신호들의 타이밍도를 나타낸다. 제안된 GVCO는 다중 위상 클럭 생성(Multiple phase clock generation) 블록과 반주기 지연 클럭 생성(T/2 delay clock generation) 블록과 반주기 지연 클럭 생성(T/2 delay

clock generation) 블록으로 구성되며 차동 출력을 생성할 수 있는 지연 셀(Dcell)과 버랙터(Varator)를 사용한 지연 소자로 세부 구현된다. 제안된 GVCO는 입력 신호 RST에 따라 위상이 재 정렬된 다중 위상 클럭 CK_{R1} , CK_{R2} , CK_{R3} 및 위상 지연 클럭 CK_F 를 생성한다. 첫 번째 지연 셀의 입력 신호 RST이 로직 "LOW" 상태일 경우 GVCO의 출력은 로직 "LOW" 상태로 복귀되며 로직 "HIGH" 상태일 경우 출력은 입력 신호와 무관한 자유 동작 클럭(Free-running clock)을 생성한다. CK_{R1} 의 위상 정보를 0°로 가정 하였을 때 CK_{R2} 와 CK_{R3} 는 각각 60°, 120°의 위상 정보를 가지고 CK_F 는 180°의 위상 지연을 가지도록 설계되었으며, 지연 셀 각 노드(Node)가 동일한 부하용량을 가지도록 지연 셀 더미(Dcell dummy)를 적용하여 정확한 위상 지연을 구현하였다. CK_{R1} 은 클럭 복원기 구현 시 그림 1의 데이터 복원과 보조 주파수 보정 및 지터 제거를 위한 클럭 CK_R 로써 적용되었으며, GVCO 출력 주파수 주기의 절반(T/2)이 지연되어 위상 정보가 반영되는 클럭 CK_F 는 보조 주파수 보정 회로에서 CK_R 과 위상을 비교하여 GVCO의 출력 주파수와 입력 데이터율의 불일치를 제거하기 위한 출력 클럭으로 적용되었다. 제안된 GVCO의 다중 위상 출력 CK_{R1} , CK_{R2} , CK_{R3} 는 주 주파수 보정 회로 구현 시 그림 1의 지터 제거 회로에서 사용되는 출력 클럭 CK_1 , CK_2 , CK_3 로써 적용되었으며, 주 주파수 보정 회로의 동작은 입력 데이터와 무관하므로 RST 신호 입력은 레플리카 GVCO가 자유 동작 클럭을 생성하도록 "HIGH" 상태로 고정된다. 구현 된 레플리카 GVCO는 0°, 60°, 120°의 위상 정보를 가지는 다중 위상 클럭 CK_1 , CK_2 , CK_3 와 180°, 240°, 300°의 위상 정보를 가지는 차동출력들을 생성하여 총 6개의 다중 위상 클럭들을 지터 제거 회로에 제공한다. 제안된 GVCO의 출력 주파수를 결정하는 지연 소자들은 지연 셀 간 노드에 각각 동일한 버랙터로 구성되며 V_{C1} 과 V_{C2} 를 제어 전압 신호로 사용한다. V_{C1} 과 V_{C2} 는 주 주파수 보정 회로와 보조 주파수 보정 회로에서 각각 생성되는 제어 전압이며, 제어 전압 V_{C1} , V_{C2} 를 사용하는 지연 소자의 가변 정전 용량은 1:10의 비율로 설계 되었다. V_{C2} 제어 전압은 클럭 복원기의 GVCO에만 인가되며, 주 주파수 보정 회로의 레플리카 GVCO에서는 V_{C2} 제어 전압 입력을 사용하지 않고 버랙터의 가변 정전 용량이 평균 값을 가지도록 설계하여 클럭 복원기의 GVCO 출력 주파수가 입력 데이터율 보다 느릴 경우와 빠를 경우 모두 주파수 보정이 가능하다.

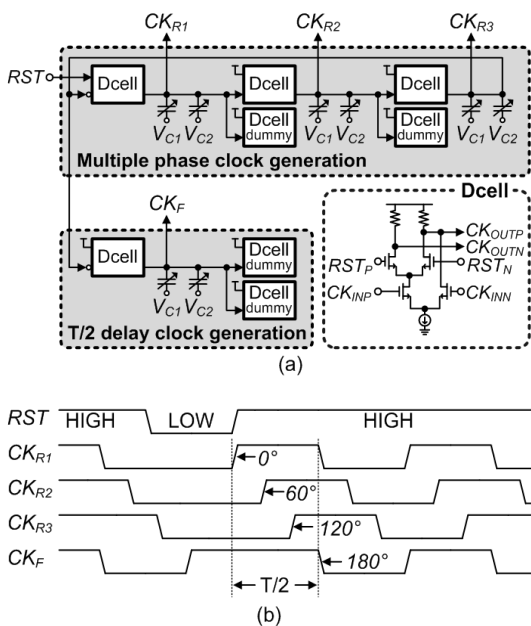


그림 2. 제안된 GVCO의 구조
(a) 구조도 (b) 타이밍도
Fig. 2. The proposed GVCO.
(a) Block diagram (b) Timing diagram

나. 보조 주파수 보정 회로

그림 3은 디지털 방식의 보조 주파수 보정 회로이며 입력 데이터의 위상 천이에 따라 재 정렬된 위상 정보를 가지는 클럭 CK_R 과 180° 지연 된 위상 정보를 가지는 클럭 CK_F 를 비교하는 위상 검출기(Phase detector)와 위상 검출기의 B_1, B_2 신호에 따라 5-bit의 데이터를 출력하는 이진 카운터(Binary counter), 그리고 생성된 디지털 데이터를 클럭 복원기의 GVC0 출력 주파수 미세 조절을 위한 제어 전압 V_{C2} 로 변환하는 5-bit의 디지털-아날로그 변환기(DAC: Digital to Analog Converter)로 구성된다. 그림 4는 보조 주파수 보정 회로에 사용된 위상 검출기의 타이밍도이다. 제안된 위상 검출기는 입력 신호의 상승 에지의 위상 정보를 비교하므로 CK_R 이 입력 데이터의 위상 정보를 가질 때 CK_F 는 GVC0의 자유 동작 클럭 위상 정보를 가지게 된다. CK_R 에 1개와 3개의 지연 유닛(Delay unit)을 인가하여 각각 CK_{D1} 과 CK_{D4} 신호를 생성하며, CK_F 에 각각 2개의 지연 유닛을 인가하여 동일한 지연 시간을 가지는 CK_{D2}, CK_{D3} 신호를 생성한다. 2개의 비교기를 통해 CK_{D1} 과 CK_{D2} 의 위상 정보를 비교하여 B_1 신호를 생성하고 CK_{D3} 와 CK_{D4} 의 위상 정보를 비교하여 B_2 신호를 생성한다. CK_R 의 위상이 CK_F 보다 빠른 ①의 경우, GVC0에서 생성되는 클럭의 주파수가 입력 데이터의 주파수보다 느리므로 제어 전압 V_{C2} 를 높이기 위한 로직 “HIGH” 상

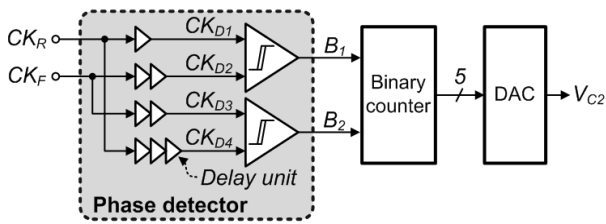


그림 3. 보조 주파수 보정 회로의 구조
Fig. 3. Structure of the fine frequency calibration circuit.

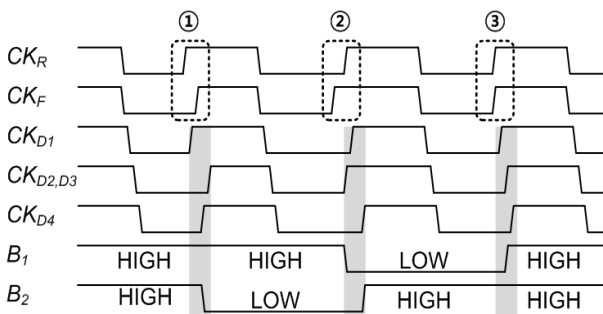


그림 4. 보조 주파수 보정 회로 내 위상 검출기 타이밍도
Fig. 4. Timing diagram of the phase detector in fine frequency calibration circuit.

태의 B_1 신호, 로직 “LOW” 상태의 B_2 신호를 각각 생성한다. 반대로, CK_R 의 위상이 CK_F 보다 느린 ②의 경우, GVC0에서 생성되는 클럭의 주파수가 입력 데이터의 주파수보다 빠르므로 제어 전압 V_{C2} 를 낮추기 위한 로직 “LOW” 상태의 B_1 신호, 로직 “HIGH” 상태의 B_2 신호를 각각 생성하게 된다. CK_R 과 CK_F 의 위상이 동일한 ③의 경우 GVC0는 정확한 목표 주파수를 가지는 클럭을 생성하며 로직 “HIGH” 상태의 B_1, B_2 신호를 생성한다. 이진 카운터 회로는 상기 위상 검출기의 B_1, B_2 신호가 각각 로직 “HIGH”, 로직 “LOW”인 경우 업 카운트를 하고 로직 “LOW”, 로직 “HIGH”인 경우 다운 카운트를 하며, 두 신호 모두 “HIGH”인 경우 카운트 동작을 고정한다. 제안된 보조 주파수 보정 회로의 DAC는 전류 구동 방식을 사용하였으며, GVC0의 출력 주파수가 선형적인 증가 구간을 가지는 범위에 따라 0.9 V에서 1.3 V의 제어 전압 생성 범위를 가진다.

다. 지터 제거 회로

그림 5의 제안된 클럭 지터 제거 회로는 입력 데이터 지터 성분이 포함된 복원 클럭인 CK_R 과 입력 지터 성분이 없는 주 주파수 보정 회로의 다중 위상 클럭 CK_1, CK_2, CK_3 및 차동 출력 클럭 $\overline{CK}_1, \overline{CK}_2, \overline{CK}_3$ 를 비교하여 데이터의 복원에 가장 적합한 위상 정보를 가지는 클럭을 출력한다. 결정기 회로를 통한 데이터 재 복원 시 입력 지터 성분에 대한 최대 허용 범위를 가지기 위하여 CK_R 의 위상과 $120^\circ \sim 180^\circ$ 의 위상차를 가지는 클럭을 선택한다. 표 1은 다중 위상 클럭들과 CK_R 의 위상 상태에 따른 위상 비교 결과신호 $Q_1 \sim Q_6$ 와 위상 선택을 위한 원-핫(One-hot) 엔코딩(Encoding) 신호 $S_1 \sim S_6$ 의 상태를 나타낸다. CK_R 과 다중 위상 클럭의 위상 비교기로서 D-F/F이 사용되며 AND 게이트를 통하여

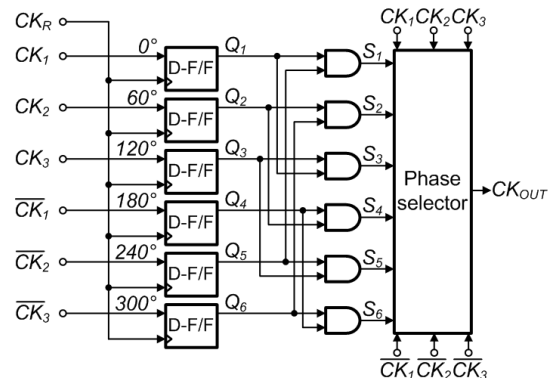


그림 5. 제안된 클럭 지터 제거 회로
Fig. 5. Proposed clock jitter rejection circuit.

표 1. 다중 위상 클럭 선택 진리표
Table 1. Truth table of the multiple phase clock selection.

CK_R phase	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	S_1	S_2	S_3	S_4	S_5	S_6
$0^\circ \sim 60^\circ$	1	1	1	0	0	0	0	0	1	0	0	0
$60^\circ \sim 120^\circ$	0	1	1	1	0	0	0	0	0	1	0	0
$120^\circ \sim 180^\circ$	0	0	1	1	1	0	0	0	0	0	1	0
$180^\circ \sim 240^\circ$	0	0	0	1	1	1	0	0	0	0	0	1
$240^\circ \sim 300^\circ$	1	0	0	0	1	1	1	0	0	0	0	0
$300^\circ \sim 360^\circ$	1	1	0	0	0	1	0	1	0	0	0	0

원-핫 엔코딩 신호를 생성한다. 제안된 지터 제거 회로의 위상 선택기는 원-핫 신호 출력이 $S_1, S_2, S_3, S_4, S_5, S_6$ 일 경우 $CK_2, CK_3, \overline{CK_1}, \overline{CK_2}, \overline{CK_3}, CK_1$ 을 지터 성분이 제거된 출력 클럭 CK_{OUT} 으로 각각 선택한다.

III. 시뮬레이션 결과 및 레이아웃

상기 제안된 버스트 모드 CDR을 검증하기 위하여 CMOS 0.11 μm 공정을 사용하여 설계하였으며 기생 성분을 고려한 포스트 레이아웃(Post layout) 시뮬레이션을 진행하였다.

1. 주/보조 주파수 보정 회로

제안된 클럭 복원기 및 주 주파수 보정 회로에 공통적으로 적용되는 GVCO 회로는 2.426~2.751 GHz의 동작 주파수 범위를 가지며 270 MHz/V의 발진 이득을 가진다. 주 주파수 보정 회로를 구성하는 위상 고정 루프는 2차 루프필터를 사용하며 1 MHz의 루프대역을 가진다. 그림 6은 2.5 Gb/s의 전송속도를 가지며, 2^7-1 PRBS

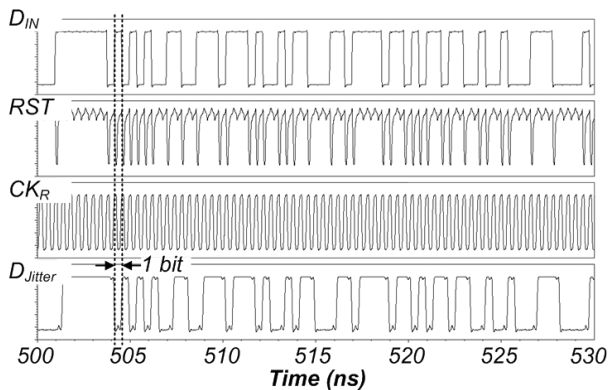


그림 6. 주 주파수 보정 회로의 GVCO 제어 전압을 사용한 클럭/데이터 복원 시뮬레이션 결과

Fig. 6. Simulated results of the clock and data recovery with GVCO control voltage of the coarse frequency calibration.

(Pseudo Random Bit Sequence)의 패턴(Pattern)을 가지는 입력 D_{IN} 을 인가할 때 에지 검출기의 출력, RST 와 이에 따라 위상이 재 정렬 된 복원 클럭 CK_R , 그리고 복원 데이터 D_{Jitter} 의 시뮬레이션 결과이며 주 주파수 보정이 완료된 500 ns이후부터의 출력 신호들을 보여준다. 클럭 복원기와 주 주파수 보정 회로를 통한 클럭 복원 동작은 일반적인 GVCO 기반의 버스트 모드 CDR과 동일하므로 1 bit 내의 위상 재 정렬을 통하여 복원 클럭 CK_R 과 이를 이용한 복원된 데이터 D_{Jitter} 를 출력하지만, 입력 데이터율과 GVCO 출력 주파수 간 불일치 및 입력 신호의 지터를 제거 할 수 없기 때문에 지터 성분이 복원 클럭과 데이터에 직접적으로 반영된다. 제안된 보조 주파수 보정 및 지터 제거 회로를 적용하여 상기의 문제들이 개선됨을 다음의 시뮬레이션 결과들을 통하여 확인할 수 있다. 보조 주파수 보정 회로는 클럭 복원기의 GVCO 출력 주파수가 2.5 GHz 일 때, 최대 13.44 MHz의 주파수 보정 범위를 가진다. 그림 7은 클럭 복원기의 주 주파수 보정이 완료된 후 GVCO에 10.5 MHz의 주파수 오프셋이 발생 할 경우의 보조 주파수 보정 회로 시뮬레이션 결과이다. 2.5 Gb/s의 연속된 "01" 패턴 데이터 입력 예시로써 보조 주파수 보정 회로는 오프셋(Offset)을 가진 GVCO의 출력 주파수를 2.5 GHz가 될 수 있도록 제어 전압 V_{ctrl} 를 증가시키며, GVCO의 출력이 2.5 GHz로 정합이 되면 V_{ctrl} 는 일정하게 유지된다. 보조 주파수 보정 회로는 DAC의 출력 5-bit에 따라 1 LSB(Least Significant Bit) 당 0.42 MHz의 GVCO 출력 주파수를 조절한다. 그림 8은 2^7-1 PRBS를 입력 데이터로 이용한 시뮬레이션 결과이다. 그림 8(a)는 10.5 MHz의 주파수 오프셋을 가진 클럭 복원기 출력을 사용하여 복원된 데이터의 아이다이아그램(Eye Diagram)이며, 그림 8(b)는 보조 주파수 보정회로를 통해 보정된 클럭

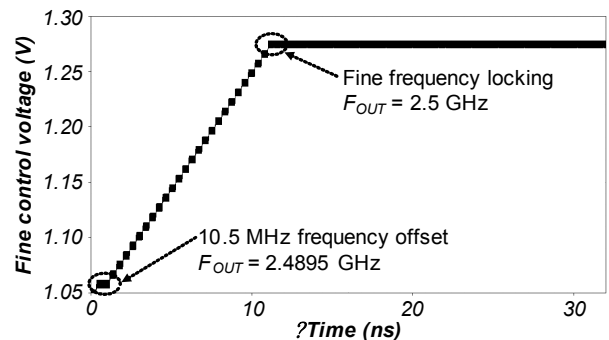


그림 7. 보조 주파수 보정 회로의 GVCO 제어전압
Fig. 7. GVCO control voltage of fine frequency calibration circuit.

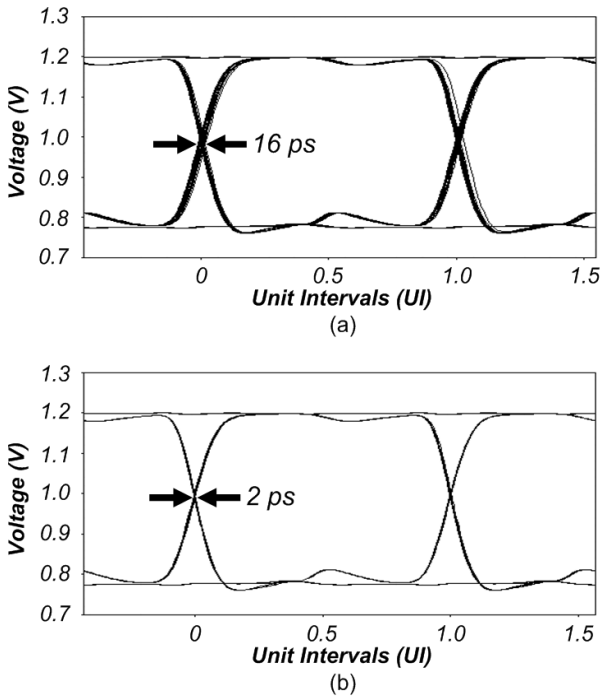


그림 8. 보조 주파수 보정을 적용한 복원 데이터 아이 다이어그램 (a) 주파수 오프셋을 가질 경우 (b) 보조 주파수 보정 후 주파수 오프셋이 없을 경우
 Fig. 8. Eye diagrams of the recovered data with the fine frequency calibration (a) Case which has frequency offset (b) Case which has not frequency offset after fine frequency calibration.

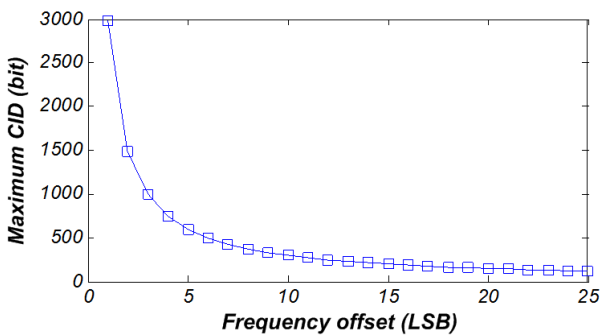


그림 9. 주파수 불일치 감소에 따른 최대 허용 CID 변화량
 Fig. 9. Maximum CID tolerance versus frequency mismatch.

복원기의 출력을 사용하여 복원된 데이터의 아이 다이어그램이다. 주파수 오프셋을 가진 복원 데이터의 지터는 16 ps이며 주파수 오프셋이 보정된 복원 데이터의 지터는 2 ps로 보조 주파수 보정을 통해 지터 성능이 향상됨을 확인 할 수 있다. 보조 주파수 보정을 통한 주파수 불일치 감소는 CDR의 최대 허용 CID를 증가시킨다. 식 (1)은 입력 지터가 없을 경우 주파수 불일치에 따른 최대

허용 CID를 나타낸다^[9].

$$CID_{Max} = 0.5 \times (100 + a) / a \quad (1)$$

a 는 주파수 불일치율을 나타내며 10.5 MHz의 주파수 불일치가 발생할 경우 a 는 0.42 %이며 최대 허용 CID는 119 bit이다. 그림 9는 주파수 오프셋에 따른 최대 허용 CID의 변화량 그래프이다. 제안된 보조 주파수 보정을 거쳤을 경우 주파수 오프셋은 1 LSB에 해당되는 0.42 MHz 내로 예상되며 이 때 a 는 0.0168 %로 최대 허용 CID는 2976 bits가 된다.

2. 지터 제거 회로

그림 10(a)는 클럭 복원기를 통해 복원된 클럭의 주파수 스펙트럼을 나타내고 그림 10(b)는 지터 제거 회로를 통해 복원된 클럭의 주파수 스펙트럼을 나타낸다. 2.5 Gb/s의 입력 데이터 인가 시 그림 10(a)와 그림 10(b)에서 볼 수 있듯이 복원된 클럭들은 동일하게 중심 주파수 2.5 GHz의 출력 스펙트럼을 가진다. 그림 10(a)에서의 출력 결과는 입력 데이터에서 기인하는 지터 성분이 복원된 클럭에 반영되는 반면에 그림 10(b)에서는 입력 데이터로부터의 지터 성분이 지터 제거 회로를 통해 제거됨을 확인 할 수 있다. 그림 11(a)는 시뮬레이션 시 공

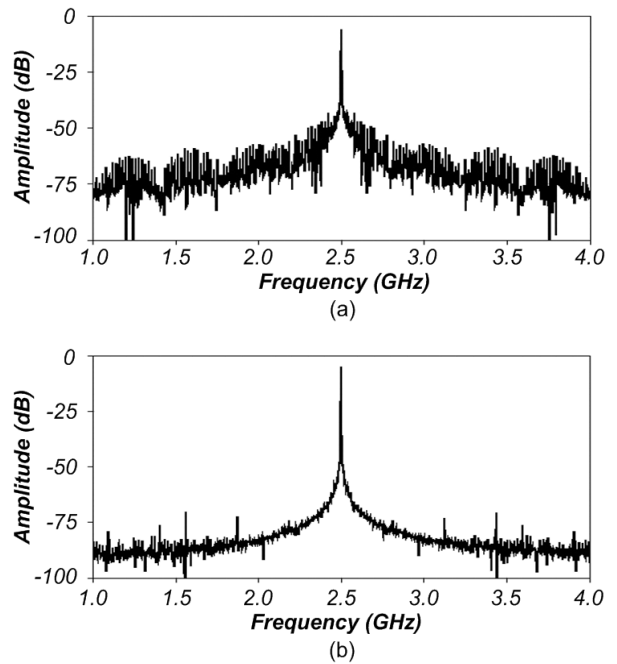


그림 10. 복원 클럭 주파수 스펙트럼
 (a) 클럭 복원기 (b) 지터 제거 회로
 Fig. 10. Frequency spectrum of the recovered clock.
 (a) The clock recovery
 (b) The jitter rejection circuit

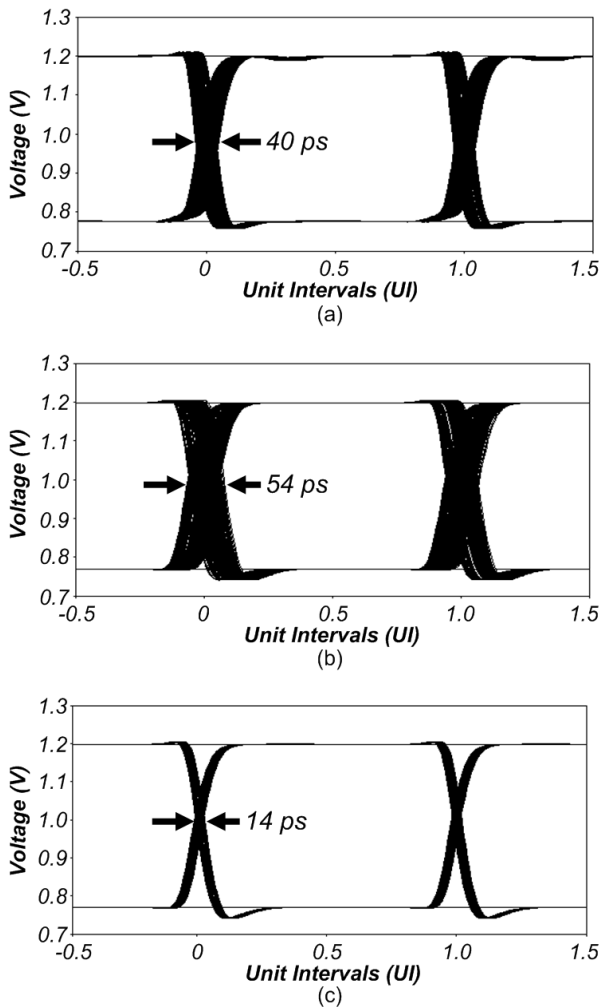


그림 11. 복원 데이터 아이다이아그램
(a) PRBS 입력 데이터 (b) 입력 지터가 반영된 복원 데이터 (c) 입력 지터가 제거된 복원 데이터

Fig. 11. Eye diagrams of the recovered data.
(a) PRBS input data (b) The recovered data with input referred jitter (c) The recovered data with input referred jitter rejection

통적으로 사용되는 40 ps(0.1 UI)의 지터를 가지는 2.5 Gb/s 2^7-1 PRBS 입력 데이터의 아이다이아그램이다. 그림 11(b)는 클럭 복원기의 출력 클럭을 사용하여 복원된 데이터의 아이다이아그램이며 시뮬레이션 결과로 얻어진 지터는 54 ps로써 입력 데이터의 지터 성분이 복원 데이터에 모두 반영됨을 알 수 있다. 그림 11(c)는 지터 제거 회로의 출력 클럭을 사용하여 복원된 데이터의 아이다이아그램이며 발생 지터는 14 ps로써 입력 데이터로부터의 지터 성분이 제거됨을 알 수 있다.

3. 레이아웃 및 성능 요약

그림 12는 CMOS 0.11 μm 공정을 사용하여 설계된

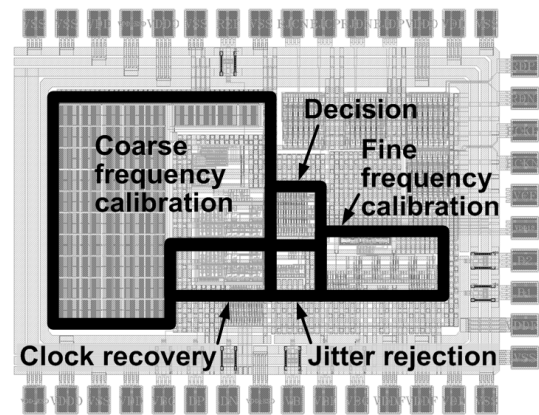


그림 12. 제안된 버스트 모드 CDR의 레이아웃
Fig. 12. Layout of the proposed burst-mode CDR.

표 2. 기존 버스트 모드 CDR들과 제안된 구조의 성능 비교

Table 2. Performance comparison between the proposed burst-mode CDR and previous works.

Parameter	[4]	[5]	[6]	This work (Simulated results)
Data rate	1.25 Gb/s 2.5 Gb/s	10 Gb/s	10.3125 Gb/s	2.5 Gb/s
Freq. offset	N/A	60 MHz	2 MHz	0.42 MHz (w/o input jitter)
CID tolerance	7 bits	11 bits	160 bits	2976 bit (w/o input jitter)
Jitter (peak-to-peak)	100 ps (0.125 UI @ 1.25 GHz) (0.25 UI @ 2.5 GHz)	21.8 ps (0.109 UI @ 5 GHz)	14.7 ps (0.152 UI @ 10.3125 GHz)	14 ps (0.035 UI @ 2.5 GHz) (w/ 0.1 UI input jitter)

버스트 모드 CDR의 레이아웃이다. ESD 회로 및 패드를 포함한 전체 칩면적은 1.3 mm²이며 루프필터를 제외한 CDR의 설계 면적은 0.125 mm²이다. 제안된 버스트 모드 CDR은 2.5 Gb/s의 입력 데이터 처리 시 94.5 mW의 전력소모를 가지며 입력 데이터 위상 천이에 따른 복원 클럭 생성과 입력 지터 제거를 위한 결정기 내의 위상 재 정렬을 포함하여 800 ps (2 bit) 내의 빠른 위상 고정 시간을 가진다. 표 2는 기존 보고된 버스트 모드 CDR과 제안된 구조의 성능 비교를 나타낸다. 제안된 버스트 모드 CDR은 주파수 보정 기법에 있어서 주 주파수 보정에 PLL을 사용하는 아날로그 방식과 보조 주파수 보정에 위상 재 정렬 정보를 사용하는 디지털 방식을 사용하여 기존 버스트 모드 CDR보다 향상된 주파수 불일치 제거 성능을 달성하였다. 제안된 디지털 보조 주파수 보정 기법의 적용을 통하여 입력 지터가 없는 이상적인 시뮬레

이선일 경우 0.42 MHz의 GVCO 주파수 오프셋과 2976 bits의 최대 허용 CID를 얻었다. 또한 제안된 입력 지터 제거 기법을 통하여 복원된 데이터는 0.1 UI의 입력 지터가 인가되어도 기존 버스트 모드 CDR들의 지터 성능을 상회하는 14 ps(0.035 UI)의 peak-to-peak 지터를 가진다.

IV. 결 론

본 논문은 GPON 및 EPON과 같은 수동형 광가입자망 서비스의 광선로종단장치에 적용 가능한 2.5 Gb/s 버스트 모드 CDR을 제안하였다. 다수의 GVCO로 구성된 기존 버스트 모드 CDR의 입력 데이터율과 GVCO 출력 주파수 간 불일치 문제를 디지털 보조 주파수 보정 기법을 사용하여 개선하였고 이를 통해 최대 허용 CID 성능을 향상시켰다. 또한 주 주파수 보정 회로 내 GVCO의 다중 위상 클럭을 사용하여 입력 데이터 지터를 제거하였으며 이를 통해 복원 클럭 및 데이터의 지터 성능을 향상시켰다. 지터 감소는 복원 클럭과 데이터의 성능 향상뿐만 아니라 타이밍 마진(Timing margin)의 확보를 통한 시스템의 고속화를 가능하게 하므로 본 논문에서 제안된 디지털 보조 주파수 보정과 지터 제거 기법은 차세대 수동형 광가입자망을 지원하는 버스트 모드 CDR의 구현을 위한 핵심 설계 기술로서 적용이 가능하다. 제안된 버스트 모드 CDR은 낮은 지터 발생과 높은 CID 특성을 가지므로 수동형 광가입자망 광선로종단장치 뿐만 아니라 다양한 고속 직렬 통신 분야의 적용이 기대된다.

REFERENCES

- [1] 이성철, 문성용, 문규, “수동 광 가입자망에서의 위상고정루프를 이용한 버스트모드 클럭/데이터 복원회로,” *전자공학회 논문지*, 제45권 SD편, 제4호, 21-26쪽, 2008년 4월
- [2] 문성용, 이성철, 문규, “622Mbps급 광 통신망용 버스트모드 클럭/데이터 복원회로 설계,” *전자공학회 논문지*, 제46권 SD편, 제2호, 57-63쪽, 2009년 2월
- [3] M. Nogawa, K. Nishimura, S. Kimura, T. Yoshida, T. Kawamura, M. Togashi, K. Kumozaki, Y. Ohtomo, “A 10 Gb/s burst-mode CDR IC in 0.13 μm CMOS,” in *Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.228-229, San Francisco, USA, Feb. 2005.
- [4] P.-S. Han, W.-Y. Choi, “1.25/2.5-Gb/s dual

- bit-rate burst-mode clock recovery circuits in 0.18- μm CMOS technology,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol.54, no.1, pp.38-42, Jan. 2007.
- [5] C.-F. Liang, H.-L. Chu, S.-I. Liu, “10-Gb/s inductorless CDRs with digital frequency calibration,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol.55, no.9, pp.2514-2524, Oct. 2008.
- [6] J. Terada, K. Nishimura, S. Kimura, H. Katsurai, N. Yoshimoto, Y. Ohtomo, “A 10.3 Gb/s burst-mode CDR using a $\Delta\Sigma$ DAC,” *IEEE J. Solid-State Circuits*, vol.43, no.12, pp.2921-2928, Dec. 2008.
- [7] C.-F. Liang, S.-C. Hwu, Y.-H. Tu, Y.-L. Yang, H.-S. Li, “A reference-free, digital background calibration technique for gated-oscillator-based CDR/PLL,” in *Symp. VLSI Circuits Dig. Tech. Papers*, pp.14-15, Kyoto, JAPAN, Jun. 2009.
- [8] J. Lee, M. Liu, “A 20-Gb/s burst-mode clock and data recovery circuit using injection-locking technique,” *IEEE J. Solid-State Circuits*, vol.43, no.3, pp.619-630, Mar. 2008.
- [9] S.L.J. Gierkink, “A 2.5 Gb/s run-length-tolerant burst-mode CDR based on a 1/8th-rate dual pulse ring oscillator,” *IEEE J. Solid-State Circuits*, vol.43, no.8, pp.1763-1771, Aug. 2008.

저 자 소 개



정 재 훈(학생회원)
2006년 중앙대학교 전자전기
공학부 학사 졸업.
2008년 중앙대학교 전자전기
공학부 석사 졸업.
2008년~현재 중앙대학교 전자
전기공학부 박사과정.

<주관심분야 : 고속 I/O 인터페이스 및 광통신>



정 연 환(학생회원)
2008년 중앙대학교 전자전기
공학부 학사 졸업.
2008년~현재 중앙대학교 전자
전기공학부 석·박사
통합과정.

<주관심분야 : 고속 데이터 변환기 및 주파수 합
성기>



신 동 호(학생회원)
2013년 중앙대학교 전자전기
공학부 학사 졸업.
2013년~현재 중앙대학교 전자
전기공학부 석사과정.

<주관심분야 : 고속 I/O 인터페이
스 및 주파수 합성기>



김 용 신(정회원)
1999년 고려대학교 전자공학과
학사 졸업.
2003년 고려대학교 전자공학과
석사 졸업.

2008년 University of California
at Santa Cruz, Electrical
Engineering 박사 졸업.

2008년~현재 중앙대학교 전자전기공학부 연구교수.
<주관심분야 : 태양광 시스템, VLSI 설계, 센서>



백 광 현(평생회원)
1990년 고려대학교 전자전산
공학과 학사 졸업.
1990년~1996년 삼성전자(주) LSI
사업부 선임연구원.
1998년 고려대학교 전자공학과
석사 졸업.

2002년 University of Illinois at Urbana-
Champaign, Electrical and Computer
Engineering 박사 졸업.

2001년~2006년 Rockwell Scientific, USA Senior
Scientist

2006년~현재 중앙대학교 전자전기공학부 교수.

<주관심분야 : 아날로그 및 디지털 혼성회로 설계 >