



DRAM capacitor의 발전 현황

김성근 선임연구원 (KIST 전자재료연구센터)

1. 서론

현대의 컴퓨터에서 정보의 저장은 하드 디스크에서 주로 이루어지고 있으며, 최근에 들어서는 플래시 메모리를 이용한 SSD (Solid State Drive)가 새롭게 각광받고 있다. 그러나 이러한 저장매체, 특히 하드 디스크는 마그네틱 디스크의 기계적인 움직임을 기반으로 정보를 읽고 쓰기 때문에 제한된 Data access time을 가져, 중앙처리장치의 빠른 속도를 처리하지 못하고 하드 디스크에서 병목 현상이 발생하는 문제가 발생한다. 따라서 컴퓨터의 동작 동안 빠른 속도로 정보를 처리할 수 있도록 하드 디스크 이외의 다른 메모리가 필요하다. 이러한 역할을 담당하는 메모리가 SRAM 및 Dynamic Random Access Memory (DRAM) 이며, SRAM의 낮은 집적도에 비해 DRAM은 집적도가 매우 높아 주메모리로서 역할을 담당하고 있다. DRAM은 Intel社에 의해 1 Kb DRAM이 처음 개발된 이래 삼성전자에 의해 1992년 64 Mb, 1994년 256 Mb DRAM 개발, 그리고 현재의 기가비트 메모리에 이르기까지 DRAM 소자의 고용량화, 고성능화를 위한 노력은 계속되고 있다. 특히, 스마트폰, 태블릿 pc 등등 모바일 기기의 급속한 시장 확대는 주메모리로서 기능하는 DRAM 소자의 발전을 더욱 가속하고 있다.

DRAM 셀은 트랜지스터 하나와 커패시터 하나로 구성되며, 이외에도 셀을 구동하기 위한 센싱 애플리파이어, 디코더, 인코더 등등이 Periphery 영역에 존재한다. DRAM 셀 내에서 트랜지스터는 DRAM cell의 어레이에서 특정 셀을 읽거나 쓸 수 있도록 선택하는 역할을 하며 커패시터는 전하를 저장하여 '0'과 '1'의 데이터를 기록하는 역할을 한다. DRAM 소자의 집적화를 위해서는 트랜지스터 및 커패시터 요소 기술 모두 중요하나, DRAM 셀 내에서 트랜지스터의 on-off 스위칭 속도에 대한 요구조건은 중앙처리장치 등의 로직 소자 내 트랜지스터에 비해 낮은 수준으로 집적도가 중요한 DRAM 소자에서는 Data 저장 역할을 수행하는 커패시터 요소 기술 개발이 특히 중요하다. DRAM의 고집적화가 진행될수록 셀 하나에 할당되는 면적은 감소하는 반면, DRAM 셀의 동작을 위해서는 셀의 크기와 집적도에 관계없이 25 fF/cell 이상의 정전용량이 요구된다. 정전용량은 잘 알려져 있는 바와 같이 커패시터의 유효표면적에 비례하는데 반해, DRAM 소자의 집적도가 증가할수록 커패시터가 차지하는 단면적은 급속히 감소하므로 필요한 정전용량의 확보가 매우 어려워진다. 이러한 정전용량 확보 이외에도 커패시터의 누설전류는 저장된 정보의 손실과 직접적으로 관련이 있으므로 매우 낮은 누설전류를 얻기 위한 노력이 동시에 진행되고 있다.



본고에서는 높은 정전용량 및 낮은 누설전류 확보 등 DRAM 커패시터 개발에 요구되는 점들을 살펴보고, 이를 해결하기 위한 노력으로써 다양한 유전체 및 전극 물질에 대한 연구와 이러한 물질들의 균일한 형성을 위한 공정에 대한 연구 등등에 대해 구체적으로 살펴보고자 한다.

2. 본 론

2.1 DRAM 커패시터 구조

커패시터의 정전용량은 다음과 같은 수식으로 표현할 수 있다.

$$C = \epsilon_r \epsilon_0 \frac{A}{t}$$

이 식에서 C는 정전용량, ϵ_r 은 절연체의 상대유전율, ϵ_0 는 진공의 유전율, A는 커패시터의 유효면적, t는 절연체의 두께를 가리킨다. 이 식으로부터 파악할 수 있듯이 정전용량을 증가시키기 위해서는 절연체 박막의 두께를 감소시키거나 커패시터의 유효 표면적을 증가, 또는 높은 유전율을 가지는 물질을 사용해야만 한다. 그러나 절연체 박막의 두께를 감소는 누설 전류의 증가 및 α -입자에 의한 소프트 에러의 증가 등을 야기하여 소자의 신뢰성을 떨어뜨리는 문제를 발생시킨다. 따라서 절연체 박막의 두께를 감소시켜 정전용량을 증가시키는 데에는 한계가 있으며, 유효 표면적을 증가시키거나 높은 유전율을 가지는 물질을 이용하는 방향으로 연구가 진행되고 있다.

그림 1은 DRAM 셀의 디자인 룰 감소에 따른 DRAM 커패시터의 구조 변화를 보여준다 [1]. 그림에서 볼 수 있는 바와 같이 DRAM 커패시터에서는 제한된 영역 내에서 표면적을 증가시키기 위해 주로 실린더 형태 등 3차원 입체 구조를 이용하고 있으며, 디자인 룰 감소에 따라 커패시터의 높이는 증가하고

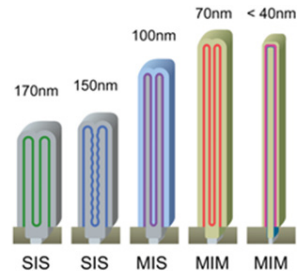


그림 1. 디자인 룰 감소에 따른 DRAM 커패시터의 구조 변화 [1].

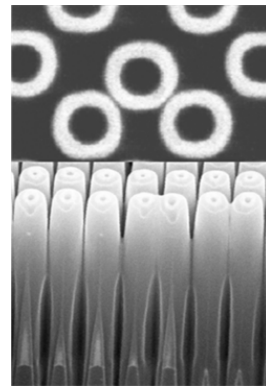


그림 2. 기울어진 DRAM 커패시터를 위와 옆에서 바라본 SEM 이미지 [2].

있다. 그러나 디자인 룰이 40 nm 이하로 감소하는 경우는 전극 및 절연체의 물리적 두께 때문에 실린더 형태의 커패시터가 아닌 박스 형태의 커패시터가 이용되며, 커패시터의 높이 또한 구조적인 취약성 때문에 오히려 감소하게 된다. 그림 2는 3차원 구조의 DRAM 커패시터 제조 후 일부 커패시터가 기울어져 있는 모습을 관찰한 모습이다 [2]. 커패시터의 높이가 너무 높아지는 경우 그림 2에서 보는 것처럼 커패시터가 기울어지거나 부러지는 등의 구조적인 문제가 발생하기 쉽다. 따라서 정전용량을 늘리기 위해 커패시터의 높이를 계속 높이는 것은 어려우며, 디자인 룰이 40 nm 이하처럼 매우 낮은 경우에는 커패시터의 높이가 오히려 감소하게 된다. 그림 3(a)는 2009년 International

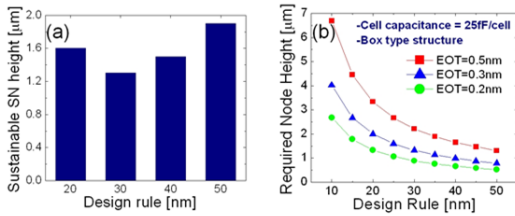


그림 3. (a) ITRS 2009에 보고된 디자인 룰에 따른 Sustainable한 커패시터 높이, (b) 각 디자인 룰에 따라 셀당 25 fF의 정전용량 확보를 위해 요구되는 커패시터 높이.

Technology Roadmap for Semiconductors (ITRS)에 보고된 디자인 룰에 따른 커패시터의 최대 높이를 보여주며, 디자인 룰 감소에 따라 커패시터의 높이가 제한적임을 잘 보여주고 있다 [3].

그림 3(b)는 필요한 정전용량 확보를 위해 요구되는 커패시터의 높이를 나타낸다. 그림 3(b)에서 파악할 수 있는 바와 같이 약 40 nm 이하의 디자인 룰에서는 등가산화막두께가 0.5 nm일 때 요구되는 커패시터의 높이가 Sustainable한 높이를 초과하게 된다. 커패시터 높이를 낮추기 위해서는 등가산화막두께를 감소시키는 것이 필수적으로, 이를 위해서는 고유전율을 갖는 절연체 물질의 사용이 필연적으로 요구된다.

2.2 단원자층증착법

(Atomic Layer Deposition)

앞서 살펴본 바와 같이 DRAM 커패시터는 Aspect ratio가 매우 큰 3차원 입체 구조 형태를 가지기 때문에 그러한 입체 구조에 절연체 및 전극 물질을 균일하게 형성하는 것이 중요하다. 특히, 절연체 박막의 두께가 균일하지 않는 경우, 얇은 부분에서의 전기장의 증가로 누설전류가 증가하는 문제가 발생하게 된다. 절연체 및 전극 물질의 증착 방법에는 스퍼터링 및 Evaporation 등의 PVD (Physical vapor deposition) 또는 기상 반응 원료의 화학 반응을 이용한 CVD

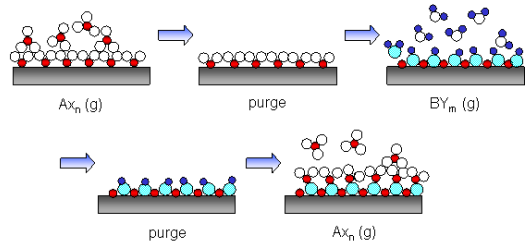


그림 4. 단원자층증착법 기본 과정.

(Chemical vapor deposition) 등이 있으나 이러한 방법들 모두 실린더 또는 박스 형태의 커패시터 구조에 균일한 박막을 형성하는 것이 어렵다.

우수한 단차피복특성 확보를 위해 현재 가장 많이 이용되고 있는 박막증착법은 단원자층 증착법 (ALD, Atomic layer deposition) 이다. ALD법은 CVD법과 달리 반응 원료를 각각 분리하여 공급하는 방식으로 한 사이클 증착 시에 표면 반응에 의해 1 ML (Monolayer) 이하의 박막이 성장하게 된다. ALD 반응의 사이클은 이성분계 물질을 예로 들어 설명하면 그림 4와 같이 구성된다.

ALD법에서의 반응은 그림 4에서 보는 바와 같이 먼저 AX_n 가 공급된 뒤 A 원소가 기판 위에 흡착하게 된다. 이때 AX_n 원료끼리의 흡착은 물리적 흡착으로 이루어져 결합력이 약하기 때문에 쉽게 떨어질 수 있는 반면, 기판과 흡착한 A 원소는 기판과 화학적 흡착으로 더 강한 결합을 하기 때문에 그 다음 단계인 Purge 단계에서 물리적 흡착한 반응 원료는 모두 떨어져 나가 제거되고 화학적 흡착한 A 원소만 포화되어 흡착된 채로 남아 있게 된다. 따라서 흡착된 물질은 원료 물질의 주입에 관계없이 포화되며, 이러한 화학적 흡착과 물리적 흡착의 차이에 의해 ALD법에서 원자층 단위의 조절이 가능하게 된다. 이후 AB 화합물을 만들기 위해 BY_m 를 공급하게 되면, BY_m 과 기판에 흡착되어 있는 A 원소가 서로 반응을 통해 A-B 결합이 이루어지게 되고 mY 와 nX 는 결합하여 부산물



로써 기상으로 빠져나가게 된다. 마찬가지로 이후에 Purge를 통해 물리적 흡착하고 있는 BY_m 는 모두 제거되고 Monolayer만큼 성장하게 된다. 이와 같은 과정이 한 Cycle로 구성되며 증착 속도는 Ligand의 Size 효과로 인해 보통 사이클 당 Monolayer 이하로 나타나는 특성을 보인다.

ALD법은 표면 한 층이 포화된 이후에는 원료 물질을 더 주입하더라도 더 이상 박막이 형성되지 않는 'Self-limiting'한 특성을 보인다. 이러한 Self-limiting mechanism에 의해 Aspect ratio가 매우 큰 3차원 입체 구조에서도 균일한 박막 형성이 가능하다. 우수한 단차피복 특성 이외에도 원자층 단위로 박막이 성장하며 사이클에 따라 박막의 두께가 결정되기 때문에 박막의 두께 조절이 매우 용이하다. 또한, 대면적의 기판에서 CVD보다 우수한 박막의 두께 균일성 특성을 나타내며, 재현성 또한 우수한 특성을 보여준다. 그리고 반응 원료의 열분해 반응을 이용하는 CVD와 달리 ALD는 반응 원료의 화학적 흡착을 이용하기 때문에 CVD보다 증착 온도를 낮출 수 있는 장점 등이 있다. 그러나 ALD법은 사이클 당 Monolayer 이하로 박막이 형성되기 때문에 증착속도가 상당히 낮은 단점이 있다. 그러나 커패시터의 절연체는 낮은 등가산화막두께 확보를 위해 10 nm 이하의 얇은 박막이 이용되기 때문에 얇은 두께의 박막에서는 낮은 증착 속도를 갖는 ALD법의 단점은 많이 상쇄될 수 있어 DRAM 커패시터 기술에 ALD법이 많이 활용되고 있다.

2.3 주요 유전체 물질

국내·외에서 커패시터의 유전체로써 기존의 물질 (SiO_2/SiN_x , Al_2O_3)을 대체하기 위해 고유전 재료로 주로 연구되어 온 물질로는 HfO_2 , Ta_2O_5 , TiO_2 , ZrO_2 등의 이성분계 산화물과 $SrTiO_3$, $(Ba,Sr)TiO_3$ 등의 Perovskite 계열 산화물 등이 있다. 이러한 각 유전체는

등가산화막 두께를 낮추고자 기존의 폴리실리콘 전극이 아닌 TiN, Ru 등의 전극 물질과의 조합으로 많은 연구가 진행되고 있다. 각 후보 물질에 대한 연구 현황을 살펴보면 다음과 같다.

(1) HfO_2

HfO_2 는 트랜지스터의 Gate oxide로 많이 연구되어온 물질로 약 20 정도로 비교적 낮은 유전율을 가지나 밴드갭이 5.7 eV 정도로 비교적 크기 때문에 누설전류 특성이 우수하여 많은 연구가 진행되었다. HfO_2 에 의한 연구는 HfO_2 단일막 또는 결정화 억제 및 누설전류를 낮추기 위해 HfO_2 와 Al_2O_3 의 적층구조를 이용한 연구가 주로 진행되었다.

그러나 보고되고 있는 연구 결과에 따르면 유전율이 약 25 정도인 HfO_2 박막을 이용하는 경우 등가산화막두께를 1 nm 이하로 낮추기에는 많은 어려움이 있다 [4,5]. 따라서 HfO_2 를 유전체로 이용한 연구 결과들은 90 nm 또는 70 nm 급 소자를 위한 것으로 0.5 nm 이하의 등가산화막두께가 요구되는 30 nm급 이하 소자를 위해서는 거의 연구되지 않고 있다.

(2) Ta_2O_5

Ta_2O_5 는 Orthorhombic과 Hexagonal의 구조의 동질다상을 갖는 유전막으로, 결정구조에 따라 상이한 유전율을 갖는 것으로 잘 알려져 있다. Orthorhombic 및 비정질의 경우는 25 정도로 낮은 유전율을 가지나 Hexagonal 구조에서 c축 방향을 따라서는 유전율이 60~65 정도로 높은 유전율을 나타내어, Ta_2O_5 는 커패시터의 절연체 후보물질로써 연구되어 왔다.

Ta_2O_5 유전막에 대한 연구는 TiN 전극을 주로 이용한 HfO_2 의 경우와 달리 하부전극으로써 Ru 금속 전극의 이용에 초점이 맞추어져 있다. TiN 및 Si 등의 기판에 성장시킨 Ta_2O_5 는 Orthorhombic 구조로 성장하는

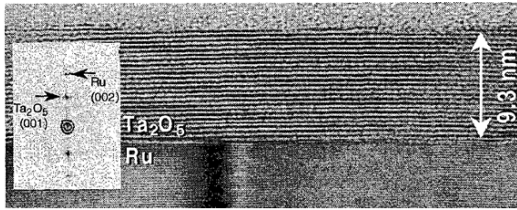


그림 5. Ru 위에 형성된 Ta₂O₅ 박막의 투과전자현미경 사진 및 Fourier transformed pattern 결과.

데 반해 Ru 기판 위에서는 Hexagonal 구조의 Ta₂O₅이 국부적 Heteroepitaxy 기구에 의하여 c축 우선배향성을 가지며 성장하는 것이 보고되었다 [6]. 그림 5는 Ru 기판 위에 성장시킨 Ta₂O₅의 투과전자현미경 사진 및 Fourier transform pattern 결과로 Ta₂O₅이 Ru 기판 위에서 국부적 Heteroepitaxy로 성장하고 있음을 확인할 수 있으며 Fourier transform pattern에서 볼 수 있듯이 Ta₂O₅는 c-축 배향성을 가짐을 알 수 있다 [6].

그러나 보통 ALD 및 CVD 공정을 통해 Ru 기판에서 형성된 Ta₂O₅는 상대적으로 낮은 공정 온도로 인해 비정질로 성장하며, Hexagonal structure로 성장하기 위해서는 박막 형성 후 별도의 열처리 공정을 필요로 한다. Hexagonal Ta₂O₅로의 결정화는 약 650~700℃ [6,7]에서 시작되는 것으로 보고되고 있으며, 이 때 유전율은 약 50~65 정도로 등가산화막두께를 0.8 nm 정도까지 낮출 수 있는 것으로 발표되었다.

비록 650℃ 이상의 열처리를 통해 60 정도의 유전율 확보가 가능하지만 600℃ 이상의 열처리 공정은 박막 내 존재하는 산소가 하부 전극 및 확산방지막으로 확산하는 현상에 의해 커패시터의 구조적 안정성을 열화시키는 문제를 야기하며, 따라서 Ta₂O₅의 결정화 온도를 낮추는 것이 필수적이다. 이를 위한 방안으로 Hexagonal의 Ta₂O₅와 동일한 구조를 가지며 결정화 온도가 600℃ 미만인 Nb₂O₅를 Seed layer로 이용하는 방법 [8] 및

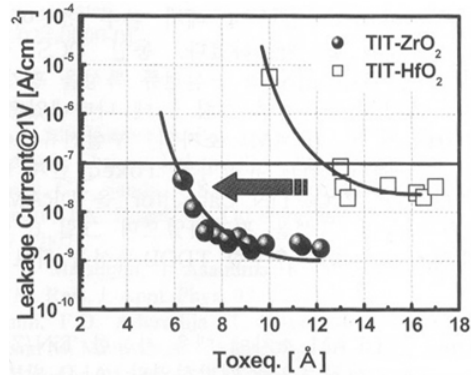


그림 6. TiN/ZrO₂/TiN 커패시터 구조에서 누설 전류와 등가산화막두께의 상관관계.

(Ta_{1-x}Nb_x)₂O₅형태의 고용체를 이용하는 방법 [9] 등이 제안되어 있다. 특히, Ta₂O₅/Nb₂O₅ 적층막을 ALD법으로 성장시킨 경우 575℃의 비교적 낮은 열처리를 통해서 66 정도의 유전율을 확보할 수 있었으며, 0.75 nm의 등가산화막두께를 확보할 수 있었다 [8].

그러나 Ta₂O₅를 이용하여 등가산화막두께를 0.5 nm 이하로 낮추고자 하는 경우, 누설 전류의 급격한 증가가 발생하는 문제로 30 nm급 이하의 소자를 위해서는 거의 연구되지 않고 있다.

(3) ZrO₂

ZrO₂는 Cubic, Tetragonal, Monoclinic 등의 동질다상을 가지는 유전체로 각 구조에 따른 유전율은 Monoclinic의 경우 20, Cubic인 경우 37, Tetragonal의 경우 c축을 따라 47로 결정 구조마다 상이한 유전율을 갖는 것으로 알려져 있다 [10]. 그러나, 상온 및 공정 온도 영역에서는 Monoclinic이 가장 안정한 상으로 알려져 있고 ZrO₂ 박막 형성 결과 또한 대부분 Monoclinic 상으로 형성되는 것으로 보고되고 있다 [11]. 그러나 최근의 보고에 따르면 ZrO₂의 결정구조는 박막의 두께와 관련이 있는 것으로 알려져 있으며, 박막의 두께가 얇은 경우에는 저온 안정상인 Monoclinic이 아닌 Tetragonal/Cubic



상이 나타나는 것으로 보고되었다. 특히, 이때 유전율을 또한 40 이상으로 ZrO_2 는 50 nm 급 DRAM 커패시터의 유전막으로써 주목받고 있다 [12]. 그림 6은 $TiN/ZrO_2/TiN$ 커패시터 구조의 동작전압에서의 누설전류와 등가산화막두께의 상관관계를 보여주고 있는 결과로 안정한 누설전류 이내에서 등가산화막두께를 약 0.6 nm까지 감소시킬 수 있었으며, TiN 상하부 전극을 채용한 HfO_2 에 비해 0.6 nm 이상의 등가산화막두께의 이득을 갖는 것을 보여주고 있다 [13]. 이외에도 누설전류 특성을 향상시키기 위해 $ZrO_2/Al_2O_3/ZrO_2$ 와 같은 구조도 사용되고 있다. 고온 안정성인 Tetragonal/Cubic ZrO_2 박막은 이와 같이 낮은 등가산화막두께를 확보할 수 있을 뿐만 아니라 TiN 및 ZrO_2 등과 같이 공정 성숙도가 높은 공정을 그대로 적용할 수 있다는 점에서 현재 DRAM 커패시터 기술에 활용되고 있다.

(4) TiO_2

TiO_2 는 Anatase, Rutile, Brookite 등 동질다상을 가지는 물질로 ZrO_2 등과 마찬가지로 결정 구조에 따라 TiO_2 박막의 유전율이 상이한 것으로 잘 알려져 있다. 일반적인 공정에 의해 주로 얻어지는 Anatase 구조는 약 40 정도의 유전율을 가지는 반면, Rutile 구조의 TiO_2 는 a축 방향으로는 약 90, c축 방향으로는 170 정도의 매우 높은 유전율을 가지는 것으로 알려져 있다. 그러나 대부분의 박막 공정으로는 Anatase 구조가 얻어지며 Rutile 구조의 TiO_2 박막 형성은 매우 어려운 것으로 알려져 있을 뿐만 아니라, 약 3 eV의 작은 밴드갭 또한 높은 누설전류를 야기하여 TiO_2 박막을 이용한 DRAM 커패시터 연구는 거의 진행되지 않았다.

그러나 최근 Rutile 구조의 TiO_2 와 동일한 결정구조를 가지는 RuO_2 층을 이용하여 200도 근처의 낮은 증착 온도 영역에서도 Rutile TiO_2 박막이 형성됨이 보고됨에 따라 TiO_2

박막을 이용한 DRAM 커패시터 연구가 점차 활발해지고 있다 [14]. ALD법으로 TiO_2 박막을 Ru 기판 위에서 오존을 이용하여 형성함으로써 별도의 열처리 없이 Rutile 구조의 TiO_2 가 형성되었으며, 이러한 Rutile 구조의 형성으로 83의 높은 유전율이 보고되었다 [14]. 뿐만 아니라 Rutile TiO_2 박막 내에 Al을 첨가함으로써 박막의 누설전류를 크게 감소시키는 내용이 보고되었으며, Al 첨가를 통해 안정된 누설전류 내에서 0.5 nm 이하의 등가산화막 두께를 확보하였음이 보고되었다 [15]. Rutile TiO_2 및 Al을 첨가한 Rutile TiO_2 는 용이한 박막 공정과 낮은 등가산화막두께 확보가 가능하다는 점에서 차세대 DRAM 커패시터 유전체 후보 물질로 각광받고 있다.

(5) $SrTiO_3$ 또는 $(Ba,Sr)TiO_3$

$SrTiO_3$ (STO) 및 $(Ba,Sr)TiO_3$ (BST)는 Perovskite 계열의 물질로 그림 7에서 볼 수 있는 바와 같이 단위포를 형성하고 있는 TiO_6 정팔면체 내에 위치한 Ti ion의 Ionic polarizability가 매우 크기 때문에, 박막의 경우에도 STO의 경우는 약 200, BST의 경우는 300 이상의 매우 높은 유전율을 갖는 것으로 잘 알려져 있다. 이와 같은 유전율은 이성분계 금속 산화물에서 얻을 수 있는 유전율에 비해 수 배 이상 큰 값으로 높은 정전용량을 확보할 수 있어 STO 및 BST는 향후 20 nm 이하 급의 DRAM 소자의 유전체료로서 연구가 진행되고 있다.

Sputtering 및 MOCVD법에 의해 성장된 STO 및 BST 박막의 유전 성질에 대한 연구는 많이 이루어져 있으며, 평판 구조에서는 0.5 nm 이하의 등가산화막두께가 관찰되는 등 우수한 유전 특성이 관찰되어 STO 및 BST 물질 자체는 분명 차세대 DRAM 소자의 유전체료로의 가능성을 보여주고 있다 [16]. 그러나 정전 용량 확보를 위해 3차원의 구조물에 STO 및 BST 박막을 형성하게 되

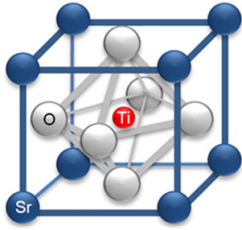


그림 7. SrTiO₃의 단위포 구조.

면 이성분계 금속 산화물에 비해 복잡한 구조와 조성으로 인해 박막의 두께 및 조성의 단차피복특성 확보가 매우 어려워 평판 구조에 비해 전기적 특성이 크게 열화되는 문제를 갖는다 [17]. 특히, 메모리의 고집적화를 위해 Design rule이 감소하고 있는 추세에서 Aspect ratio의 증가로 두께 및 조성의 단차피복특성 확보 문제는 더욱 심각해지고 있는 상황이다.

최근 들어 이와 같은 박막의 두께 및 조성의 단차피복특성 확보를 위해 ALD법을 이용한 박막 증착 연구가 이루어지고 있다. ALD법에 의한 STO 박막의 형성에 대한 연구는 산화제로써 O₂ plasma, O₃, H₂O 등을 이용한 연구가 진행되어 있다. O₂ plasma, O₃ 등의 산화제를 이용하는 경우 평판에서는 STO 박막이 형성되나 Carbon 등의 불순물이 많으며, 3차원 구조에 증착 시 박막 두께의 단차피복특성은 확보되나 조성이 불균일한 점등이 문제로 나타나고 있다. 또한, Sr의 반응 원료인 Sr(thd)₂의 기화 온도를 조절하여 박막의 두께 및 조성의 단차피복특성 문제를 해결한 결과 등도 보고되고 있다 [18].

그러나 현재까지의 3차원 구조에서 ALD법에 의한 STO 및 BST 박막에서 20 nm급 이하의 차세대 메모리 소자에 적용될 만한 우수한 전기적 특성 결과는 확보되지 못한 상황이다. 또한, 유전체 박막의 유전율이 증가할 경우 전극과의 계면에 필연적으로 발생하는 저유전층의 존재로 인하여 필요한 박막의 두께 영역인 10 nm 정도의 두께에서는 벌크

물질의 그것에 비하여 유전율이 크게 감소하는 문제가 있다. 이와 같은 문제의 원인에 대한 학술적 연구와 동시에 공학적으로 해결할 수 있는 방안에 관한 연구도 활발히 진행되고 있다 [19].

3. 결론

DRAM 소자의 집적도 증가에 따라 커패시터가 적절한 동작을 위해서는 충분한 정전용량이 확보되어야 하며, 궁극적으로는 높은 유전율과 동시에 낮은 누설전류특성을 갖는 유전 재료의 개발이 요구된다. 특히, 이러한 유전 재료 공정 개발은 유전 재료 자체의 특성뿐만 아니라 정전용량 확보를 위한 3차원 구조에서의 균일한 박막 형성 등의 공정적인 부분도 함께 고려가 되어야 하기 때문에 많은 어려움이 있다.

그러나 20 nm 이하 급 소자에 대한 요구는 곧 도래할 것으로 보이며, sub-20 nm급 DRAM 커패시터 개발을 위해서는 0.5 nm 이하의 등가산화막두께를 갖는 커패시터 공정 개발이 더욱 시급히 요구된다. 이를 위해서는 이상에서 논의한 유전체 박막공정에 대한 연구 개발뿐만 아니라 각각의 유전체에 적합한 전극의 개발 또한 유전체 개발과 더불어 진행 되어야 한다. 특히, SrTiO₃ 등과 같은 Perovskite 물질의 유전율 향상을 위해서는 SrRuO₃ 등과 같은 산화물 전극 개발이 요구된다.

참고 문헌

[1] S. K. Kim, S. W. Lee, J. H. Han, B. Lee, S. Han, C. S. Hwang, Adv. Funct. Mater., 20, 2989 (2010).
 [2] K. Kim, Electron Devices Meeting, IEDM Technical Digest, International, 323 (2005).

- [3] International Technology Roadmap for Semiconductors 2009.
- [4] D. S. Kil, K. Hong, K.-J. Lee, J. Kim, H.-S. Song, K.-S. Park, J.-S. Roh, H.-C. Sohn, J.-W. Kim, S.-W. Park, Symp. On VLSI. Tech. pp. 126 (2004)
- [5] S.-J. Won, Y.-K. Jeong, D.-J. Kwon, M.-H. Park, H.-K. Kang, K.-P. Suh, H.-K. Kim, J.-H. Ka, K.-Y. Yun, D.-H. Lee, D.-Y. Kim, Y.-M. Yoo, C.-S. Lee, Symp. On VLSI. Tech. pp. 035-6 (2003)
- [6] M. Hiratani, T. Hamada, S. Iijima, Y. Ohji, I. Asano, N. Nakanishi, S. Kimura, Symp. On VLSI. Tech. pp. 41 (2001)
- [7] W.-D. Kim, J.-H. Joo, Y.-K. Jeong, S.-J. Won, S.-Y. Park, S.-C. Lee, C.-Y. Yoo, S.-T. Kim, J.-T. Moon, IEDM Tech. Dig., pp. 263 (2001)
- [8] D. Ma, S. Park, B.-S. Seo, S. Choi, N. Lee, J.-H. Lee, J. Vac. Sci. Technol. B 23(1), pp.80 (2005)
- [9] B. C. M. Lai, N. H. Kung, and Y. M. Lee, J. Appl. Phys., 87, 4087 (1999)
- [10] X. Zhao, D. Vanderbilt, Phys. Rev. B, 65, 075105 (2002)
- [11] S.-Y. Lee, H. Kim, P. C. McIntyre, K. C. Saraswat, J.-S. Byun, Appl. Phys. Lett., 82(17), 2874 (2003)
- [12] K. R. Yoon et al., SSDM Ext. Abst. pp. 188 (2005)
- [13] 이종철, 임기빈, 정은애, 윤경렬, 여재현, 김영선, 유차영, 김성태, 정우인, 문주태, proceeding of the 13th Korean conference on Semiconductors, pp. 687 (2006)
- [14] S. K. Kim, W.-D. Kim, K.-M. Kim, C. S. Hwang, J. Jeong, Appl. Phys. Lett., 85, 4112 (2004).
- [15] S. K. Kim, G.-J. Choi, S. Y. Lee, M. Seo, S. W. Lee, J. H. Han, H.-S. Ahn, S. Han, C. S. Hwang, Adv. Mater., 20, 1429 (2008).
- [16] C. S. Hwang, S. O. Park, C. S. Kang, H. J. Cho, H. K. Kang, S. I. Lee and M. Y. Lee, Appl. Phys. Lett., 67, 2819 (1995).
- [17] C. S. Hwang, S. Y. No, J. Park, H. J. Kim, H. J. Cho, Y. K. Han, K. Y. Oh, J. Electrochem. Soc., 149, pp. G585 (2002)
- [18] O. S. Kwon, S. K. Kim, C. S. Hwang, J. Electrochem. Soc., 152(4), C229 (2005).
- [19] C. S. Hwang, J. Appl. Phys., 92, 432 (2002).

저자약력



성명 : 김성근

◆ 학력

- 2001년
서울대학교 공과대학
재료공학부 공학학사
- 2007년
서울대학교 대학원
재료공학부 공학박사

◆ 경력

- 2007년 - 2009년 독일 Juelich Research Center, Postdoctoral Fellow
- 2010년 - 2012년 Argonne National Laboratory, Postdoctoral Fellow
- 2012년 - 현재 KIST 전자재료연구센터 선임연구원

