

PCB 내장형 나노커패시터의 소재 및 기술 동향



이승환 연구원 (삼화코덴서공업(주) 신상품개발팀), 윤중락 연구소장 (삼화코덴서공업(주) 연구소)



1. 서론

스마트 폰과 태블릿 PC를 선두로 한 모바일용 전자기기시장이 확대되면서 스마트 제품에 적용되는 핵심부품들과 함께 임베디드 PCB가 주목 받고 있다. 이러한 모바일용 전자부품분야에서 기술의 트렌드는 다기능화, 소형화, 고속화이며, 그 중 수동소자 (Inductor, Capacitor, Resistor)의 내장화와 관련된 기술 개발 경쟁이 가속화 되고 있다. 특히 최근에는 모바일 기기의 고기능화에 따른 탑재 부품의 수량 증가, PCB 두께 슬림화 및 면적 최소화를 통한 배터리 공간의 확보, 처리속도와 시스템 안정화에 따른 노이즈 문제 해소를 위한 연구가 활발히 진행되고 있다. SoP (System on Package)는 기존의 서로 다른 기반의 공정이 하나의 칩 (Chip)에서 이루어지는 개념으로 RF, Digital, Analog, MEMS (Micro Electro Mechanical System) 등과 같은 소자들을 패키지 (Package)에 구현함으로써 시스템의 집적도를 높이는 기술이다. 이러한 SoP는 처음 제안된 후 10년 이상이 되었으나 많은 기술적 한계에 부딪혀 현재까지 제한적인 부분에서 응용되고 있다. 최근에 급속히 적용이 확대된 임베디드 PCB는 기존에 적용되는 PCB 표면에 SMT (Surface Mounted Technology)로 실장할 때와 비교하여 다음과 같은 장점을 가지며

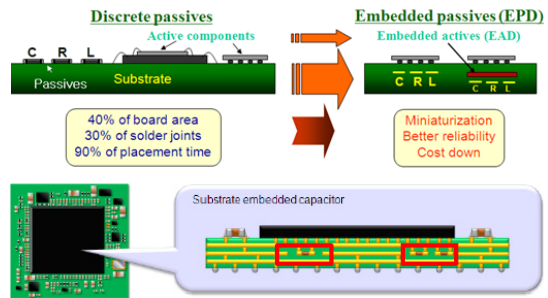


그림 1. 수동소자 임베디드 PCB 적용 예.

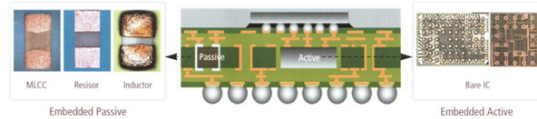


그림 2. 임베디드 PCB 개념도.

적용 예를 그림 1에 나타내었다.

- 기관의 실장밀도 향상
- Soldering 접촉점의 감소에 따른 신뢰성 및 노이즈 특성 향상
- Soldering 접촉점 및 선간에 발생하는 기생효과(parasitic effect)의 감소
- 부품조립 공정의 단축에 따른 원가 절감

그림 2는 임베디드 PCB의 기본 개념으로 커패시터, 저항, 인덕터와 같은 수동 부품과 반도체 IC와 같은 능동 부품을 PCB 내부에 삽입



한 구조이다.

임베디드 PCB는 커패시터와 같은 수동 부품만을 내장한 타입 EPD (Embedded Passive Device)와 능동 부품을 내장한 타입 EAD (Embedded Active Device)로 구분된다. 그림 3은 EPD와 EAD 타입의 적용 기술을 세부 분류한 것으로 EPD의 경우 칩 형태 부품을 사용하는 Chip Device Embedded와 필름 또는 박막 형태를 가지는 Formed Device Embedded로 구분할 수 있다.

EPD법을 적용한 임베디드 PCB는 두께를 최소화하기 위하여 대표적인 수동 부품인 MLCC (Multilayer Ceramic Capacitor) 두께를 150 μm 에서 100 μm 이하로 하기 위한 개발이 진행되고 있다. Formed Device Embedded에 적용되는 기술은 후막형 필름 (Thick Film), 박막형 필름 (Thin Film)이 있으며 재료로는 세라믹-폴리머, 금속-세라믹, 금속-폴리머 등이 개발이 진행되고 있다. 폴리머 또는 세라믹-폴리머의 경우 단위 체적당 정전 용량 값이 낮은 단점이 있어 고용량이 필요한 임베디드 PCB 적용에 제약이 있으나 이를 해결하기 위하여 유전율을 향상시키거나 박막화 하는 기술이 계속적으로 개발 진행되고 있다. 본고에서는 EPD법을 적

용하는 임베디드 PCB에서의 응용이 가능한 재료, 제조공정 그리고 응용분야에 대해 기술하고자 한다.

2. EPD법에 적용되는 재료 및 특성

2.1 Formed Device Embedded (FDE)

적용 기술 및 개발 동향

Formed Device Embedded (FDE) 커패시터는 두께 20 μm 전후의 복합막을 이용하여 PCB에 내장하는 것을 목표로 하기 때문에 PCB 공정에서의 적용성이 중요하며 활발히 연구되는 공정으로는 표 1과 같이 Sheet-type, Paste-type, Sol-gel method, Sputtering method 등이 있다. FDE 커패시터는 경제적인 비용뿐만 아니라 박막 두께와 넓이를 이용하여 정전 용량의 향상, 기판 내부로의 삽입으로 PCB 표면의 실장 면적을 줄일 수 있다는 장점이 있다. 하지만 단점으로는 신뢰성이 저하되며, 정전용량이 낮아 활용범위가 좁다는 것이다. 표 1은 시판되고 있는 FDE 커패시터의 대표적 물성을 나타냈다. 일반적인 기판에 이용 가능한 수준은 두께 25 μm , 유전율 22정도 (C-Ply, 3M)의 값을 갖는다.

그러나 유전율이 낮기 때문에 충분한 정전용량을 얻기 위해서는 커패시터 면적의 증가, 두께의 박막화 그리고 복합막 재료의 유전율 향상이 있다. 두께의 박막화 경우는 PCB 기판에 직접 증착하는 방식으로, 고온에서의 열처리가 어려워 대부분 Amorphous 상으로 존재하는 경우가 많고 박막이 형성되는

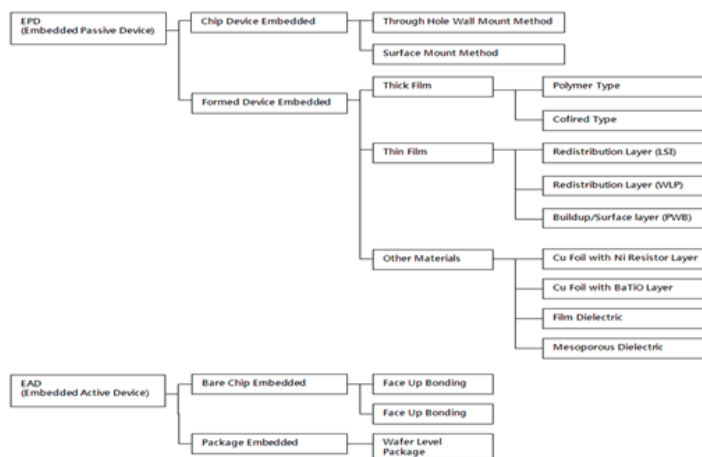


그림 3. 임베디드 PCB 분류.



표 1. 임베디드 Capacitor 개발 현황.

| Method | Origin | Material | Capacitance (nF/in ²) | Thickness (um) | Dielectric constant | Processing temperature |
|----------------------|---------------|--------------------------------|-----------------------------------|----------------|---------------------|------------------------|
| Sheet (CCL) | Sanmina | FR-4 | 0.5 | 50 | 4.5 | <200℃ |
| | 3M | Polymer/BaTiO ₃ | 10 | 10 | 22 | |
| | Dupont | Polyimide/BaTiO ₃ | 20-50 | 5-12 | 25 | |
| | Matsushita | Polymer/BaTiO ₃ | 7 | 30 | 37 | |
| | Mitsui | Polymer/BaTiO ₃ | 9.5 | 10 | 25 | |
| RCC | Hitachi Chem. | Polymer/ceramic | 13 | 20 | 45 | |
| Nozzle spray | Microfab | High K paste | - | - | - | |
| Hydro thermal | Georgia tech. | BaTiO ₃ | 10,000 | 6,000A | 700 | |
| Nano-composite | Georgia tech. | Polymer/BaTiO ₃ | 200 | 3 | - | 200~500℃ |
| Anodizing/sputtering | Shinko | Ta ₂ O ₅ | 425 | 0.3 | 23 | |
| Sputter (sol-gel) | Motorola | PLZT | 1,800 | 6,000A | 400 | >500℃ |
| | Hitachi chem. | TaxOy | 300 | 6,000A | 200 | |
| | Fujitsu | Ba(Zr,Ti)O ₃ | 258,000 | 50 | 300 | |
| Paste type | Dupont | Polyimide/BaTiO ₃ | 20 | 12 | 40 | <200℃ |
| | Asahi chem | Polymer/BaTiO ₃ | 20 | 12 | 60 | |
| | Motorola | CFP | 10 | 12 | 20.5 | |

표 2. 세라믹/폴리머 복합막의 낮은 비유전율 특성.

| 연구기관 | 세라믹/폴리머 복합막 | 비유전율 | tan δ |
|---------------------------------|---------------------------------------|------|-------|
| Hadoco | Epoxy/Y5V Ceramics | 36 | 0.060 |
| Hitachi Chem. | Epoxy/Phenoxy/Ceramics | 45 | 0.020 |
| 3M | Epoxy/BaTiO ₃ | 22 | 0.005 |
| Dupont | Polyimide/BaTiO ₃ | 50 | N/A |
| Shinko Electric | Polyimide/Ceramics | 28 | 0.030 |
| Georgia Institute of Technology | Epoxy/PMNPT+BaTiO ₃ (납 포함) | 150 | N/A |

기판이 PCB용 Resin 또는 Copper 표면이므로 박막을 형성하기가 어렵다. 현재 FDE 커패시터로 연구되는 재료는 크게 세라믹-폴리머, 금속-세라믹, 금속-폴리머 등이 사용

된다. 폴리머-세라믹 복합막은 높은 가공성 및 탄성의 폴리머 매트릭스에 고유전율의 세라믹 필러를 분산시켜 폴리머-세라믹 복합막을 제조하여 세라믹의 취성을 보완하는 대표적인 저온 공정 물질로 폴리머 레진, 세라믹 필러, 분산제, 경화제, 용제를 섞은 서스펜션을 분산을 위해 볼밀 처리한 후, 기판 위에 코팅시키고 200℃ 이하로 건조시켜 복합막을 제조한다. 이 복합막의 장점은 우수한 재료 특성 (Flexibility, 기계 가공성), 저온 공정 (<200℃) 및 비용

이 저렴하며, 단점은 폴리머의 낮은 유전율 (<10)로 인한 150이하의 낮은 비유전율, 폴리머 매트릭스가 세라믹 필러를 감싸는 형태를 이루면서 세라믹 필러 간의 접촉 방해, 세라믹 함량의 제한 (60 vol.% 이상으로 증가시 기판과의 접착성 저하), 열악한 방열특성, 응집된 세라믹 미립자 간의 기공 및 용제 제거 공정 시 발생된 기공으로 인한 유전율감소 등이 있다.

금속-세라믹 (폴리머) 복합막은 금속을 필러로, 세라믹 (폴리머)을 매트릭스로 구성되며 고용량커패시터용 유전체로 그 잠재성이 주목되는 연구 분야이다. 이 복합막의 경우, 금속 필러가 임계 함량 도달 시, 비유전율이 급격하게 상승하는 특성을 가진다. 그 원인으로서는 퍼콜레이션 이론을 기반으로 한 마이크로 커패시터 구조 및 Maxwell-Wagner 분극 이론으로 보고되고 있다. 이 복합막의 장

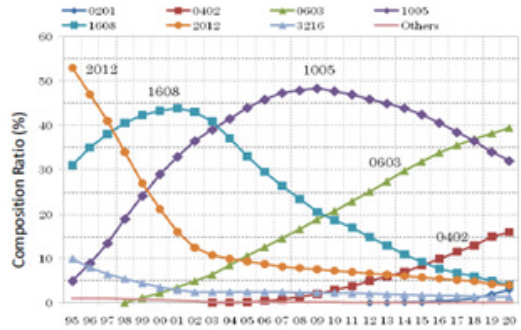


점은 퍼콜레이션 효과와 세라믹 물질의 자체적인 높은 비유전율을 이용한 High-k를 나타내는 것이며 단점은 고온 소결 공정의 필요, 소결 공정 시 금속의 산화를 막기 위한 불활성 (Ar) 가스의 요구, 금속 입자 함량 증가 시 밀도 및 경도 감소 (고온 공정으로 인한 금속 증발 및 금속 입자가 결정 입계 (Grain boundary) 로의 이동이 원인), 고온에서 냉각 시 금속과 세라믹의 열팽창 계수 차이로 인한 크랙 발생, 유전손실 증가, 낮은 재현성 등이 있다. 이를 극복하기 위해서는 저온 공정 기술로의 복합막 형성이 요구되고 있다.

정전용량을 향상시키는 다른 방법으로는 Si 기판대신 PCB용 CCL (Copper Clad Laminate) 기판에 박막을 직접 성막하고 금속의 산화 방지를 위해 환원분위기에서의 열처리 공정을 거치는 Foil 형태의 내장형 커패시터가 있다.

2.2 Chip Device Embedded (CDE)용 MLCC

적층 세라믹 커패시터 (Multi-layer Ceramic Capacitor: MLCC)는 휴대폰, 개인용 PC, Digital display 등의 전자회로에서 수동부품의 60%를 차지하고 있는 대표적인 수동소자다. MLCC는 IC 등 능동소자의 전원공급회로에서 노이즈를 분리하는 기능 (Decoupling), Signal에서 dc 성분을 제거하



(Source: Roadmap for Electronic Component Technologies until 2020, JEITA)

그림 4. MLCC 크기에 따른 점유율.

는 기능, Signal의 평탄화 기능 등 다양한 역할을 수행하며 최근 소형화 및 고용량화 되어 가는 추세로써 그림 4에 MLCC 소형화 추세를 점유율로 나타내었다.

MLCC는 전기를 축적하는 기능을 가진 극소형 기기에 적용하기 쉽도록 극소형화 시킨 제품으로 층수는 수백 층에서 1,000층 이상 적층하여 생산되고 있다. 주로 인덕틴스 성분이 적어 고주파 특성이 양호하며 용량이 비교적 작은 편에 속하고 주요전극으로는, 구리, 니켈, 팔라듐 등과 같은 귀금속이 사용되었으나, MLCC가 고적층화 되면서 현재는 저가인 Ni 등의 Base metal이 사용되고 있다. 아래 식은 MLCC의 정전용량 (C)를 구하는 공식이다.

$$C = \epsilon_o \epsilon_r \frac{(n-1)A}{d}$$

표 3. 금속/폴리머, 금속/세라믹 복합막의 유전특성.

| 문헌 | 금속/폴리머복합막 | f _c (vol.%) | 비유전율 | tan δ |
|------------------------------------|-------------------------------|------------------------|------------------|-------|
| Adv. Mat., 2009, 21, 710. | 박리된 그래파이트나노플레이트/PVDF | 1 | 200 (@1 kHz) | 48% |
| Adv. Mat., 2003, 15, 1625. | Ni/PVDF | 16 | 150 (@100 Hz) | 15% |
| Appl. Phys. Lett., 2002, 81, 4814. | (Ni+BaTiO ₃)/PVDF | 20 | 300 (@100 Hz) | 20% |
| 문헌 | 금속/세라믹 복합막 | f _c (vol.%) | 비유전율 | tan δ |
| Adv. Mat., 2001, 13, 1541. | Ni/BaTiO ₃ | 31 | 72,000 (@10 kHz) | 5% |
| J. Mater. Sci., 2006, 41, 3845. | Ag/BaTiO ₃ | 11 | 4,300 (@1 kHz) | 9~10% |

여기서 ε_o, ε_r은 공기 및 유전체의 비유전율을, n은 내부 전극 적층수, d는 내부 전극간 거리 혹은 유전체두께, A는 유효 전극 면적을 나타낸다. 유효 전극 면적 A는 MLCC의 크기에 의해 결정된다. 그림 5에서

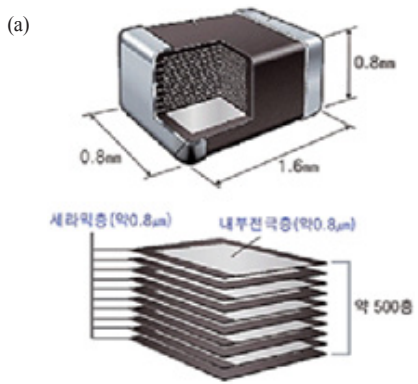


그림 5. Embedded MLCC의 구조 및 응용분야.



그림 6. MLCC 제조공정.

MLCC의 구조 (a)와 MLCC의 응용분야 (b)를 나타냈다.

그림 6은 MLCC 제조공정으로써 희토류, Mg, Mn 등을 첨가한 BaTiO₃를 주원료로 하여, 분산제, 바인더를 솔벤트에 혼합 후 밀링을 통해 슬러리를 제작한다. 슬러리를 필름상에 규격의 두께로 코팅을 하여 시트 제작 및 내부전극을 인쇄하여 설계층수 대로 쌓고 적층된 바 (Bar)를 제작한다. 적층 바를 압착

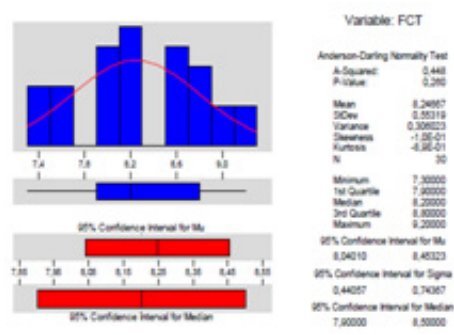
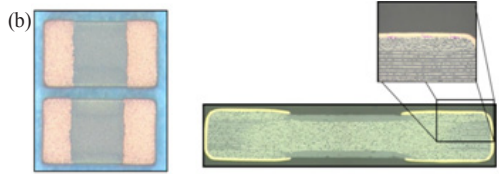
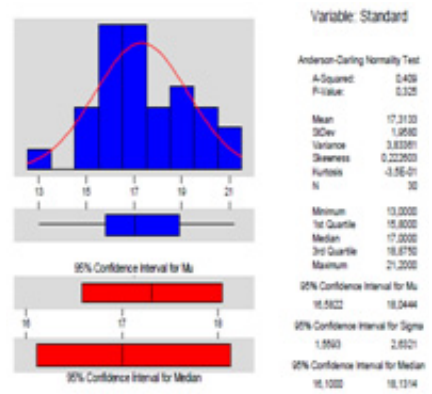
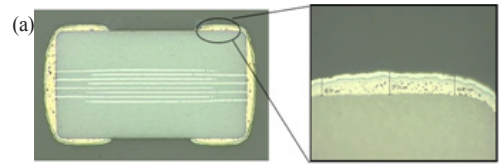


그림 7. 기존 MLCC 외부전극 (a)와 임베디드 외부전극 (b).

한 후 크기에 맞추어 절단한다. 원료 배합 시 첨가한 바인더와 전극용 레진을 태우기 위해 바인더 탈지를 한 후 분위기 제어가 된 소성로에 투입하여 소결한다. 소결체를 연마 한 후 외부 전극을 도포, 건조하고 동소로에 투입하여 소결시켜 내부 전극과 접촉이 되게 하여 용량 및 기타 특성 값이 나오도록 한다.



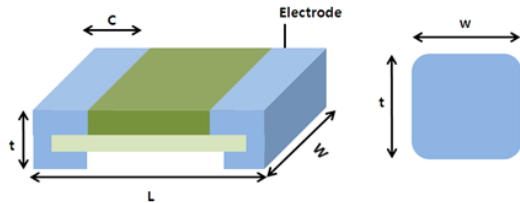
표 4. 상용화된 임베디드 MLCC의 대표적인 제품사양.

| | Conditions | Limits | Units | Loose | Embedded |
|-------------|---------------------------------|-----------|-----------|---------|----------|
| Cap | 1kHz @1Vrms | 10nF ±10% | nF | 10.83 | 10.95 |
| Df | 1kHz @1Vrms | <12.5% | % | 5.21 | 5.14 |
| IR | Soak 60s @RV | >100 GΩ | GΩ | 121 | 125 |
| ESR | 1kHz-10MHz | N/A | mΩ | 131 | N/A |
| ESL | 1kHz-10MHz | N/A | pH | 178 | N/A |
| Hermo Cycle | -55℃~125℃ 1000 cycles | >100 GΩ | Pass/Fail | Pass | Pass |
| Temp Coef. | -55oC~85oC meas. 1kHz @1Vrms | ±25% cap. | %Change | +2; -9% | +2; -9% |
| Life | 1000h @1.5Xrv and 125℃ | IR > 10GΩ | Pass/Fail | Pass | Pass |
| THB | 96h @ 1Xrv and 85RH/85℃ | IR > 10GΩ | Pass/Fail | Pass | Pass |
| Flexure | 9mm pitch, 2mm bend | 2mm | Pass/Fail | Pass | Pass |

측면에서는 굽힘 시험, 열 사이클 시험 등이 있다. 현재 상용화된 임베디드 MLCC의 대표적인 제품사양을 표 4와같이 나타내었으며 소자의 크기 및 두께를 계속적으로 소형화되고 얇아지는 추세이다.

특히, 제조 공정에서 외부전극의 두께와 함께 제품의 치수 제어

가 중요한 요소이며 현재 제작되고 있는 임베디드 MLCC 커패시터의 치수를 그림 8에 나타내었다.



| Size | MLC Capacitors | | | | |
|-------|----------------|--------------|--------------|-----------------|---|
| | L | W | t | C | d |
| 0402M | 0.4 ±0.02 | 0.2 ±0.02 | 0.2 ±0.02 | 0.105 ±0.035 | |
| 0603M | 0.6 ±0.03 | 0.3 ±0.03 | 0.3 ±0.03 | 0.15 ±0.05 | |

그림 8. 상용화된 임베디드 MLCC의 치수.

외부전극 형성이 완료된 제품을 Ni/Sn 도금을 하여 출하하게 된다. 임베디드 MLCC의 경우 제조 방법은 기존과 유사한 공정을 따르고 있으며 최종 전극 형성에 있어 Cu 층을 형성하는 것이 다르다.

기존 MLCC와 임베디드 MLCC는 외부전극에서 차이를 나타내는데 기존 MLCC는 그림 7(a)와 같이 외부전극의 두께가 두껍고 표준편차도 크다. 하지만 임베디드 MLCC는 그림 7(b)와 같이 외부전극의 두께가 얇고 표준편차도 작다.

임베디드 MLCC 커패시터에 요구되는 전기적 특성으로 기존 MLCC와 같이 정전용량, 손실, 절연저항, 온도 특성이 있으며 신뢰성

3. 결론

임베디드 PCB는 최근 스마트 폰과 태블릿 PC 등 모바일 기기에 적용이 확대 되면서, 폭발적인 시장성장이 예상된다. 수동소자의 임베디드화 기술은 향후 고부가가치 PCB 시장의 주도권 확보를 위한 핵심경쟁력이 될 것이다. 현재까지 임베디드 커패시터는 많은 연구기관들을 통하여 다양한 소재, 형태 및 공정들이 접목되어 연구되어 왔지만, 표면실장용 커패시터의 일부분을 대체하고 있는 수준에 머물고 있다. 앞으로의 임베디드 커패시터 기술의 연구 방향은 균일한 박막 유전체 형성인 박막 계열의 FDE 커패시터와 기존 MLCC 파생 기술로 제품화가 용이한 칩삽입 방식인 CDE 커패시터로 양분되어 지속적으로 개발이 이루어질 것이다. 먼저 FDE 커패시터는 에어로졸 테포지션과 같은 저온 공정 기술, MEMS 기술 그리고 박막 공정 기술 등의 개발이 필요하며 또한 저온에서 고유전율을 가지는 폴리머-세라믹, 금속-세라믹, 금속-폴리머 등의 특성 향상도 필요하

다. CDE 커패시터는 외부전극 두께제어 또는 외부전극의 위치 변경을 통한 Mechanical Cracking 현상 해결 기술과 치수제어 기술 등이 뒷받침되어야만 그 빛을 보게 될 것이다.

참고 문헌

- [1] R. R. Tummala, Advanced Packaging, IEEE Transaction on, 27 (2004) 241.
- [2] Y. Rao, C. P. Wong, J. Applied Polymer Science, 92 (2004) 2228.
- [3] Y. Rao, S. Ogitani, P. Kohl, J. Applied Polymer Science 83 (2001) 1084.
- [4] KYOCERA, Ultrathin Discrete Capacitors for Emerging Embedded Technology 2011.
- [5] KOA corporation 홈페이지
- [6] 지목현, 메리츠증권Industry Brief 2012
- [7] 강종윤, 강민규, PCB 내장형 커패시터 기술 2012

저자약력



성명 : 이승환
 ◆ 학력
 • 2008년
 광운대학교 전자정보대학
 전자재료공학과 공학석사
 • 2010년
 광운대학교 대학원
 전자재료공학과 공학석사
 • 2012년
 광운대학교 대학원
 전자재료공학과 공학박사수료
 ◆ 경력
 • 2012년 - 현재
 삼화콘덴서공업(주)
 신상품개발팀 연구원



성명 : 윤중락
 ◆ 학력
 • 1991년
 명지대학교 공과대학
 전기공학과 공학석사
 • 1993년
 명지대학교 대학원
 전기공학과 공학석사
 • 1999년
 명지대학교 대학원
 전기공학과 공학박사
 ◆ 경력
 • 1994년 - 1996년
 한국쌍신전기(주) 선임연구원
 • 1996년 - 현재
 삼화콘덴서공업(주) 연구소
 연구소장

