

Wafer-to-Wafer Integration을 위한 생산수율 챌린지에 대한 연구

김사라은경[†]

Manufacturing yield challenges for wafer-to-wafer integration

Sarah Eunkyung Kim[†]

(2013년 2월 21일 접수: 2013년 3월 18일 수정: 2013년 3월 22일 게재확정)

Abstract: Wafer-to-Wafer (W2W) integration technology is an emerging technology promising many benefits, such as reduced size, improved performance, reduced power, lower cost, and divergent integration. As the maturity of W2W technology progresses, new applications will become more viable. However, at present the cost for W2W integration is still very high and both manufacturing yield and reliability issues have not been resolved yet for high volume manufacturing (HVM). Especially for WTW integration resolving compound yield issue can be a key factor for HVM. To have the full benefits of WTW integration technology more than simple wafer stacking technologies are necessary. In this paper, the manufacturing yield for W2W integration is described and the challenges of WTW integration will be discussed.

Keywords: 3D stacked IC, Yield, TSV, 3D Integration, Wafer-to-Wafer

1. Introduction

전자산업은 소자의 성능을 향상시키고 가격 절감과 시스템 소형화를 위한 수많은 연구를 수행하면서 발전해 왔고, 최근에는 3D integration 기술과 같은 시스템 직접화에 관심이 집중되고 있다. Figure 1에서 보듯이 3D integration 기술은 디바이스(device) scaling 없이 차세대 성능을 구현할 수 있으며, 다중 소자의 시스템화가 가능하다는 점에서 매우 중요한 기술이다. 특히 3D integration 기술은 메모리(memory) 소자의 밀도(density)와 대역폭(bandwidth)이 높아지고, 로직(logic) 소자의 속도(speed)와 전력(power)이 급상승하는 기술 추세에 맞추어, 차세대 고성능화 소형화의 핵심기술로서 그동안 많은 연구가 진행되어 왔다.¹⁻⁹⁾ 3D integration 기술 중 wafer-to-wafer(W2W) 기술은 die-to-die(D2D) 기술이나 die-to-wafer(D2W) 기술보다 공정 가격이 저렴하고, 가장 작은 배선(interconnect) 피치(pitch)가 제조 가능하며, 또한 생산효율(throughput)이 높은 장점이 있다. 반면 적층된 웨이퍼의 제조 결함(defects) 테스트(test)에 어려움이 있고, 낮은 생산수율(manufacturing yield)로 W2W integration 기술의 실용화는 아직 많은 연구 개발이 필요한 상태이다. 하지만 고성능 고밀도 소형화로 가는 차세대 첨단 전자산업의 추세를 볼

때, W2W integration 기술은 전략적으로 개발되어야 하며, 대량생산(high volume manufacturing)을 위한 주요한 요소인 생산수율은 반드시 해결되어야 한다.

2D 소자의 경우 수율을 높이기 위해서 이미 리던던시(redundancy)를 사용하여 직접적으로 수율을 향상시키고 있으며, 또한 소자의 결함을 사전에 방지하기 위한 테스트로 error-correcting code(ECC), design-for-testability(DFT), built-in self-test(BIST), 등과 같은 프로세스(process)를 이용하고 있다.^{9,10)} 3D 소자의 경우도 레이아웃에 2D 소자의

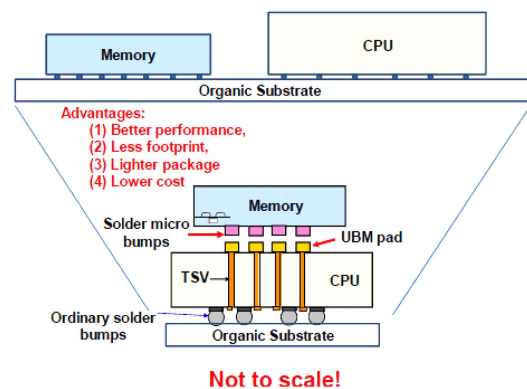


Fig. 1. Heterogenous stacking without device scaling.¹⁸⁾

[†]Corresponding author

E-mail: eunkyung@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

경우처럼 리던던시, BDD, DFT, BIST 등을 이용하여 수율을 향상시킬 수는 있겠지만, 적층으로 인한 수율 감소를 향상시키기 위해서는 3D 구조를 이용한 다른 방법들이 도출되어야 하겠다. 최근에는 3D 소자의 수율 향상을 위한 방법으로 웨이퍼 매칭(wafer matching), 리던던시(redundancy) 디자인, Testing 디자인, 그리고 가격 절감을 위한 연구들이 진행되고 있다.¹⁰⁻²⁵⁾

2. Yield Improvement Methods

2.1. Wafer Matching

웨이퍼 매칭이란 웨이퍼 상에 비슷한 결함 분포(defect distribution) 맵(map)을 가지고 있는 웨이퍼를 선택적으로 골라서 적층하는 방법이다. 하지만 웨이퍼 매칭 방법은 생산되는 모든 웨이퍼들의 결함 분포를 매칭할 수 없기 때문에, 즉 주로 웨이퍼를 그룹핑(grouping)하여 매칭을 하기 때문에 수율을 향상시키는데 한계점이 발생한다. 이를 해결하기 위해 여러 가지 매칭 방법에 대한 연구들이 진행되어 왔다.¹⁰⁻¹⁴⁾ Taouil 연구팀은 W2W 적층 구조의 생산수율은 웨이퍼의 수율, 적층하는 웨이퍼 수, 그리고 웨이퍼 매칭 방법에 크게 영향을 받고, 그 중 최적화된 웨이퍼 매칭 알고리즘(algorithm) 사용이 매우 중요하며 웨이퍼 매칭없이 적층한 경우보다 생산수율이 약 13.39% 정도 향상됨을 볼 수 있다고 언급했다.¹¹⁾ 웨이퍼의 적층 수가 증가할수록 다이 면적이 커질수록 생산수율은 낮아지기 마련이다. 이를 극복하기 위해서는 웨이퍼 매칭의 그룹 사이즈가 증가되어야 하고, 또한 적층하기 전에 웨이퍼의 결함 밀도 및 분포를 정확히 테스트해야 한다. 웨이퍼의 결함에 관한 정확한 테스트를 위해서 새로운 테스트 알고리즘이 또한 개발되어야 하겠다.¹³⁾ Singh는 웨이퍼 매칭을 향상시키기 위해서 모든 다이가 한 방향으로 배열이 되어있는 전통적인 리소그래피 패턴(lithography pattern) 방식에서 벗어나, Figure 2에서 보듯이 다이를 웨이퍼의 사분면마다 90도로 돌려서 리소그래피 패턴을 진행하는 다이 배열 회전(rotation)을 제안했다.¹⁴⁾ 웨이퍼 매칭시 다이 배열 회전을 이용한 경우가 Figure 3의 시뮬레

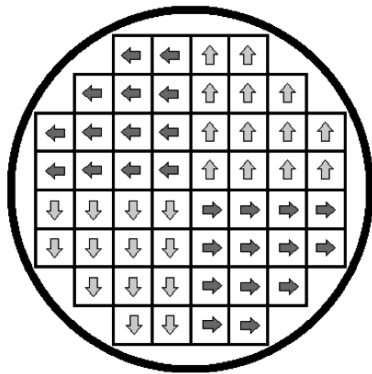


Fig. 2. Orientation of Die on the Wafer.¹⁴⁾

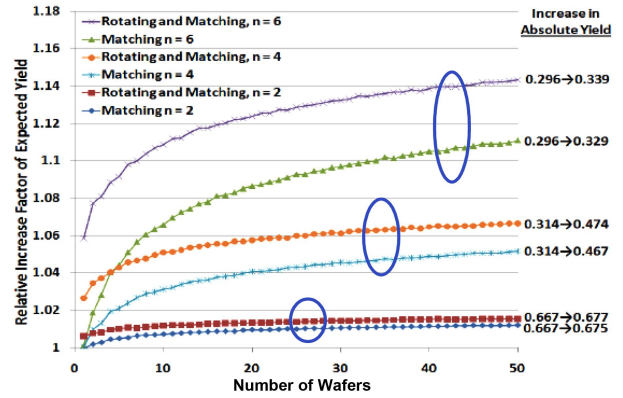


Fig. 3. Increase in Yield from Rotating and Matching Compared to Just Matching Case.¹⁴⁾

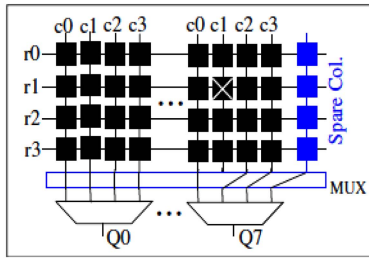
이션(simulation) 결과에 나타난 것처럼 웨이퍼 매칭만 사용한 경우보다 생산수율이 향상되는 것을 알 수 있다. 웨이퍼 매칭 방법은 다이 사이즈가 크고 수율이 비교적 낮을수록 W2W 적층 구조의 생산수율을 높이는 데 더욱 효과적인 방법이 될 수 있다.

2.2. Redundancy

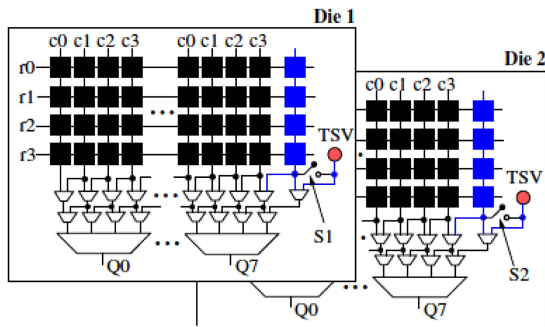
3D 메모리 소자의 생산수율을 향상시키기 위한 방법으로 리던던시 디자인에 대한 연구도 진행되고 있다.^{10, 15, 16, 19)} 일반적으로 2D 구조에서 메모리 리던던시는 한 다이 내에서만 사용 가능한 intra-die 리던던시 구조이지만, 3D 구조에서는 위나 아래에 적층된 다이의 리던던시를 가져다 사용할 수 있는 inter-die 리던던시가 디자인 가능하며, inter-die 리던던시는 TSV(through Si via) 배선(interconnect)을 이용하여 연결된다. Figure 4는 intra-die와 inter-die 리던던시의 개념을 소개한 도식도이다. 또한, 3D 구조에서는 한 층을 모두 리던던시 층으로 사용할 수 있는 레이어(layer) 리던던시 구조도 가능할 수 있다. 레이어 리던던시는 3D 소자의 공정 가격을 증가시키지만, 최종 생산수율을 고려한 ROI(return on investment) 측면에서는 증가된 공정 가격을 보상 받을 수 있다. Table 1은 레이어 리던던시가 있는 경우와 없는 경우의 메모리 수율을 계산한 표이다.¹⁰⁾ 표에서 “Abs. Yield”는 레이어 리던던시 없이 적층을 했을 경우의 수율을 나타낸 것이고, 나머지 값은 레이어 리던던시를 추가했을 경우의 수율 향상을 %로 보여주고 있다. 예로 $n(\text{적층 수})=6/r(\text{레이어 리던}$

Table 1. Relative yield improvement using layer redundancy in % for various n (# of stack) and r (# of layer redundancy)¹⁰⁾

	$n = 1$	$n = 2$	$n = 3$	$n = 4$	$n = 5$	$n = 6$
Abs. yied	85.00	69.38	56.63	46.23	37.73	30.80
$r = 1$	10.43	24.84	39.24	53.65	68.05	82.46
$r = 2$	n.a	26.11	46.16	68.30	92.50	118.79
$r = 3$	n.a	n.a	43.35	67.59	95.32	126.84
$r = 4$	n.a	n.a	n.a	62.45	90.58	123.26



(a) Intra-die Redundancy Scheme (spare columns)



(b) Inter-die Redundancy Scheme (spare columns)

Fig. 4. Schematics of Intra- and Inter-die Redundancy with Spare Columns.¹⁵⁾

던시 수)=2의 경우를 보면 수율은 118.79% 향상되었고, 이는 추가적인 공정 가격에도 불구하고 레이어 리던던시를 고려해볼 만한 방법이라 하겠다.

3D 구조에 inter-die 리던던시나 레이어 리던던시를 사용하기 위해서는 TSV 배선 공정이 반드시 필요하기 때문에 TSV 공정 수율을 높여야 하며, 이를 위해선 TSV 리던던시가 또한 디자인되어야 하겠다. 배선 TSV와 리던던시 TSV를 효과적으로 그룹핑(grouping)하는 방법에 대한 연구도 있고,¹⁹⁾ 이는 3D 소자의 가격 절감에도 기여될 수 있다.

2.3. Die Area Reduction

기존의 다이를 W2W 기술로 그대로 적층하면 웨이퍼의 랜덤(random) 결함과 웨이퍼 본딩, 실리콘 연삭(thinning), TSV 배선과 같은 공정 수율로 인해 전체 생산 수율은 낮아질 수밖에 없는 실정이다. 그래서 W2W 기술로 적층 소자의 생산수율을 높이기 위해서는 기존의 POR(process of record) 다이 면적보다 다이 면적이 축소되어야 하겠다. 3D integration 기술의 장점 중 하나가 디바이스 scaling을 하지 않고 차세대 성능을 구현할 수 있는 것이기 때문에 디바이스 scaling없이 다이 면적을 축소시키려면 기존 다이를 1/n 개의 다리로 나누어서 제조한 후 적층하는 방법을 구현해야 하겠다.²²⁾ 예로 Figure 5에서 보듯이 주변(peripheral) 로직 부분과 개별 cell을 전체 cell 배열(arrays)에서 분리하여 적층으로 제조하는 것이다.²³⁾ 즉 적층된 다이 한 개가 기존의 한 개의 다이가 되는 것이다. Figure 6에서 설명된 것처럼 웨이퍼의 수율

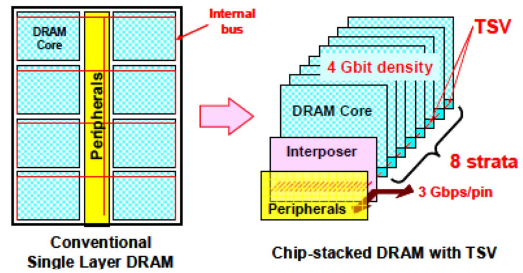


Fig. 5. Concept of chip-stacked DRAM with TSV (NEC, Elpida).²³⁾

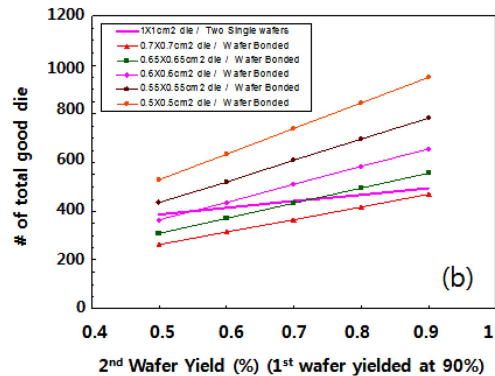
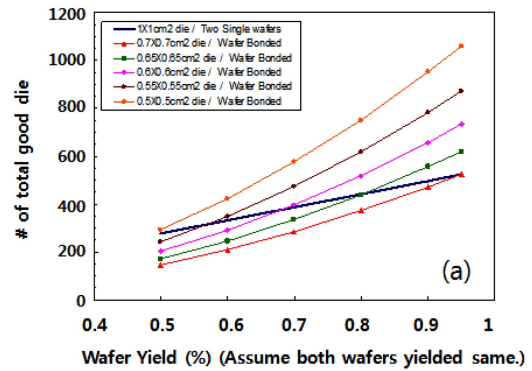


Fig. 6. Wafer Yield vs. # of Good Die Produced.²²⁾

이 다소 낮더라도 다이 면적이 적어지면 전체 생산수율을 높일 수 있는 가능성이 있다.

2.4. Interconnect Service Layer

Section 2.3에서 다이 면적을 줄이는 것이 생산수율을 향상시키는 중요한 요소라 설명하였다. 다이 면적을 줄이는 방법 중 하나로 Wu 연구팀은 interconnect service layer(ISL)를 설명하였고,²⁴⁾ ISL은 Figure 7(c)에서 보는 것과 같이 3D 구조에서 두 개의 소자 사이에(예로 processor와 cache/memory) 배선 층을 삽입하는 구조이다. ISL을 사용하면 배선 라우팅(routing)을 포함한 네트워크(network) 아키텍처 디자인의 자유도(degree of freedom)가 높아지기 때문에 반응시간(latency), 대역폭(bandwidth), 전력 등을 최적화하는데 용이한 장점이 있다. ISL 층은 다이 면적 축소가 가능할 뿐 아니라 라우팅을 위한 금속 배선 층(metal interconnect layer)의 수도 줄일 수 있기 때문에, 이

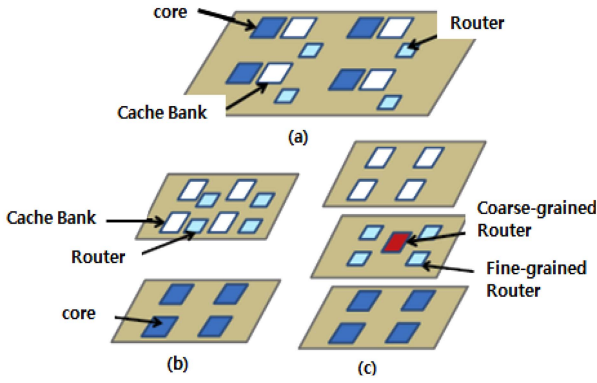


Fig. 7. System configurations for (a) 2D, (b) 3D, and (c) 3D with ISL case.²⁴⁾

Table 2. The Number of Required metal Layers per Die (65 nm microprocessor)²⁵⁾

Gate Counts	1-layer 2D	2-layer 3D	3-layer 3D	4-layer 3D
5M	5	5	5	4
10M	6	5	5	5
20M	7	6	5	5
50M	8	7	7	6
100M	10	8	7	7
200M	12	10	9	8

는 W2W integration의 가격을 절감하고 생산수율을 향상시키는데 있어서 핵심 기술이 될 것이다. Dong 연구팀은 2D 소자를 여러 개의 작은 소자로 분할하여 3D integration 기술로 적층하면 Table 2에서 보듯이 배선 층의 수를 줄일 수 있다고 예측했다. 또한, 3D 적층 소자의 가격 절감은 다중 소자의 적층과 금속 배선 층의 수 절감에서 올 수 있다고 언급했다.²⁵⁾

3. Summary

3D integration 기술 특히 W2W integration 기술은 전자산업의 디바이스 scaling 문제를 해결하고 고성능화 소형화 추세에 맞춘 가장 핵심적인 기술 방향이다. 그러나 W2W integration 기술은 현재 가격과 생산수율의 장애를 가지고 있고, 이를 해결하기 위해서 웨이퍼 매칭, 리던던시, 다이 면적 축소, 배선 층 수 축소와 같은 디자인 연구들이 진행되고 있다. W2W integration 기술이 대량생산으로 연결되기 위해서는 우선적으로 웨이퍼 본딩, 실리콘 연삭, TSV 배선 공정의 최적화가 이루어져야 하겠지만, 가격을 포함한 생산수율을 높이기 위해서는 반드시 디자인 연구가 선행되어야 하겠다.

Acknowledgement

이 연구는 서울과학기술대학교 교내 학술연구비 (일부)

지원으로 수행되었습니다

References

1. R. Scott List, C. Webb, and S. E. Kim, "3D wafer stacking technology", Proc. AMC, 18, 29-36 (2002).
2. P. Morrow, M. Kobrinsky, M. Harmes, C. Park, S. Ramanathan, V. Ramachandrarao, H. Park, G. Kloster, S. List, and S. E. Kim, "Wafer level 3D interconnect in Cu bonding", Proc. AMC, 20, 125-130 (2004).
3. R. Plieninger, M. Dittes, and K. Pressel, "Modern IC packaging trends and their reliability implications", Microelectron. Reliab., 46, 1868-1873 (2006).
4. M. Lai, S. Li, J. Shih, and K. Chen, "Wafer-level three-dimensional integrated circuits (3D IC): Schemes", Microelectron. Eng., 88, 3282-3286 (2011).
5. Y. Kim, S. K. Kang, S. Kim, and S. E. Kim, "Wafer warpage analysis of stacked wafers for 3D integration", Microelectron. Eng., 89, 46-49 (2012).
6. S. G. Kang, J. Lee, E. S. Kim, N. Lim, S. H. Kim, S. Kim and S. E. Kim, "Fabrication and challenges of Cu-to-Cu wafer bonding", J. Microelectron. Packag. Soc., 19(2), 29-33 (2012).
7. R. Patti, "Three-dimensional integrated circuits and the future of system-on-chip designs", Proc. the IEEE, 94(6), 1214-1224 (2006).
8. M. K. Choi and E. Kim, "Effect of Si wafer ultra-thinning on the silicon surface for 3D integration", J. Microelectron. Packag. Soc., 15(2), 133-137 (2008).
9. J. Q. Lu, "3-D hyperintegration and packaging technologies for micron-nano systems", Proc. the IEEE, 97(1), 18-30 (2009).
10. M. Taouil and S. Hamdioui, "Yield improvement for 3D wafer-to-wafer stacked memories", J. Electron. Test., 28(4), 523-534 (2012).
11. M. Taouil, S. Hamdioui, J. Verbree, and E. J. Marinissen, "On maximizing the compound yield for 3D wafer-to-wafer stacked ICs", IEEE ITC, 1-10 (2010).
12. L. Smith, G. Smith, S. Hosali, and S. Arkalgud, "Yield considerations in the choice of 3D technology", IEEE ISSM, 535-537 (2007).
13. S. Reda, G. Smith, and L. Smith, "Maximizing the functional yield of wafer-to-wafer 3-D integration", IEEE Trans. VLSI System, 17(9), 1357-1362 (2009).
14. E. Singh, "Exploiting rotational symmetries for improved stacked yields in W2W 3D-SICs", IEEE VTS, 32-37 (2011).
15. C. Chou, Y. Huang, and J. Li, "Yield-enhancement techniques for 3D random access memories", IEEE VLSI-DAT, 104-107 (2010).
16. M. Taouil and S. Hamdioui, "Layer redundancy based yield improvement for 3D wafer-to-wafer stacked memories", IEEE ETS, 54-50 (2011).
17. B. Vaidyanathan, Y. Wang, and Y. Xie, "Cost-aware lifetime yield analysis of heterogeneous 3D on-chip cache", IEEE Int. MTD, 65-70 (2009).
18. S. K. Lu, T. W. Chang, and H. Y. Hsu, "Yield enhancement techniques for 3-dimensional random access memories", Microelectron. Reliab., 52, 1065-1070 (2012).
19. Y. Zhao, S. Khurshed, and B. M. Al-Hashimi, "Cost-effective TSV grouping for yield improvement of 3D-ICs", IEEE ATS, 201-206 (2011).

20. J. H. Lau, "TSV manufacturing yield and hidden costs for 3D IC integration", IEEE ECTC, 1031-1042 (2010).
21. S. Hamdioui and M. Taouil, "Yield improvement and test cost optimization for 3D stacked ICs", IEEE ATS, 480-485 (2011).
22. E. Kim and J. Sung, "Yield challenges in wafer stacking technology", Microelectron. Reliab., 48, 1102-1105 (2008).
23. M. Kawano, S. Uchiyama, Y. Egawa, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Saeki, O. Kato, H. Kikuchi and T. Mitsuhashi, "A 3D packaging technology for 4 Gbit stacked DRAM with 3 Gbps data transfer", IEEE IEDM, 1-4 (2006).
24. X. Wu, G. Sun, Guangyu, X. Dong, R. Das, Y. Xie, Yuan, C. Das, and J. Li, "Cost-driven 3D integration with interconnect layers", 47th IEEE DAC, 150-155 (2010).
25. X. Dong and Y. Xie, "System-level cost analysis and design exploration for three-dimensional integrated circuits (3D ICs)", IEEE ASP-DAC, 234-241 (2009).



- 김사라은경
- 서울과학기술대학교
NID융합기술대학원 부교수
- 반도체공정, 전자패키징
- eunkyung@seoultech.ac.kr