
승자전취 메커니즘 방식의 아날로그 연상메모리

채용웅*

An Analog Content Addressable Memory implemented with
a Winner-Take-All Strategy

Yong-Yoong Chai*

요 약

선형적인 읽기와 쓰기 특성을 가지고 있는 승자전취메커니즘 방식의 아날로그 메모리를 구현하였다. 메모리의 읽기 동작은 연상메모리의 최적 함수 선택을 위하여 절대값 회로와 승자전취메커니즘 회로가 이용된다. 본 연구에서는 병렬의 고속 쓰기와 읽기 동작뿐만 아니라 고집적을 가능하게 하는 시스템 구성이 실현된다. 복수의 메모리 셀의 구현이 더 높은 집적도와 고속의 쓰기 읽기를 위하여 구현된다. 실시간 인식을 위하여 본 연구에서 사용된 함수는 이상적이며 메커니즘의 시뮬레이션을 위하여 MOSIS의 1.2μ 더블폴리 CMOS 공정 파라미터를 사용하였다.

ABSTRACT

We have developed an analog associative memory implemented with an analog array which has linear writing and erasing characteristics. The associative memory adopts a winner-take-all strategy. The operation for reading in the memory is executed with an absolute differencing circuit and a winner-take-all (WTA) circuit suitable for a nearest-match function of a content-addressable memory. We also present a system architecture that enables highly-paralleled fast writing and quick readout as well as high integration density. A multiple memory cell configuration is also presented for achieving higher integration density, quick readout, and fast writing. The system technology presented here is ideal for a real time recognition system. We simulate the function of the mechanism by means of Hspice with 1.2μ double poly CMOS parameters of MOSIS fabrication process.

키워드

Analog memory, Absolute differencing circuit, Programming voltage, WTA, Content addressable memory
아날로그메모리, 절대값회로, 프로그래밍 전압, 승자전취메커니즘, 연상메모리

1. 서 론

인터넷망의 발달로 최근 들어 통신망의 발달과 함께 네트워크의 접속에 있어 고속 라우팅의 필요성이 강조되면서 승자전취메커니즘을 이용한 연상메모리

[1-4]가 주목받고 있다. 이러한 연상 메모리는 고속 변환 데이터베이스의 정보저장 및 수정뿐만 아니라 패턴 매칭 등과 같은 응용 분야에도 널리 이용되어 왔다. 그러나 기존의 연상 메모리는 근본적으로 비교를 위한 어레이의 크기가 일반 메모리에 비해 상대적

* 계명대학교 전자공학과(yychai@kmu.ac.kr)

접수일자 : 2012. 10. 05

심사(수정)완료일자 : 2012. 12. 27

게재확정일자 : 2013. 01. 21

으로 큰 구조적 문제를 가지고 있기 때문에 대용량의 연상메모리 제작이 어려웠다.

신경 회로망 기법은 그 동안 전통적인 논리함수 기능의 컴퓨터로는 불가능하였던 유사도 측정을 가능하게 하는 것으로서 본 연구에서는 이러한 신경 회로망 기법을 이용한 아날로그 연상 메모리가 제안된다. 아날로그 연상메모리는 기존의 연상메모리가 논리 1과 0의 상태만을 나타내는 것과는 달리 한 셀에 어떠한 값도 저장할 수 있기 때문에 다수의 셀로 상태 값을 나타내는 기존 연상메모리의 크기를 줄이는데 기여할 수 있을 것이다. 또한 본 연구에서 제안되는 연상메모리는 임의의 함수에 대한 유사도 측정뿐만 아니라, 대용량 데이터의 병렬 처리가 가능하여 고속의 제어기에도 적용될 수 있을 것이다.

본 연구에서는 표준 CMOS공정에서 제작 가능한 poly-poly 주입 방식[5-9]의 EEPROM으로 구성된 아날로그 연상 메모리를 제안한다. 아날로그 연상 메모리는 역세스된 정보를 각 메모리 셀에 아날로그 신호 형태로 저장하기 때문에 집적도 면에서 최적화된 메모리 구성을 가능하게 할 것이다. 프로그래밍 방식은 F-N(Fowler-Nordheim)터널링 주입에 의한 페루프방식이 이용되는데 이 구조는 논리 6비트의 정밀도를 갖는 것으로 입증되었다[7].

II. 아날로그 메모리의 프로그래밍

본 연구의 아날로그 메모리는 poly-poly형의 EEPROM 구조[5-9]로서 F-N 터널링주입 방식에 의해 부유게이트의 전하량을 조절하도록 설계되었다. 이와 같은 전하량 조절 동작을 프로그래밍이라 하며 이에는 쓰기와 소거의 두 가지 동작이 있다. 쓰기동작은 셀의 드레인에 있는 전자를 부유게이트로 전송하는 것으로서 이를 위해서는 그림 1에 나타난 셀의 컨트롤게이트에 프로그래밍 전압 V_{pp} 를 인가하고 인젝터를 접지시키면 된다. 소거동작은 반대로 부유게이트에 있는 전자를 드레인으로 전송하는 동작으로서 쓰기동작과는 반대로 컨트롤게이트를 접지시키고 인젝터에 프로그래밍 전압 V_{pp} 를 인가하여 인젝터에서 컨트롤게이트 방향의 전기장에 의해 부유게이트의 전자가 산화막의 높은 에너지 장벽을 넘어 드레인으로 이동

하도록 하는 것이다.

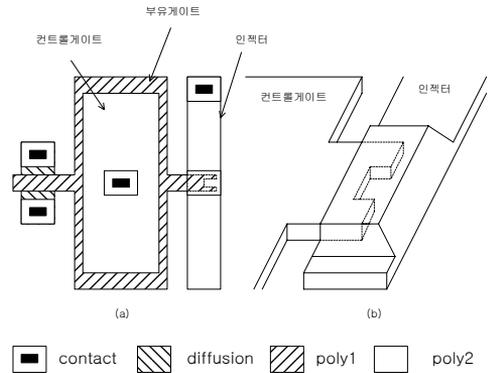


그림 1. 아날로그 셀의 레이아웃
Fig. 1 Layout of an analog cell

이와 같이 외부에서 인가되는 전기장에 의해 산화막의 높은 에너지 장벽을 넘어 전하가 전달되는 현상을 F-N터널링 주입이라 하며, 이 때 전송되는 전류의 크기는 식 1에 의해 결정된다.

$$I = A V^2 \exp(-B/|V|) = - \frac{dQ}{dt} \quad (1)$$

여기에서 A와 B는 상수이고, V는 부유게이트와 인젝터간의 전위차이다.

식 1에 나타난 바와 같이 F-N 터널링에 의한 전류의 크기는 외부에서 인가되는 전압의 지수함수에 비례하기 때문에 미세한 전하량 조절이 가능하다. 이와 같이 프로그래밍에 의해 일단 부유게이트로 이동된 전자는 프로그래밍 전압이 제거되면 산화막의 높은 에너지 장벽에 의해 외부로의 유출입이 불가능한 불활성 특성을 나타내게 된다. 이 때 부유게이트의 전하량에 의해 해당 트랜지스터의 문턱전압이 결정되고 이러한 특성을 이용하여 한 셀에 특정 데이터를 저장하는 것이다.

본 연구에서는 F-N 터널링 주입방식에 의해 프로그래밍 시에 요구되는 높은 프로그래밍 전압의 크기를 최소화하기 위하여 모서리 전계효과 강화 방식의 개념이 도입된 셀이 사용되었다[8]. F-N 터널링 주입에 의해 전자가 산화막을 거쳐 이동하기 위해서는 외부에서 인가되는 전원에 의한 전기장의 크기가 V/cm 이 되어야 하기 때문에 산화막의 두께가 200인

셀의 경우 20V의 높은 프로그래밍 전압이 요구된다. 이와 같은 높은 전압은 산화막을 열화시킴으로서 셀의 수명을 단축시키고 셀의 데이터 보유에도 영향을 주게 된다.

그림 1에서 인젝터가 돌기 형태를 나타내는 것을 볼 수 있는데, 이러한 돌기모양의 인젝터는 외부에서 인가되는 프로그래밍 전압을 떨어뜨리는 효과를 가져다 줄 것이다[8].

그림 2에는 연상메모리의 프로그래밍 특성을 관찰하기 위한 2x2 어레이 형태가 나타나 있다. 이 어레이는 확장 가능한 것으로서 어레이 위치를 행과 열의 위치에 따라 (0,0),(0,1),(1,0),(1,1) 등으로 나타내었다.

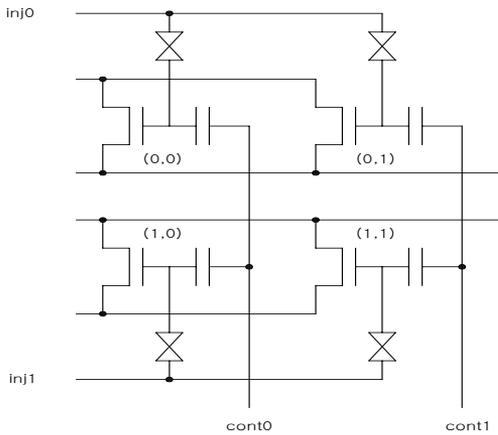


그림 2. 2x2 어레이의 블록도
Fig. 2 A block diagram of 2x2 array

상기의 어레이 구조에서 특정 셀에 쓰기동작을 통하여 인젝터로부터 부유게이트에 전자를 이동시키고자 할 경우에 지정된 셀의 열에는 프로그래밍 전압 (V_{pp})을 인가하고 나머지 열에는 $V_{mid}(V_{pp}/2)$ 를 인가하며, 지정된 행은 접지시키고 나머지 행에는 V_{mid} 를 인가한다. 반대로 소거 동작의 경우는 쓰기동작과 반대로 해당 셀의 열과 행에 각각 접지와 V_{pp} 를 인가하고 지정되지 않은 열과 행에는 V_{mid} 를 인가한다. 이러한 구성은 쓰기와 소거동작 시에 지정된 셀의 컨트롤 게이트와 인젝터간의 전위차만이 V_{pp} 가 되고 지정되지 않은 셀의 전위차는 V_{mid} 혹은 0V가 되게 할 것이다. 예를 들어 셀 (0,0)에서 쓰기 동작이 이루어질 경우 $cont0$ 에 V_{pp} 를 인가하고 $cont1$ 에는 V_{mid} 가 인가되며, $inj0$ 는 접지, $inj1$ 는 V_{mid} 가 인가된다.

이 경우에 (0,0), (0,1), (1,0), (0,0)에 위치한 컨트롤게이트와 인젝터간의 전위차는 각각 V_{pp} , V_{mid} , V_{mid} , 0V가 될 것이다. 이 경우에 터널링 주입에 의한 전자의 이동은 오직 셀(0,0)에서만 일어나게 되며, 이것은 주입에 의한 전자의 이동이 지수함수의 특성을 갖고 있기 때문이다. 이러한 프로그래밍 특성과 간섭효과가 그림 3에 나타나 있다. 그림에서와 같이 프로그래밍 되지 않는 셀은 인가된 전압에 의해 간섭받지 않고, 지정된 셀은 프로그래밍에 의해 선형적으로 변화하는 것을 알 수 있다.

이러한 어레이의 특성을 갖고 있는 셀 (0,0)의 쓰기와 소거를 위해 컨트롤게이트와 인젝터에 인가되는 전압의 크기가 표 1에 나타나 있다.

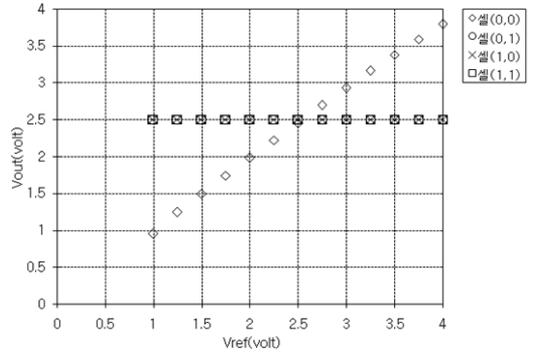


그림 3. 프로그램의 선형적 특성과 간섭효과
Fig. 3 Linear characteristics of programming operation and disturbance effect

표 1. 2X2 어레이의 프로그래밍 결과
Table 1. A Result of programming on 2X2 array

동작 구분	프로그래밍 전압	셀 위치	전위차 ($V_{cont} - V_{inj}$)
쓰기	$cont0 = V_{pp}$ $cont1 = V_{mid}$ $inj0 = gnd$ $inj1 = V_{mid}$	(0,0)	V_{pp}
		(0,1)	V_{mid}
		(1,0)	V_{mid}
		(1,1)	0V
소거	$cont0 = gnd$ $cont1 = V_{mid}$ $inj0 = V_{pp}$ $inj1 = V_{mid}$	(0,0)	$-V_{pp}$
		(0,1)	V_{mid}
		(1,0)	V_{mid}
		(1,1)	0V

III. 아날로그 연상메모리의 읽기

아날로그 연상메모리의 읽기동작은 어레이에 저장된 아날로그 신호와 외부에서 전달된 신호를 비교하여 가장 오차가 적은 블록의 내용을 패드를 통해 외부로 전달하는 동작을 일컫는다.

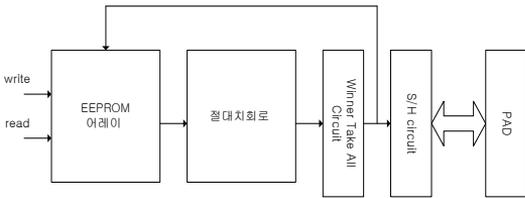


그림 4. 연상메모리의 읽기동작 블록도
Fig. 4 A block diagram of a content - addressable memory for read operation

그림 4는 연상메모리의 읽기동작을 위한 블록도를 나타낸다. 패드를 통해 전달된 아날로그 신호는 S/H 회로에 의해 레지스터 어레이의 각 셀의 신호와 비교된다. 이렇게 비교된 신호의 결과는 절대치회로[10]의 입력이 되어 두신호의 차이가 절대값 형태의 출력으로 나타난다. 이 출력은 WTA (Winner-Take-All) 회로[11-14]의 입력신호가 되어 두 신호간에 전위차가 가장 작은 셀에 해당하는 블록의 출력은 논리 1이 되고 나머지 블록은 논리 0이 되어 입력신호와 가장 근접한 값을 갖는 셀의 블록만이 선택된다.

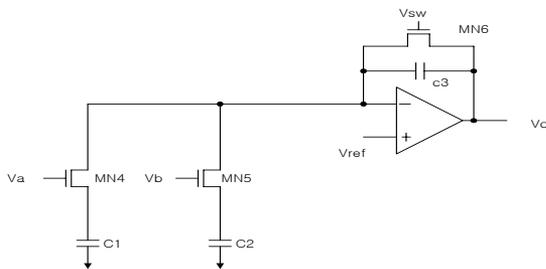


그림 5. 절대치회로
Fig. 5 An absolute differencing circuit

그림 5에는 차동증폭기, MOS트랜지스터와 커패시터 등으로 이루어진 절대치회로가 나타나 있다. 절대치회로는 동작초기에 차동증폭기의 +단자에 Vref를 인가하고 MN6을 온 시킴으로써 귀환회로에 의해 C3

가 충전된다. 이러한 초기동작이 후에 접지상태에 있던 MN4와 MN5의 게이트에 전압 Va와 Vb를 인가한다고 가정하자. 단 Va, Vb는 Vref-Vth 보다는 작아야 한다.

$$V_{ref} - V_{th} > \max(V_a, V_b) \quad (2)$$

식 (2)에서 Vth는 MN5, 6의 문턱전압이고 max(Va, Vb)는 Va와 Vb 중에서 상대적으로 큰 값을 의미한다.

상기 조건을 만족하는 두 전압의 인가는 MN4와 MN5를 통해 C1과 C2를 충전시키고, 이 충전으로 노드 X와 Y의 전위는 각각 Vref-Va-Vth와 Vref-Vb-Vth이 된다. 캐패시터 C1과 C2의 충전이 완료된 후에 M4와 M5에 인가되었던 전압 Va, Vb가 교차되고 MN6을 어프시키면, 커패시터 C3가 방전하기 시작한다. 예를 들어 MN4, MN5 인가된 전압 Va와 Vb중에서 Va가 더 큰 값이라고 가정하면 노드 X의 전위에는 변화가 없을 것이다. 그러나 MN5의 게이트에 새롭게 인가된 전위가 스위치 이전의 전위에 비해 상대적으로 큰 값이 인가되기 때문에 커패시터 C1에는 더 많은 전자가 충전될 여지가 있게 되어 C3에 있던 전자가 C1으로 이동하게 된다. 이러한 충전은 노드 Y의 전위를 Vref-Vb-Vth에서 Vref-Va-Vth로 변화시키게 된다. 한편 노드 Y에 이러한 변화를 가져다준 C3의 방전으로 인해 차동증폭기의 출력에는 Va와 Vb의 절대차(|Va-Vb|)에 비례한 값이 나타나게 된

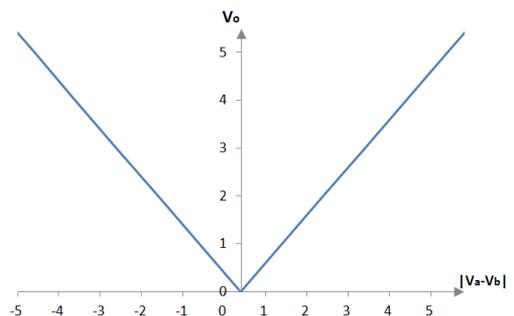


그림 6. 절대치회로의 시뮬레이션 결과
Fig. 6 Simulation results of an absolute differencing circuit

다. Va가 Vb에 비해 상대적으로 작다고 해도 동일한

결과가 나타날 것이다. 이와 같은 절대치회로의 동작 특성을 이용하여 외부로 부터 인가된 전압(V_a)과 아날로그 연상메모리에 저장된 값(V_b)간의 절대 전위차를 알 수 있을 것이다. 그림 6에는 절대치회로에 V_a 와 여러 개의 V_b 가 회로에 인가되었을 경우와 V_b 에 여러개의 V_a 가 인가되었을 경우에 대한 Hspice 시뮬레이션 결과를 보이고 있다.

그림에서 두 전압의 크기에 비례하여 출력이 증가하고, V_a 와 V_b 가 바뀌어도 동일한 결과가 나타나는 것을 알 수 있다.

그림 7에 2×2 어레이의 각 셀에 연결된 절대치회로와 WTA회로가 나타나 있다. WTA회로는 하나의 PMOS와 3개의 NMOS로 구성되어 있으며, 블록 0, 1, 2, 3은 각각 셀(0,0), (0,1), (1,0), (1,1)에 연결된 절대치와 WTA회로를 나타내고, MOS나 커패시터의 부호에서 두 번째 숫자는 각 셀에 해당하는 블록번호를 의미한다.

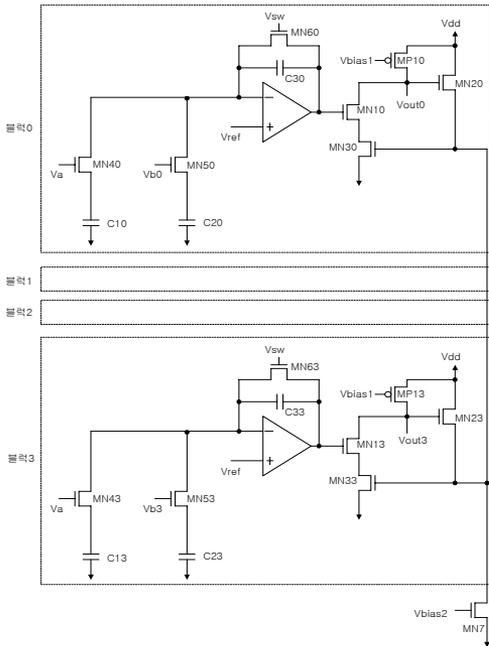


그림 7. 2×2 어레이의 각 블록에 연결된 절대치회로와 WTA회로도

Fig. 7 A circuit diagram of an absolute differencing circuit and a WTA circuit pertaining to each cell

연상메모리 시스템에서 WTA회로는 승자전취메커

니즘으로서 입력된 신호와 저장된 신호간의 Hamming Distance가 가장 작은 블록의 셀을 선택하는 기능을 갖고 있다. 따라서 WTA회로는 이 회로의 입력이 되는 절대치회로의 출력이 가장 작은 블록을 선택하는 역할을 한다. 예를 들어 그림 7의 4개의 셀에 연결된 회로에서 셀(0,0)의 MN10 게이트에 인가된 절대치회로의 출력이 가장 낮다고 가정하자.

MP1의 게이트에 인가된 바이어스 전압이 4개의 블록에 공통으로 인가되기 때문에 절대치회로의 출력전압에 의해 MP1, MN1의 컨덕턴스가 결정되어 V_{out0} 이 가장 높게 나타난다. 각 블록의 MN2에 해당하는 트랜지스터의 소오스는 MN7의 드레인과 연결되어 공통드레인 회로를 구성한다. 따라서 MN20의 드레인 전위가 전체 블록에서 가장 높게 나타난다. 한편 이 출력은 MP1, MN2, MN3로 구성된 CMOS 회로로 귀환된다. 이 귀환은 각 블록의 MN1에 가장 낮은 전압이 인가된 블록의 출력만을 논리 1을 만들고 나머지 블록의 출력은 논리 0이 되게 할 것이다. 이것은 MN2의 드레인이 전원전압에 연결되어 포화상태나 차단상태 만이 가능하기 때문이다. 즉 두 값의 오차가 가장 작은 블록에 대해서는 MN2가 포화상태가 되고 그 나머지 블록에 대해서는 MN2가 차단상태가 되는 것이다.

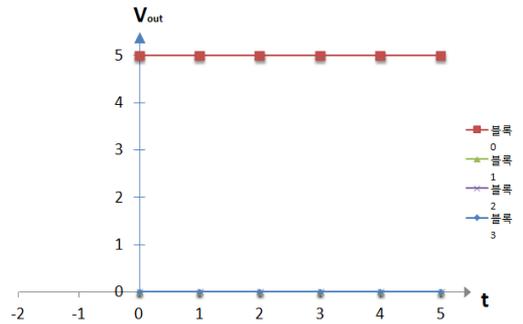


그림 8. 절대치와 WTA 회로의 동작특성을 나타내는 시뮬레이션 결과

Fig. 8 Simulation results for operational characteristics of an absolute differencing and a WTA circuit

그림 7에서 적용되었던 4개의 값이 절대치와 WTA로 구성된 회로의 입력이 되어 그 동적인 전압 특성을 나타내는 시뮬레이션 결과가 그림 8에 나타나

있다. 4개의 입력에서 두 값간의 절대치가 가장 낮은 셀은 초기 상태를 유지하고 나머지 출력에서는 두 값 간의 오차 크기에 반비례하여 출력 커패시터가 방전되는 것을 알 수 있다. 이러한 결과는 두 값의 전위차가 가장 낮은 블럭을 논리 1이 되게 하고 나머지 블럭은 논리 0이 되도록 한다. 이와 같은 동작은 본 연구의 아날로그 연상메모리가 입력신호와 메모리에 저장된 신호가 정확하게 같지 않아도 특정 셀을 선택하는 근접매칭 방식의 승자전취메커니즘의 특성을 나타내는 것을 보여준다.

IV. 결론

본 연구를 통해 승자전취메커니즘을 이용한 아날로그 연상메모리를 제안하였다. 연상메모리를 구성하는 셀은 poly-poly 주입 형태의 EEPROM으로 구성하였고, 셀의 인젝터 레이아웃을 다소 변형시키는 기법으로 프로그래밍 전압을 낮추는 방법을 제시하였다. 어레이의 프로그래밍에 의한 간섭 여부를 확인하기 위해 2x2 어레이 형태의 연상메모리 구조를 보이고 이를 통해 쓰기와 소거 동작을 위한 프로그래밍 전압 인가 방식을 제안하였다. 연상메모리의 읽기 동작을 위한 기본구성으로서 절대치회로와 WTA회로를 보이고 Hspice를 이용하여 이 회로의 동작을 검증하였다.

본 연구에서 설계된 아날로그 연상메모리는 고속의 데이터 검색, 패턴인식기, 네트워크 라우터 개발뿐만 아니라 고집적의 아날로그메모리의 기본 구조로의 활용도 가능할 것이다. 또한 근접매칭 방식을 이용한 음성, 문자, 패턴 등의 인식분야, 인공지능을 이용한 전문가 시스템 분야로의 응용도 예상된다.

감사의 글

본 연구는 지식경제부·한국산업기술진흥원 지정 계명대학교 전자화자동차부품지역혁신센터의 지원에 의한 것입니다.

참고 문헌

[1] J. Huang and M. Hagiwara, " A Multi-Winner

Associative Memory", IEICE Trans. Inf. & Syst., Vol. E82-D, No. 7, pp. 1117-1125, July 1999.

[2] T. Harada, S. Sato, and K. Nakajima, "A Content-Addressable Memory Using "Switched Diffusion Analog Memory with Feedback Circuit", IEICE Trans. Fundamentals, Vol. E82-A, No. 2, pp. 370-377, Feb. 1999.

[3] T. Hanyu, N. Kanagawa and M. Kameyama, "Non-Volatile One - Transistor-Cell Multiple - Valued CAM with a Digit-Parallel-Access Scheme and its Applications", Computers Elect. Eng. Vol. 23, No. 6 pp. 407-414, 1998.

[4] T. Hanyu and S. Matsunaga, M. Natsui, T. Endoh and H. Ohno, "Design of a One-Transistor-Cell Multiple-Valued CAM", IEEE J. Solid-State Circuit, Vol. 31, No. 11, Nov. 1996.

[5] 배성환, 이창기, "고정밀 고속 다중채널 아날로그-디지털 변환기", 한국전자통신학회논문지, 3권, 3호, pp. 165-169, 2008

[6] 이선근, 정우열, "메모리 스트림 할당 기법을 이용한 영상처리용 엔트로피 프로세서 설계", 한국전자통신학회논문지, 7권, 6호, pp. 1017-1026, 2012

[7] 채용웅, 박재희, "부유게이트를 이용한 아날로그 어레이 설계", 대한전자공학회, 제35권, C편, 제10호, pp. 800-807, 1998.

[8] Yong Yoong Chai, Floating gate MOSFET with reduced programming voltage", IEE Electronics Lett. Vol. 30, No. 18, pp. 1536-1537, 1996.

[9] Yong Yoong Chai, "A 2x2 Analog Memory implemented with a special layout injector", IEEE Journal of Solid-State Circuits, Vol. 31, No .6, June, pp. 856-861, 1996.

[10] J. Guerrieri, "Low power analog absolute differencing circuit and architecture", US patents, patent No. US5438293, Aug. 1, 1995

[11] L.G. Johnson, "MOS implementation of winner-Take-All network with application to content-addressable memory", Electronics Lett., Vol. 27, No.11, pp. 957-958, May 1991.

[12] 안세정, 김도현, 권오진, 배영철, 이준영, "유망영역 탐지를 위한 키워드 매핑의 동태적 분석-그래핀 사례연구" 한국전자통신학회논문지, 7권, 6호, pp. 1393-1492, 2012.

[13] 윤광렬, 채용웅, "측면산화 프리크리닝의 최소화 를 통한 DRAM의 데이터 유지시간 개선" 한국

전자통신학회논문지, 7권, 4호, pp. 833-838, 2012.

- [14] 배성환, 한종길, “진류테스팅 고장모델을 위한 개체기반의 고장검출”, 한국전자통신학회논문지, 5권, 4호, pp. 443-449, 2010.

저자 소개



채용웅(Yong-Yoong Chai)

1985년 8월 서강대학교 졸업(공학사)

1991년 4월 Oklahoma State Univ. 졸업(공학석사)

1994년 12월 Oklahoma State Univ. 졸업(공학박사)

계명대학교 전자공학과 교수

※ 관심분야 : 혼성모드 집적회로 설계