

논문 2012-50-6-9

## 우주용 ADC의 누적방사선량 영향 분석

( The Analysis of Total Ionizing Dose Effects on Analog-to-Digital Converter for Space Application )

김 태 효\* , 이 희 철\*\*

( Tae-Hyo Kim<sup>Ⓞ</sup> and Hee-Chul Lee )

### 요 약

본 논문에서는 본 연구실에서 제안된 Dummy Gate Assisted MOSFET을 이용하여 6bit SAR (Successive Approximation Register) ADC를 설계하였으며 이에 대한 대조군으로 Conventional MOSFET으로 동일한 회로를 설계하여 두 회로의 Co-60 Gamma Ray에 의한 누적방사선 영향을 비교 분석해 보았다. 설계된 SAR ADC는 Binary Capacitor DAC과 Dynamic Latch 형태의 Comparator 그리고 Logic으로 구성이 되었으며, 0.35um standard CMOS공정으로 제작되었다. 방사선 조사 후 Conventional MOSFET을 이용한 ADC는 정상동작하지 못하였지만, Dummy Gate Assisted MOSFET을 사용한 ADC는 방사선 조사 후 DNL은 0.7LSB에서 2.0LSB, INL은 1.8LSB에서 3.2LSB로 다소 증가하였으나 정상적인 A/D 변환이 가능하다는 것을 확인하였다.

### Abstract

In this paper, 6bit SAR ADC tolerant to ionizing radiation is presented. Radiation tolerance is achieved by using the Dummy Gate Assisted (DGA) MOSFET which was proposed to suppress the leakage current induced by ionizing radiation and its comparing sample is designed with the conventional MOSFET. The designed ADC consists of binary capacitor DAC, dynamic latch comparator, and digital logic and was fabricated using a standard 0.35um CMOS process. Irradiation was performed by Co-60 gamma ray. After the irradiation, ADC designed with the conventional MOSFET did not operate properly. On the contrary, ADC designed with the DGA MOSFET showed a little parametric degradation of which DNL was increased from 0.7LSB to 2.0LSB and INL was increased from 1.8LSB to 3.2LSB. In spite of its parametric degradation, analog to digital conversion in the ADC with DGA MOSFET was found to be possible.

**Keywords :** SAR ADC, Data Converter, Ionizing Radiation, Total Ionizing Dose, Radiation Effects.

## I. 서 론

우주는 Galactic Cosmic Ray, Solar Particle Events 그리고 Trapped Particle과 같은 방사선 환경으로 이루어져 있다. 이러한 우주 방사선에 Standard CMOS 공정으로 제작된 IC가 노출 되었을 때 발생할 수 있는 현상에는 Total Ionizing Dose (TID)와 Single Event Effect (SEE) 가 있다. TID는 방사선에 의해서 Oxide층에서 EHP가 생성되는 현상으로 생성된 EHP중 Hole이

\* 학생회원, \*\* 정회원, 한국과학기술원 전기 및 전자공학

(Department of Electrical Engineering, Korea Advanced Institute of Science and Technology)

※ 본 연구는 한국연구재단을 통해 교육과학기술부의 우주기초원천기술개발 사업(NSL, National Space Lab)으로부터 지원받아 수행되었습니다. (2011-0020906). 본 연구에 사용된 CAD tool은 반도체설계교육센터(IDECE)에서 지원 받았습니다.

Ⓞ Corresponding Author(E-mail: etrian@kaist.ac.kr)

접수일자 2013년1월24일, 수정완료일 2013년5월22일

Oxide와 Silicon 계면에 Trap이 되어 최종적으로 MOSFET에서 누설 전류를 발생시킨다. SEE는 고에너지의 입자가 Silicon 기판에 입사할 때 생성된 EHP에 의해 Data Bit이 바뀌는 현상이다.<sup>[1]</sup>

우주공간에 쏘아 올린 인공위성, 우주정거장, 탐사위성에 사용되는 IC에서 TID나 SEE와 같은 문제가 발생하면 수정이 어렵고 성공적인 우주 임무 수행을 할 수 없게 된다. 따라서 우주용 내방사선 반도체 부품의 신뢰성 확보가 필수 불가결하다. 하지만 현재 국내에서는 내방사선 전자부품에 대한 연구가 전무한 상태이고 내방사가 필요한 전자부품은 전량 외국에서 고가에 수입되고 있으며 수입도 불가능할 경우 상용 제품을 구입하여 방사선에 견디는 정도를 하나씩 테스트 한 뒤 합격한 제품만을 엄선해서 사용하고 있는 실정이다.

본 논문에서는 이러한 문제점을 해결하고자 Standard CMOS 공정의 MOSFET Layout을 일부 변경하여서 누적 방사선량에 견디는 회로를 Full Custom 방식으로 설계하였으며 Mixed 회로 중에서 가장 대표적이라고 할 수 있는 SAR ADC를 설계 하였다. 많은 ADC 타입 중에 SAR ADC를 선택한 이유는 전력공급원이 제한적인 우주에서는 저전력으로 동작하는 SAR ADC가 유리할 것이라고 판단했기 때문이다.<sup>[2]</sup>

## II. 본 론

### 1. Radiation Hardening by Layout

누적 방사선량에 의해서 누설전류가 발생하는 것을 n-MOSFET의 Layout을 변경하는 것을 통해 해결할 수 있다.<sup>[8]</sup> 그림 1은 본 연구실에서 제안되었던 Dummy Gate Assisted(DGA) MOSFET의 구조이고,<sup>[3]</sup> 1Mrad의 방사선량이 누적되어도 정상동작 하는 것이 확인되었다. DGA MOSFET은 Source와 Drain 사이에 P+ Implant 영역을 만들어 줌으로써 절연 산화막층에 Trap된 Fixed Charge가 Channel을 형성하는 것을 막아주고, Source와 Drain 양 옆에 Dummy Gate를 위치시켜서 Cell 간에 누설전류가 발생하는 것을 막아주게 된다. 이때 Dummy Gate에 인가되는 전압은 0V이다. 이는 산화막에 인가된 전계가 없으면 해당 산화막층 내에서 EHP가 생성되지 않기 때문에 전하가 Trap되지 않는다는 실험 결과를 기반으로 한 것이다. 0.35um 공정으로 제작이 되기 때문에 Gate 산화막에 대한 방사선

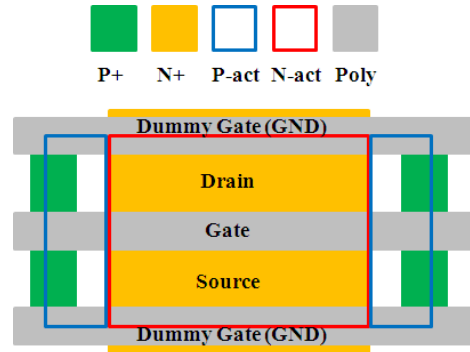


그림 1. DGA MOSFET 레이아웃  
Fig. 1 The layout of DGA MOSFET.

영향은 고려하지 않아도 된다.<sup>[4]</sup> p-MOSFET은 layout에 대한 수정이 없어도 누적 방사선량에 대해 강인한 특성을 보이기 때문에 Layout 수정 없이 그대로 사용하였다.<sup>[9]</sup>

### 2. Designed ADC

방사선에 의한 영향을 알아보기 위해 6B SAR ADC를 설계하였다. 3.3V의 공급전압을 사용하며 Single Ended 구조로 입력전압을 Sampling하고  $V_{REF}/2$ 을 기준으로 누적근사가 일어나도록 설계하였다. 그림 2는 설계된 SAR ADC의 구조를 나타낸 것이다. 그림 3은 설계

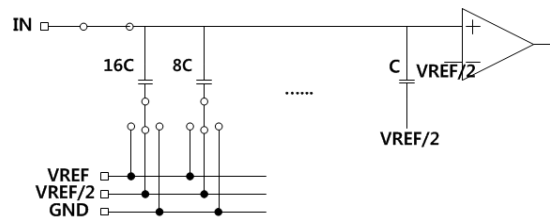


그림 2. 6bit 누적근사 A/D 변환기  
Fig. 2. A structure of 6bit SAR ADC.

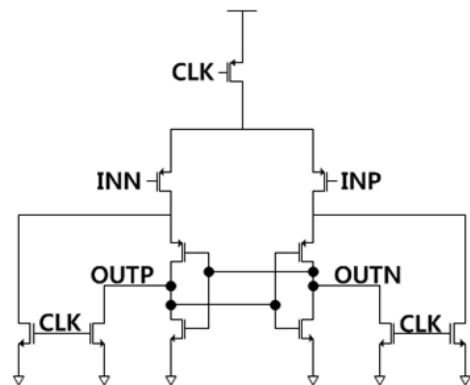


그림 3. 설계된 ADC에 사용된 비교기  
Fig. 3. Dynamic latch comparator.

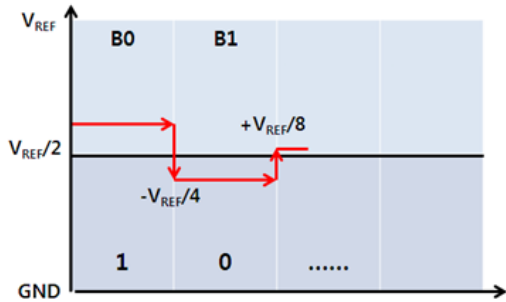


그림 4. SAR ADC의 누적근사 알고리즘  
Fig. 4 Successive approximation algorithm.

된 ADC에 사용된 Dynamic Latch 타입의 비교기로써 입력되는 전압의 크기에 따라서 출력 노드로 흐르는 전류의 크기가 결정이 되고 이에 따라 출력전압이 결정되는 방식으로 동작하는 회로이다. 그림 4는 누적근사가 일어나는 과정을 전압을 기준으로 나타낸 것이다.

### III. 실험 및 측정

#### 1. Irradiation

방사선 조사는 한국원자력연구원 정읍방사선과학연구소에 있는 Co-60 Gamma Ray를 이용하여 진행되었다. Co-60 Gamma Ray를 이용한 이유는 누적방사선량 관점에서 가장 가혹한 정지궤도의 방사선 환경과 유사한 결과를 얻을 수 있기 때문이다.<sup>[5]</sup>

Total Dose는 정지궤도 위성이 임무 수행기간동안 노출되는 누적 방사선량인 300krad를 조사했고 Dose Rate는 100krad/h로 하여 총 3시간 조사하였다. 가장 가혹한 환경에서 방사선 조사를 하기 위해서 일정한 전

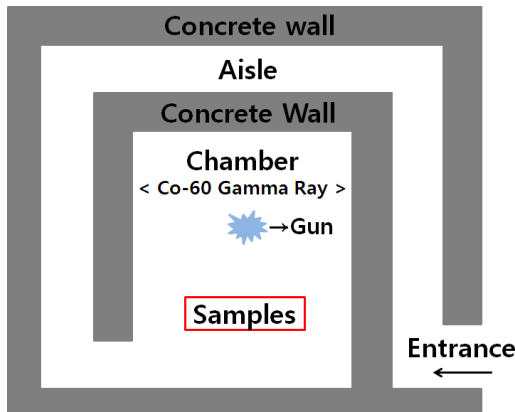


그림 5. 조사실 내부구조  
Fig. 5. A cross section of irradiation chamber.

압을 인가하여 방사선 조사를 실시하였다.<sup>[6]</sup> 인가된 전압은 MOSFET의 경우  $V_G=3.3V$ ,  $V_D$ ,  $V_S=0V$ 로 인가해주었고, ADC의 경우  $V_{IN}=3.3V$ 로 인가해주고 A/D 변환을 진행하며 방사선을 조사하였다.

그림 5는 방사선 조사가 이루어지는 조사실의 구조를 나타낸 것이다. ADC의 특성 측정을 방사선 조사 전후에 각각 실행하여 방사선에 의한 특성변화를 살펴보았다.

#### 2. Measurement

ADC의 특성 변화 측정을 위해 정적 성능지수를 나타내는 DNL, INL 그리고 동적 성능지수를 나타내는 FFT, SNDR, SFDR을 측정하였다. 측정은 그림 6에 나타낸 블록 다이어그램과 같이 구성하여 진행하였으며 ADC의 정적 성능지수인 DNL과 INL은 ADC 입력에 삼각파를 인가하여 출력되는 코드의 빈도를 히스토그램으로 만들어서 측정하였다.<sup>[7]</sup>

그림 7은 삼각파를 인가하였을 때 출력되는 DAC 출

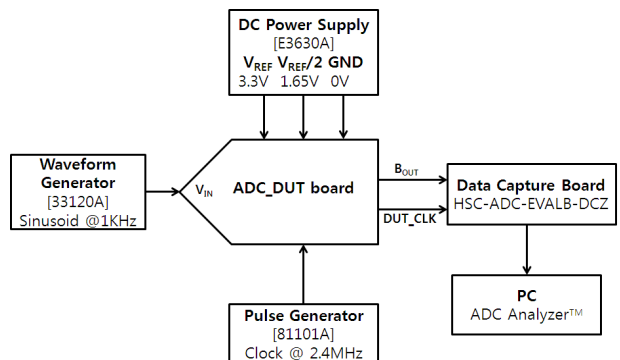


그림 6. 테스트 셋업  
Fig. 6. Test setup.

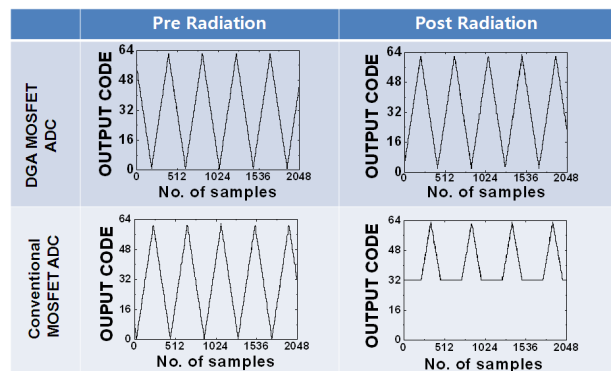


그림 7. 방사선 조사 전후의 DAC 출력 파형  
Fig. 7. A waveform of DAC output.

력 과형이다. DGA MOSFET을 이용한 ADC의 경우는 방사선 조사 전후에 큰 차이가 없지만, Conventional MOSFET을 이용한 ADC의 경우 방사선 조사 후 정상적인 출력이 나오지 않음을 알 수 있다.

그림 8과 그림 9는 정적성능지수에 해당하는 DNL, INL값을 나타낸 것이다. DGA MOSFET을 이용한 ADC의 경우 DNL은 0.7LSB→2.0LSB, INL은 1.8LSB→3.2LSB로 증가하였다. Conventional MOSFET을 이용한 ADC의 경우 DNL은 1.1LSB→32LSB, INL은

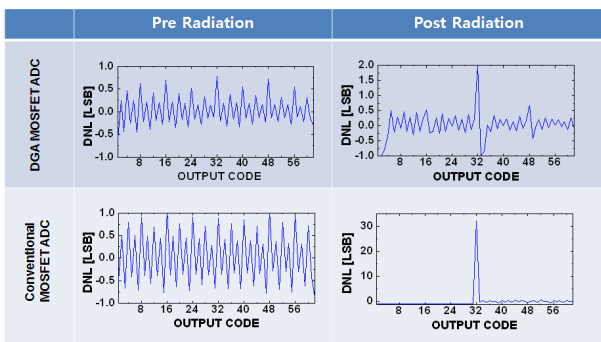


그림 8. 방사선 조사 전후 DNL값 비교  
Fig. 8. Measured Differential Non-Linearity.

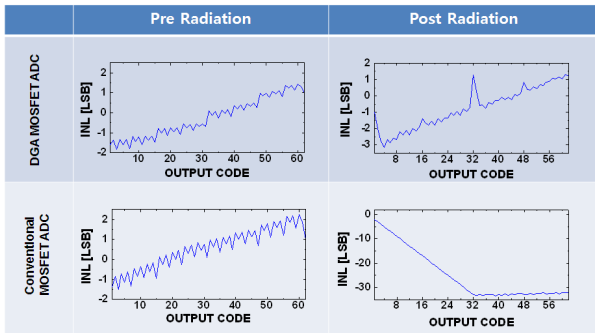


그림 9. 방사선 조사 전후 INL값 비교  
Fig. 9. Measured Integral Non-Linearity.

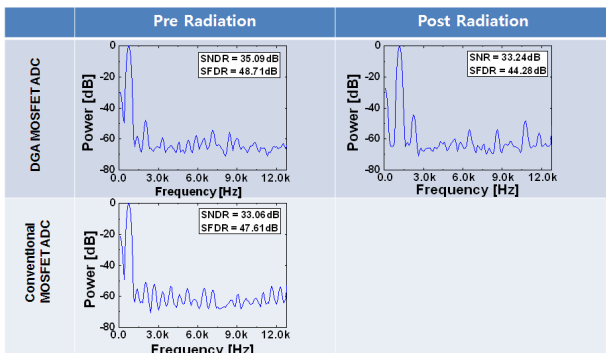


그림 10. 조사 전후의 FFT plot  
Fig. 10. Measured ADC output spectrum.

2.3LSB→33LSB로 크게 증가 하는 것을 확인할 수 있었다.

동적성능지수의 경우는 그림 10과 같이 DGA MOSFET을 이용한 ADC는 방사선 조사 전후에 유사한 값이 측정되었음을 확인할 수 있고, Conventional MOSFET을 이용한 ADC의 방사선 조사후의 FFT Plot은 정상 동작을 하지 않았기 때문에 얻을 수 없었다.

### 3. Discussion

그림 11은 Conventional MOSFET과 DGA MOSFET Test pattern의 방사선 조사 후 Vg-Id 특성이고 Conventional MOSFET에서 37.6nA 가량의 누설 전류가 발생하였음을 알 수 있다. 방사선 조사 동안에 Register내부의 Latch 회로를 구성하고 있는 NMOS 중에서 Gate에 High(3.3V)가 인가된 NMOS에서 방사선 조사 후 더 많은 누설 전류가 발생하게 된다. 방사선 조사시 ADC 입력에 VDD를 인가해 주었으므로 모든 Register의 출력은 VDD가 되고, 따라서 그림 11 (b)와 같은 bias 조건으로 방사선이 조사되었으며, 이때 NM2, NM8에서 더 많은 누설 전류가 발생하게 된다. 누설 전류 값이 커지면 NM2, NM8이 사용된 반전기의 출력값이 항상 GND가 되는데 NM8이 사용된 반전기가 출력단 앞에 있는 반전기(PM6, NM6)와 피드백 루프를 이루고 있기 때문에 출력은 항상 High로 고정된다.

SAR ADC의 경우 가장 먼저 MSB가 결정이 되어 Register에 저장되고 차례로 하위비트가 결정이 되어 각각에 해당하는 Register에 저장이 된다. 방사선 조사

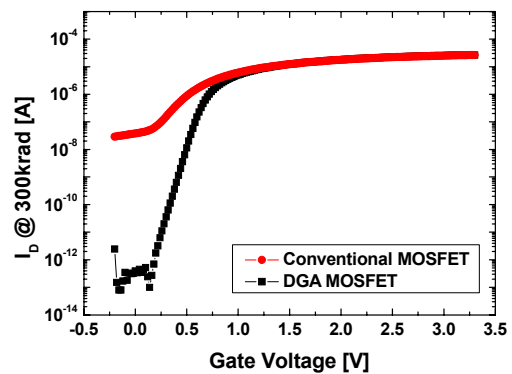
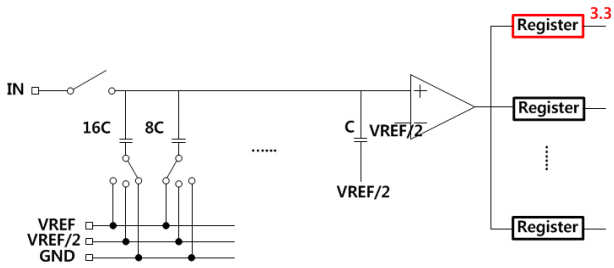
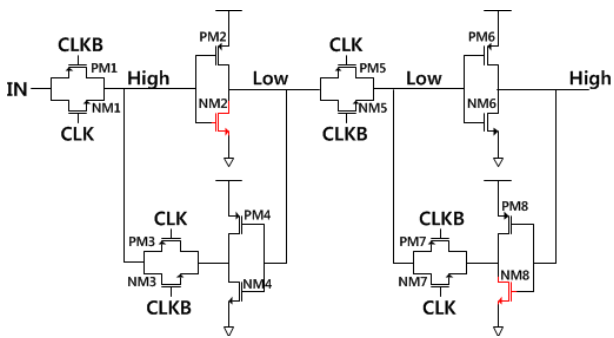


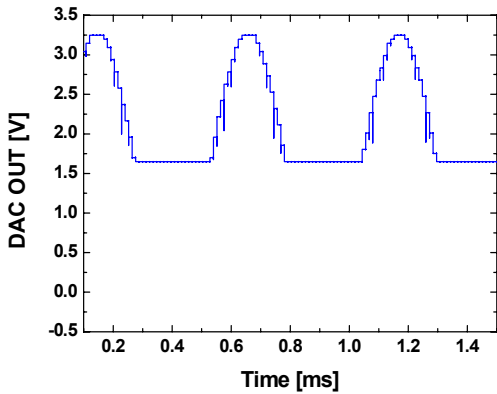
그림 11. Conventional MOSFET과 DGA MOSFET의 방사선 조사 후 Vg-Id 특성  
Fig. 11. VG-ID characteristic of conventional MOSFET and DGA MOSFET after radiation.



(a)



(b)



(c)

그림 12. (a) Register에서 항상 3.3V를 출력하도록 회로 레벨에서 Modeling  
(b) Register회로 내부구조와 방사선 조사 실험에서 인가된 전압 조건  
(c) Modeling을 통해 얻은 DAC 출력파형  
Fig. 12. (a) Circuit level modeling  
(b) Bias condition during irradiation test  
(c) Modeled DAC output waveform.

시에 ADC 입력에 VDD를 인가해주었기 때문에 Register는 그림 12 (b)와 같은 bias 조건으로 조사 되는데, 매 변환 단계마다 MSB를 저장하는 Register의 NM2, NM8에 일정한 전압이 가장 긴 시간 걸리게 되므로 누설전류가 더 많이 발생하게 된다.<sup>[6]</sup>

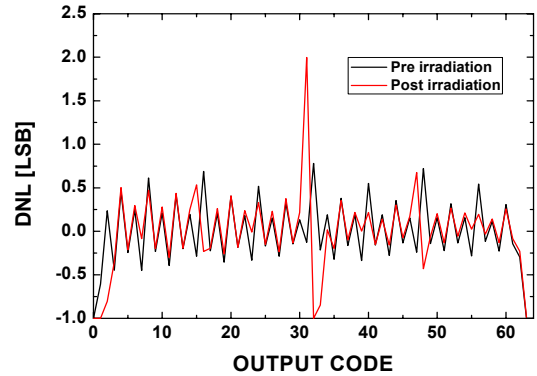


그림 13. DGA MOSFET을 이용한 ADC의 방사선 조사 전후의 DNL 측정값  
Fig. 13. Measured DNL of ADC designed with DGA MOSFET.

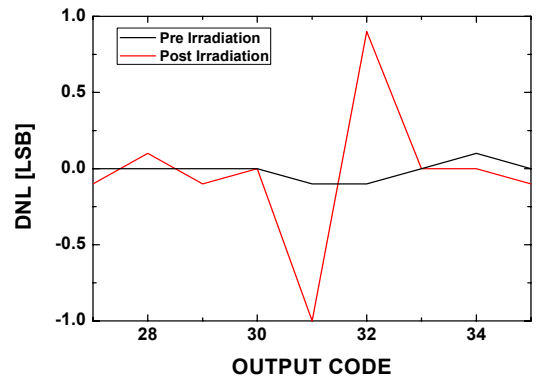


그림 14. Simulation을 통해 얻어진 DNL값  
Fig. 14. Simulation result of DNL.

그림 7과 같이 출력 파형이 잘려서 나오는 현상을 검증하기 위해서 그림 12(a)와 같이 MSB Register가 항상 3.3V의 값을 hold 하도록 하고 Simulation을 진행한 결과 그림 12(c)에서 볼 수 있듯이 실제 결과와 동일한 결과를 얻을 수 있었다.

DGA MOSFET ADC의 경우 DAC OUT 파형에서는 큰 문제가 없었지만, DNL 패턴이 다소 변한 것을 관찰할 수 있었다. 그림 13은 DGA MOSFET ADC의 방사선 조사 전후 DNL 값 변화를 나타낸 것이다. 그림 13에서 볼 수 있듯이 DGA MOSFET을 이용한 ADC에서는 MSB가 변하는 Code에서 DNL값이 크게 증가하고 Missing Code가 발생하는 것이 발견되었다. 이는 Capacitor DAC에 사용된 PIP (Poly-Insulator-Poly) capacitor의 절연체에 해당하는 산화막에서 Hole trap이 일어나서 Fixed charge가 Capacitor에 인가되는 전압을

실효적으로 바꾸었기 때문인 것으로 예상되었다. 이를 확인하기 위해서 Capacitor에 인가되는 초기 전압을 (1.65V)에서 (1.7V)로 바꾸어서 Simulation을 진행하여 DNL값을 계산 하였더니 그림 14.와 같이 실제 측정된 데이터와 비슷한 경향을 보이는 DNL pattern을 얻을 수 있었다.

#### IV. 결 론

본 논문에서는 방사선에 견디도록 제안된 Dummy Gate Assisted MOSFET을 이용해 SAR ADC를 설계 하여 이에 대한 대조군으로써 Conventional MOSFET을 이용한 SAR ADC와 누적 방사선량에 대한 영향을 비교 분석하였다. 설계된 두 회로는 3.3V의 공급 전압을 사용하며, 0.35um standard CMOS 공정을 통해 제작되었다. 제안된 Hardening Layout ADC의 경우 방사선 조사 후에 성능지수 저하가 발견되었으나 정상동작을 하고 있었고, Conventional Layout ADC는 정상동작을 하지 못하였다.

Conventional Layout ADC가 정상동작 하지 못하는 것은 MOSFET 내의 누설전류 발생으로 인한 것이고, Hardening Layout ADC의 성능지수 저하는 방사선에 의해 PIP Capacitor 층에 Charge가 trap되어 발생한 것으로 보여진다. 따라서 DGA MOSFET과 방사선에 강한 Capacitor를 이용한다면 우주 방사선 환경에도 정상적으로 동작하는 SAR ADC를 설계할 수 있을 것으로 예상된다.

#### REFERENCES

- [1] 2012 IEEE Nuclear and Space Radiation Effects Conference Short Course Notebook
- [2] Sang-Hyun Cho, "A 550-uW 10-b 40-MS/s SAR ADC With Multistep Addition-Only Digital Error Correction" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 46, NO. 8, AUGUST 2011
- [3] Min Su Lee, Tae Hyo Kim, and Hee Chul Lee, "Effects of a Leakage Current Blocking p+ Layer on a Dummy Gate-Assisted N-MOSFET Layout for Total Ionizing Dose Mitigation", IEEE NSREC, Miami USA (Jul. 2012)
- [4] T. R. Oldham, "Total Ionizing Dose Effects in MOS Oxides and Devices" IEEE Trans on Nuclei Sci, VOL. 50, NO. 3, JUNE 2003
- [5] D. M. Fleetwood, "Total-Dose Radiation Hardness Assurance" IEEE Trans on Nuclei Sci, VOL. 50, NO. 3, JUNE 2003
- [6] C. I. Lee et al, "Total Ionizing Dose Effects on High Resolution (12-14bit) Analog-to-Digital Converters" IEEE Trans on Nuclei Sci VOL. 41, NO. 6, DECEMBER 1994
- [7] M. Burns and G.W. Roberts, An introduction to Mixed-Signal IC test and measurement. Oxford, U.K.: Oxford Univ. Press, 2001.
- [8] Walter J. Snoeys, "A New NMOS Layout Structure for Radiation Tolerance", IEEE Trans on Nuclei Sci, VOL. 49, NO. 4, AUGUST 2002
- [9] H. S. Kim, "Total Ionizing Dose Effects in MOS Devices for Dierent Radiation Sources", JKPS, Vol. 45, Dec 2004, pp. S820-S823

#### 저 자 소 개



김 태 호(학생회원)  
 2011년 경북대학교 전자공학부 학사 졸업  
 2013년 한국과학기술원 전기 및 전자공학과 석사 졸업  
 2013년 현재 한국과학기술원 전기 및 전자공학과 박사과정

<주관심분야 : Radiation Hardening electronics, Data Converter>



이 희 철(정회원)  
 1978년 서울대학교 전자공학 학사 졸업  
 1986년 동경공업대학교 전자공학과 석사 졸업  
 1989년 동경공업대학교 전자공학과 박사 졸업

2004년~2010년 나노종합팹센터 소장 역임  
 1989년~현재 한국과학기술원 전기 및 전자공학과 교수

<주관심분야 : Infrared detector, Radiation harding electronics, Ferroelectric Nonvolatile memory>