

# 패스 트랜지스터에 바디 구동 기술을 적용한 저면적 LDO 레귤레이터

## Small area LDO Regulator with pass transistor using body-driven technique

박준수\*, 유대열\*, 송보배\*, 정준모\*\*, 구용서\*\*

Jun-Soo Park\*, Dae-Yeol Yoo\*, Bo-Bae Song\*, Jun-Mo Jung\*\*, Yong-Seo Koo\*\*

### Abstract

Small area LDO (Low drop-out) regulator with pass transistor using body-driven technique is presented in this paper. The body-driven technique can decrease threshold voltage ( $V_{th}$ ) and increase the current  $I_D$  flowing from drain to source in current. The technique is applied to the pass transistor to reduce size of area and maintain the same performance as conventional LDO regulator. A pass transistor using the technique can reduce its size by 5.5 %. The proposed LDO regulator works under the input voltage of 2.7 V ~ 4.5 V and provides up to 150mA load current for an output voltage range of 1.2 V ~ 3.3 V.

### 요 약

본 논문에서는 패스 트랜지스터에 바디 구동 기술을 적용하여 면적을 감소시킨 LDO (Low drop-out) 레귤레이터를 제안하였다. 바디 구동 기술은 트랜지스터의 문턱전압 ( $V_{th}$ )을 감소시켜 드레인 전류를 증가시켜 전류 구동 능력을 향상시킨다. 본 논문에서는 LDO 레귤레이터의 패스 트랜지스터에 바디 구동 기술을 적용하여 면적을 감소시키고, 기존 LDO 레귤레이터와 동일한 성능을 유지하였다. 본 논문에서 제안하는 패스 트랜지스터는 동일한 성능 대비 면적은 5.5 % 감소 하였다. 본 논문에서 제안하는 LDO 레귤레이터는 2.7 V ~ 4.5 V의 입력 전압, 1.2 V ~ 3.3 V의 출력전압 범위를 가지며, 150 mA의 출력 전류를 공급한다.

*Key words* : LDO regulator; small area LDO regulator; body-driven technique; body-effect; pass transistor;

\* Dept. of Electronics and Electrical Engineering, Dankook Univ.([kwangsoi7@nate.com](mailto:kwangsoi7@nate.com) 010-7999-7900)

\*\* Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

※ Acknowledgment : This research was supported by the MSIP(Ministry of Science, ICT&Future Planning), Korea, under University ITRC support program (NIPA-2013-H0301-13-1007) supervised by the NIPA(National IT Industry Promotion Agency) and

Industrial Strategic and Technology Development Program funded by the Ministry of Knowledge Economy (10039145, The development of system semiconductor technology for IT fusion revolution)

Manuscript received Jun. 19, 2013; revised Jun. 27, 2013 ; accepted Jun. 27. 2013

I. 서론

최근 집적회로기술의 발달과 더불어 휴대용 기기의 수요 증가로 인해 전력관리에 대한 관심이 집중되고 있다. 모바일, 노트북과 같은 휴대용기기는 한정된 배터리를 이용하여 기기의 동작 시간과 안정된 동작 환경을 제공해야 하기 때문에 전력 관리 칩 설계에 대한 중요성 또한 이슈가 되고 있다. 전력관리IC는 크게 DC-DC 컨버터, 차지 펌프와 같이 스위칭 방식을 이용한 스위칭 레귤레이터와 LDO 레귤레이터와 같이 선형 시스템을 이용한 선형 레귤레이터가 있다. 스위칭 레귤레이터는 스위칭 방식을 이용하여 높은 효율을 구현할 수 있지만, 출력이 잡음이 심하여 라디오 주파수와 통신 시스템에 적용하기에는 어려움이 있다. 그에 비해 선형 레귤레이터는 잡음이 작고 안정된 출력을 제공하는 장점이 있기 때문에 잡음에 민감한 회로에 적용하기에 적절하다. 이와 같이 전력관리 칩은 적용할 어플리케이션에 따라 레귤레이터의 종류가 변하며, 최근에는 여러 종류의 칩을 하나의 칩에 집적화하여 가격과 면적을 줄이는 원칩화 기술에 대한 관심과 적용이 집중되고 있다. 따라서 원칩화된 전력관리칩에는 스위칭 레귤레이터와 더불어 선형 레귤레이터도 집적화 되고 있다.

칩의 경쟁력은 가격, 면적, 다양한 기능 등에 의해 결정되는데, 칩의 생산과 더불어 경쟁력을 강화시키기 위해서는 동일한 칩 면적에 더 많은 기능을 포함할 수 있어야 한다. 이를 위해 각 파운드리 회사에서는 스케일다운을 진행하고 있으며, 이로 인해 트랜지스터의 크기는 점점 작아지고 있다. 스케일다운을 통해 디지털 블록의 크기는 작아지고 있지만, 아날로그 회로의 크기는 핫캐리어, 파워손실 등 여러 문제점이 있기 때문에 크게 감소하지 못한다. 따라서 본 논문에서는 기존의 공정을 이용하여 스케일다운 없이 동일한 성능을 가지면서 트랜지스터의 크기를 줄일 수 있는 방법을 소개하였다. 바디 효과라고 하여 트랜지스터의 바디 단자를 바이어싱 함으로써 전류의 양을 증폭시키고, 바디 전압에 의해 전류가 증폭된 트랜지스터의 크기를 감소시켜 면적을 감소시킨다. 이와 같은 기술을 바디 구동 기술 이라 하며, 본 논문에서는 LDO 레귤레이터에 적용함으로써 동일 성능을 내면서도 작은 면적을 차지하는 효과를 얻기 위해 적용하게 되었다. 또한 안정성 보장을 위해 작은 출력 저항을 가지는 슈퍼 버퍼를 적용하였다. [1]-[5]

II. 바디 구동 기술

1. 바디 효과

그림 1은 CMOS 공정을 이용한 전형적인 저전압용 PMOS 트랜지스터이다. 단자는 크게 드레인, 게이트, 소스, 바디 네 가지로 구성된다. 게이트 단자는 트랜지스터에 채널을 형성하여 트랜지스터를 도통시키기 위해 전압을 인가해야 하는 단자이고, 소스 단자를 기준으로 하여 드레인 단자는 인가해주는 전압 값에 따라 트랜지스터의 구동 영역을 선형 영역, 포화 영역으로 정해준다.

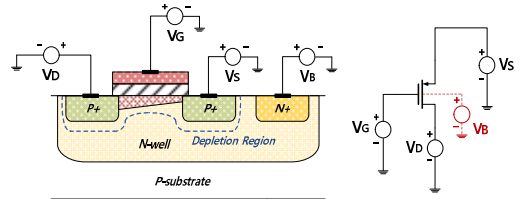


Fig. 1. Body effect in p-channel transistor  
그림 1. PMOS 트랜지스터의 바디 효과

바디 단자는 흔히 제 2의 게이트 단자라고 불리며, 회로의 간단한 해석을 제공하고 누설전류에 의한 손실을 막기 위해 바디단자와 소스 단자를 단락시켜 바디 단자에 의한 제어를 방지한다. 그러나 바디 단자를 소스 단자와 단락시키지 않고 바디 단자에 전압을 제공해 주면 회로의 특성을 변화하는 효과가 발생하게 되는데, 이것을 바디 효과라 한다. [6]-[8]

바디 효과는 그림 1과 같이 소스-바디 간의 전압에 따라 공핍층의 두께가 변하게 되는데, 소스-바디 간의 전압이 플러스 전압이 된다면 피엔 접합에 순방향 전압이 인가 됨에 따라 공핍층이 감소하게 되어 채널 형성에 도움이 되는 효과를 얻는다. 그와는 반대로 마이너스의 전압이 된다면, 공핍층의 증가로 채널 형성에 방해가 된다. 결론적으로 순방향 전압이 가해지면 문턱전압의 감소로 인해 전류의 양이 증가하게 되고, 역방향 전압이 인가되면 문턱 전압에 증가로 인해 전류의 양이 감소한다. 바디 효과에 대한 문턱 전압의 수식은 수식 1과 같으며, 소스-바디 사이의 전압 정도에 따라 문턱 전압의 최소값을 구할 수 있다.

$$V_{TH} = V_{TH0} - \gamma(\sqrt{|2\Phi_F| + V_{BS}} - \sqrt{|2\Phi_F|}) \quad (1)$$

하지만, 기생 PN 다이오드가 동작 가능한 이상의 전압이 인가될 경우에는 큰 누설 전류의 흐름으로 인해 파워 손실과 더불어 회로의 파괴를 야기할 수 있다. 따라서 누설전류를 최소화하면서 문턱전압을 작

게 하는 적정값을 찾아야 한다.

그림 2는 NMOS에서의 바디 바이어싱에 따른  $I_{BS}-V_{BS}$ ,  $V_{DS}-V_{BS}$  특성이다. 그림 2.(a)와 같이 바디 단자에 입력된 전압이 0.6V 일 때, 누설 전류가 점점 증가하는 것을 확인 할 수 있다. 이 때 드레인 전압은 최소값에 가까워지며, 이는 게이트 구동전압이 최대에 가까워졌다는 것을 알 수 있다.

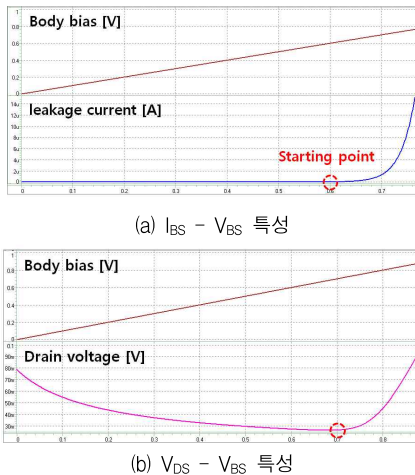


Fig. 2. The characteristic of body bias variation  
그림 2. 바디 바이어스 변화에 따른 특성

그림 3은 그림 2의 시뮬레이션 결과를 토대로 온도를 -30에서 130까지 변화시켰을 때  $I_{BS}$ 의 변화에 대한 그래프이다. 그림 3을 참고하면 바디 전압이 0.5V 이상이 되면 누설전류가 급격히 증가하는 것을 볼 수 있다.

본 논문에서는 이러한 이유로 기생 소자의 구동을 방지하고 문턱 전압의 감소를 위해 소스-바디 전압을 0.4 V로 설정하여 이용하였다.

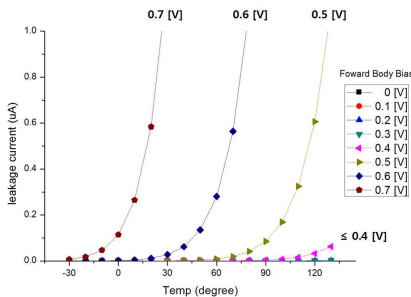


Fig. 3. The characteristic of temperature variation  
그림 3. 온도 변화 특성

**2. 바디 구동 기술을 이용한 LDO 레귤레이터**

그림 4는 제안된 LDO 레귤레이터에 대한 블록도이다. LDO 레귤레이터는 크게 기준전압 발생기, 오차 증폭기, 패스 트랜지스터, 전압 버퍼로 구성되며, 피드백 시스템을 형성하기 위한 피드백 저항과 출력 전압 변화를 감소시키기 위한 부하커패시터와 출력 전류의 값을 결정하여 주는 부하 저항으로 구성된다. LDO 레귤레이터의 구동은 기준전압 발생기의 전압과 출력 전압의 전압 분배를 통한 피드백 전압의 오차를 증폭하여 패스 트랜지스터에 전압을 조절해주고, 피드백 시스템을 통해 안정적인 전압을 제공하게 된다. 본문에서 소개한 바디 구동 기술은 패스 트랜지스터에 적용하였으며, 그림 6은 제안한 LDO 레귤레이터의 전체 회로도이다.

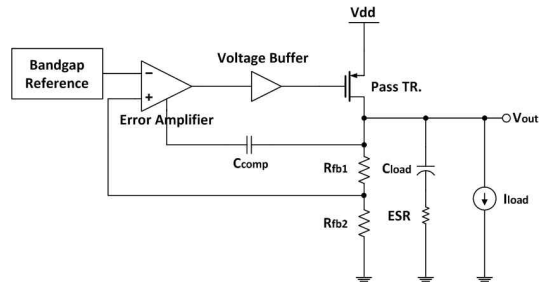


Fig. 4. Proposed LDO regulator block diagram  
그림 4. 제안하는 LDO 레귤레이터 블록도

가. 패스 트랜지스터

패스 트랜지스터는 LDO 레귤레이터의 부하 전류의 흐름을 제공하고 게이트 전압에 따라 전류의 값을 결정하는 역할을 한다. 패스 트랜지스터의 크기를 결정하는데 있어서 고려해야 할 사항은 부하의 최대 전류가 흐르게 될 경우에 소자의 파괴를 막을 수 있는 내압을 가져야 하고, 타겟 전류에 대해 입력 전압이 인가되었을 때 효율의 증가 및 최대 출력 전압을 제공하기 위한 크기를 결정해야 한다. 그림 5와 같이 회로를 구성하여 타겟 전류에 대한 전압의 하강 값을 설정하여 최대 출력전압을 구하게 되는데, 이때 패스 트랜지스터 양단의 전압 차이를 드랍 아웃 전압 이라 한다. 드랍 아웃 전압은 효율 증가와 최대 출력 전압을 결정하는데 있어 사이즈 조절이 중요한 요소가 된다. 사이즈가 클수록 최대 출력 전류의 양이 증가하는 장점이 있지만, 게이트 커패시터에 의한 주파수 안정성 확보의 문제와 커패시터에 의한 딜레이 형성으로 시간에 대한 반응 속도가 느려지는 단점이 발생한다. 따라서 그림 1에서 소개하였던 바디 드라이브 기술을 이용하여 트랜지스터의 크기를 증가시키지 않으면서도 드랍 아웃 전압을 감소시켰다.

표 1을 참고하면 패스 트랜지스터의 사이즈는 타겟 전류에 대하여 150 mA 로 설계하였고, 기존 패스 트랜지스터의 드랍 아웃 전압은 367 mV 이다. 반면 바디 구동 기술을 적용한 패스 트랜지스터의 드랍 아웃 전압은 352 mV 로, 바디 구동 기술을 적용하지 않은 패스 트랜지스터의 드랍 아웃 전압에 비해 15 mV 의 전압 차이를 보이며, 이는 트랜지스터의 사이즈로 환산하면 5.5 %의 면적을 감소시킬 수 있는 이익을 얻을 수 있다.

Table 1. Dropout voltage comparison with body bias  
표 1. 바디 바이어싱에 따른 드랍아웃 전압 비교

Load condition = 150 mA							
$V_{bs}[V]$	0	0.1	0.2	0.3	0.4	0.5	0.6
$V_{Do}[V]$	373m	367m	361m	356m	352m	348m	344m

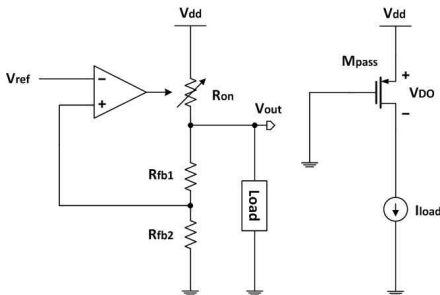


Fig. 5. P-channel pass transistor in LDO regulator  
그림 5. LDO 레귤레이터의 패스 트랜지스터

나. 오차 증폭기

오차증폭기는 LDO 레귤레이터의 피드백 시스템을 안정적으로 구동시키는 데 중요한 역할을 한다. 또한 오차증폭기의 이득에 따라 라인 및 로드 레귤레이션

의 성능이 변하고 시간변화에 따른 레귤레이터의 발진을 막고 안정적인 구동을 제공한다.

오차증폭기는 레귤레이터의 중요한 블록 중 하나이며, 증폭기에 안정된 바이어스를 제공하기 위해 전류 바이어스를 선택하였다. 전류 바이어스를 이용한 오차 증폭기는 전류의 변화에 대해 둔감하게 반응을 보임으로써 변화에 대한 둔감성과 더불어 높은 CMRR을 갖게 되는데, 이러한 성능을 구현하기 위해서는 오차 증폭기의 전류 미러의 길이를 크게 하거나 캐스 코드 전류 미러를 사용한다. 이에 따라 안정된 구동을 위해서는 전류원의 트랜지스터 크기가 증가하게 되는데, 전류 미러의 개수가 증가할수록 회로의 면적이 증가하게 되어 IC에 많은 회로를 추가하기가 어려워진다.

다. 전압 버퍼

버퍼를 적용하지 않은 기본적인 LDO 레귤레이터의 구조에서는 주파수 보상의 어려움과 더불어 패스 트랜지스터의 게이트 커패시터에 의해 시간 변화에 따른 반응이 느린 단점을 보이게 된다. 이를 보완하기 위해서 버퍼의 사용이 이루어지는데, 주파수 보상과 더불어 빠른 전이 시간을 갖기 위해서는 버퍼 트랜지스터의 크기를 증가시키거나 전류의 값을 증가시켜야 하는 트레이드-오프 관계가 형성된다. 따라서 본 논문에서는 일반적인 소스 팔로워를 사용한 것이 아닌, Ms6, Ms67 추가한 슈퍼 소스 팔로워를 이용하여 버퍼의 출력 저항값을 더욱 감소시켜 로드 변화에 따른 주파수의 안정성을 확보하였다. 일반 소스 팔로워 사용 시 출력 저항의 값은 수식 2와 같고, 슈퍼 소스 팔로워를 사용한 출력 저항의 값은 수식 3과 같다.

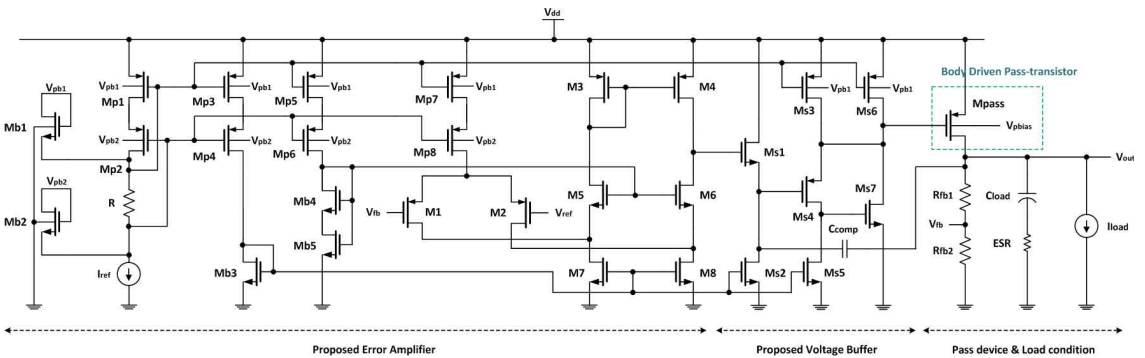


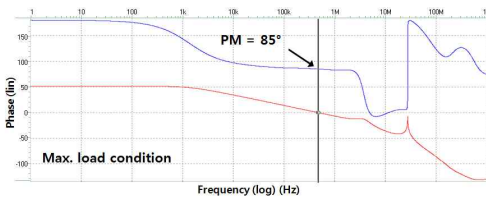
Fig. 6. Schematic of the proposed LDO regulator using body driven technique  
그림 6. 바디 구동 기술을 적용한 LDO 레귤레이터의 회로도

$$R_{O,conventional} \cong \frac{1}{g_{m,ms4} + g_{mb,ms4}} \quad (2)$$

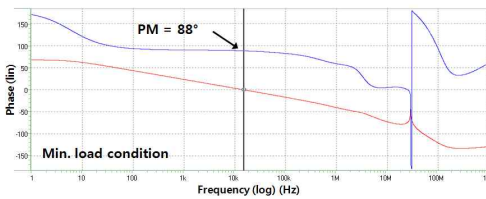
$$R_{O,proposed} \cong \frac{1}{g_{m,ms4} + g_{mb,ms4}} \cdot \left( \frac{1}{g_{ms7} \cdot r_{o,ms4}} \right) \quad (3)$$

**3. 시뮬레이션 결과**

본 논문에서 제안하는 LDO 레귤레이터는 HSPICE 툴을 통해 시뮬레이션 되었고 0.18 um BCD 공정을 이용하였다. 제안하는 LDO 레귤레이터는 2.7 V ~ 4.5 V의 입력 전압, 1.2 V ~ 3.3 V의 출력전압 범위를 가지며, 150 mA의 출력 전류를 공급한다. 또한 출력 커패시터는 2.2uF을 사용하였다. 그림 7은 부하 전류에 따른 주파수 응답이다. 부하 전류가 최소일 때 위상 여유는 88°, 루프 이득은 68 dB이며, 최대 부하 전류가 흐를 때 위상여유는 85°, 루프 이득은 52 dB로 사용 구간에 대해 안정적인 동작 조건을 가질 수 있다.



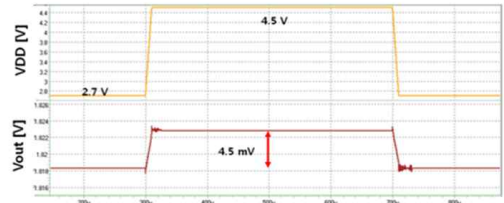
(a) Max. load condition



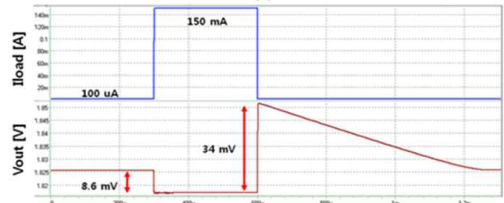
(b) Min. load condition

Fig. 7. Frequency responses under full-load and no-load  
그림 7. 부하 전류에 따른 주파수 응답

그림 8은 제안하는 LDO 레귤레이터의 과도응답 시뮬레이션 결과이다. 그림 8. (a)는 라인 레귤레이션 시뮬레이션 결과이며, 입력 전압을 2.7 V ~ 4.5 V로 변화시켰을 때 출력전압은 4.5 mV의 변화를 가졌다. 그림 8. (b)는 로드 레귤레이션 시뮬레이션 결과이며, 부하전류를 100 uA ~ 150 mA로 변화시켰을 때 출력 전압은 8.6 mV 변화하였고, 부하전류를 150 mA ~ 100 uA로 변화시켰을 때 출력 전압은 34 mV 변화하였다.



(a) Line regulation



(b) Load regulation

Fig. 8. Transient response of the LDO regulator  
그림 8. LDO 레귤레이터의 과도응답

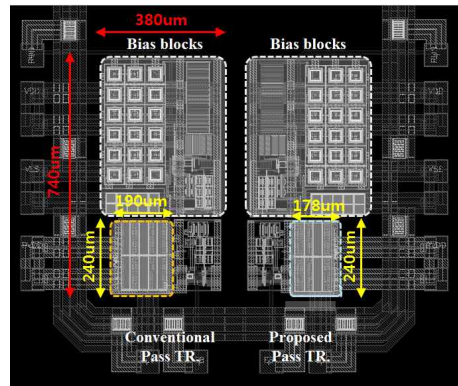


Fig. 9. Transient response of the LDO regulator  
그림 9. 레이아웃 면적 비교

그림 9는 제안하는 LDO 레귤레이터와 기존 LDO 레귤레이터의 레이아웃 면적 비교이다. 기존 LDO 레귤레이터의 패스 트랜지스터 면적은 240\*190 um<sup>2</sup> 이고 제안하는 LDO 레귤레이터의 패스 트랜지스터 면적은 240\*178 um<sup>2</sup> 로 바디 구동 기술을 통해 동일 성능 대비 면적이 5.5 % 감소한 것을 확인 할 수 있다.

**III 결론**

본 논문에서는 바디 구동 기술을 이용한 저면적 LDO 레귤레이터를 제안하였다. 본 논문에서 제안하는 바디 구동 기술은 전류의 증폭 효과를 이용하여

트랜지스터의 크기에 대한 감소 효과를 얻을 수 있으며, LDO 레귤레이터에 패스 트랜지스터의 면적을 감소시킬 수 있는 이익을 얻을 수 있다. 또한 슈퍼 버퍼를 사용하여 안정적인 주파수 보상을 얻었다. 본 논문에서 제안하는 LDO 레귤레이터는 0.18 um BCD 공정을 이용하였으며, 저전압 소자를 이용하여 설계하였기 때문에 면적의 효과를 얻을 수 있어 가격과 면적에서 이익을 얻을 수 있다.

## References

- [1] Al-Shyoukh, M.; Hoi Lee; Perez, R, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation," Solid-State Circuits, IEEE Journal of, vol. 42, pp. 1732 - 1742, Aug. 2007.
- [2] Jungeui Park ; Wooju Jeong ; Junsang Lee ; Seok Lee ; Jayang Yoon ; Jaehoon Kim ; Joongho Choi, "Design of LDO linear regulator with ultra low-output impedance buffer," SoC Design Conference (ISOCC), 2009 International, pp. 420 - 423, Nov. 2009.
- [3] Yongsheng Wang; Mingyan Yu; Xiaoxiong Feng; Fengchang Lai, "Frequency compensation scheme for LDO regulator operated under wide power supply range in smart battery system," Electron Devices and Solid-State Circuits (EDSSC), 2011 International Conference of, pp. 1-2, Nov. 2011.
- [4] Yong-Seo Koo; Kang-Yoon-Lee; Jae-Hwan Ha; Yil-Suk Yang. "A Design of Power Management IC for CCD Image Sensor" IKEEE, vol 13, no.4, pp. 63-68, 2009
- [5] Seong-Mok Yu; Joon-Ho Park; Jong-Tae Park; Chong-Gun Yu, "Design of Tripple-Mode DC-DC Buck Converter" IKEEE, vol 15, no.2, pp. 134-142, 2011
- [6] Xuguang Zhang; El-Masry, E.I., "A regulated body-driven CMOS current mirror for low-voltage applications," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol. 51, pp. 571-577, Oct. 2004.
- [7] Rui He; Lihong Zhang, "Evaluation of modern MOSFET models for bulk-driven applications," Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on, pp. 105-108, Aug. 2008.

- [8] Khateb, F.; Biolek, D.; Khatib, N.; Vavra, J., "Utilizing the Bulk-driven technique in analog circuit design," Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on, pp. 16-19, Apr. 2010.

## BIOGRAPHY

### Park Jun-Soo (Student Member)



2012 : BS degree in Electronics Engineering, Seokyeong University.

2012 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

<main interesting field> DC-DC Converter, Power Management IC, etc

### Song Bo-Bae (Student Member)



2012 : BS degree in Electronics Engineering, Seokyeong University.

2012 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

<main interesting field> Power Device, ESD Protection

### Yoo Dae-Yeol (Student Member)



2013 : BS degree in Electronics Engineering, Seokyeong University.

2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

<main interesting field> DC-DC Converter, Power Management IC, etc

**Jun-Mo Jung** (Member)

1985 : BS degree in Electronics Engineering, Hanyang University.  
1987 : MS degree in Electronics Engineering, Hanyang University.  
1992 : PhD degree in Electronics Engineering, Hanyang University.

1995 ~ presently : assistance professor in Seokyeong University.

<main interesting field> integrated circuit, micro processor

**Koo Yong-Seo** (Member)

Refer to  
Journal of IKEEE Vol. 8, No. 1