

## 디바이스 내장형 플렉시블 전자 모듈 제조 및 신뢰성 평가

김대곤\* · 홍성택\* · 김덕홍\* · 홍원식\*\*† · 이창우\*\*\*

\*삼성테크윈 MDS 개발팀

\*\*전자부품연구원 부품소재물리연구센터

\*\*\*한국생산기술연구원 용접접합기술센터

### Fabrication and Reliability Test of Device Embedded Flexible Module

Dae Gon Kim\*, Sung Taik Hong\*, Deok Heung Kim\*, Won Sik Hong\*\*† and Chang-Woo Lee\*\*\*

\*Micro Device Solution Team, Samsung Techwin Co., Ltd, Seongnam-si 463-400, Korea

\*\*Components and Materials Physics Research Center, Korea Electronics Technology Institute, Seongnam-si 463-816, Korea

\*\*\*Advanced Welding & Joining Technology Center, Korea Institute of Industrial Technology, Incheon-si 406-840, Korea

†Corresponding author : wshong@keti.re.kr

(Received June 19, 2013 ; Revised June 20, 2013 ; Accepted June 20, 2013)

#### Abstract

These days embedded technology may be the most significant development in the electronics industry. The study focused on the development of active device embedding using flexible printed circuit in view of process and materials. The authors fabricated 30um thickness Si chip without any crack, chipping defects with a dicing before grinding process. In order to embed chips into flexible PCB, the chip pads on a chip are connected to bonding pad on flexible PCB using an ACF film. After packaging, all sample were tested by the O/S test and carried out the reliability test. All samples passed environmental reliability test. In the future, this technology will be applied to the wearable electronics and flexible display in the variety of electronics product.

Key Words : Flexible module, Embedded device, Thin wafer, Reliability test, Bendable

#### 1. 서 론

최근의 전자제품은 휴대폰, IT 이동기기 제품, 유비쿼터스 컴퓨팅을 이용한 다기능, 집적화의 시대로 접어들었으며 네트워크, 인터넷, 디지털 콘텐츠, 휴대 기기, 멀티미디어, 유무선 통신기술 등이 융합하며 종래 개념으로 정의할 수 없는 새로운 기기로 점점 진화되어 가고 있다. 전자기기의 진화와 더불어 다양한 정보를 인간에게 언제 어디서나 전달하는 정보전달 매체로서 외부 충격에 강하며 휴대하기 용이하고 경박단소하면서 임의의 형태로 구현이 가능하고 특히, 유연하여 종이처럼 접거나 고굴곡의 기하학적 형태까지도 가능한

고집적 플렉시블 전자모듈에 대한 요구가 대두하고 있다<sup>1-5)</sup>.

반도체 패키징 기술 역시 평면적으로 부품을 배치하는 종래의 2차원 실장기술의 한계를 극복하기 위해 다양한 형태의 3차원 적층 실장 기술 개발에 대한 연구가 활발히 진행되고 있으며, 이 중 디바이스가 기판 내부에 삽입되는 내장형 전자 모듈에 대한 패키징 기술이 최근 많은 주목을 받고 있다. 디바이스 내장형 모듈 기술은 PCB 기판의 고밀도 3D 실장 구조로서, PCB 기판을 다층 구조로 함과 동시에, 그 내부에 반도체 IC 칩을 내장하는 구조로 최단의 배선길이에 의한 신호 처리의 고속화는 물론 기판 단위 면적당 실장부품의 효율이 향상되며 이로 인한 소형화로 시스템의 미세화, 저전력화를 도모 할 수 있기 때문에 차세대 마이크로 시스

템을 구현하기 위해 꼭 필요한 기술이라 할 수 있다<sup>6-7)</sup>.

따라서 본 논문에서는 디바이스 내장형 플렉시블 전자모듈을 제조하기 위한 핵심 단위 공정 및 각 단위공정에서 필요한 요소 기술들과 제작된 전자 모듈의 신뢰성 평가결과에 대해 기술하고자 한다.

### 2. 실험 방법

디바이스 내장형 플렉시블 전자모듈을 제작하기 위한 전체 프로세스를 간략히 도식화 하여 그림 1에 나타내었다. 그림에서 알 수 있듯이 전체 프로세스는 크게 내층 기판 제작, thin wafer 제작, 층간 절연 접착제를 이용하여 내층 기판과 외층 기판을 적층, 내/외층 기판을 전기적으로 interconnect 하는 공정으로 나뉘어 진다.

내/외층 기판을 제작하는 공정 프로세스는 일반적으로 FPC 제작하는 공정과 유사하지만 디바이스 내장형 전자 모듈을 제작하기 위해서 중요한 핵심 공정은 thin wafer 가공 기술, thin chip bonding 기술, 내층과 외층을 interconnection 하는 기술이다. 본 논문에서는 앞서 이야기 한 핵심 공정 기술에 위주로 설명하고자 한다.

먼저 디바이스 내장형 플렉시블 전자 모듈을 제작하기 위해 사용한 플렉시블 기판은 sputter type의 양면 FCCL, thin device는 8인치 si wafer를 사용하였다.

본 실험에서 디자인 한 칩의 상세 사양은 Table 1에 나타내었다. Chip bump는 높이 15um, 사이즈 50×50um의 Au bump를 전해 도금법으로 형성하였으며 기판과 칩과의 전기적 통전 및 제작된 전자 모듈의 불량 검사를 위하여 daisy-chain을 칩과 기판에 모두 반영하였다.

칩과 내층 기판의 전기적 접속은 ACF 필름을 이용하여 플립칩 본딩을 하였으며, 칩이 본딩된 내층 기판과 외층 기판은 resin flow 및 밀착력을 향상시키기 위해 특수 제작된 50um 두께의 본딩시트(bonding sheet)를 사용하였다. 또한, 외층 기판의 솔더 레지스트(solder

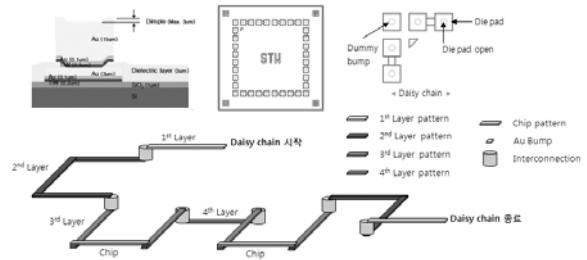


Fig. 2 Schematic diagram of chip and daisy chain design structure

Table 1 Specifications of thin chip

Content	Design	Content	Design
Wafer size	8"	Daisy chain line width	40um
Die size	2.0x2.0 mm	Die outer line & text width	20um
Die pad pitch	150um	Scribe lane width	70um
Die pad size	100x100 um	No. of pad	36ea
Die pad open	35um	Pad region size	1.45x1.45 mm

Table 2 Characteristics of flexible material

Material	Company	Property
ACF	Telephus	<ul style="list-style-type: none"> <li>Particle size : 5um</li> <li>Particle type : Polymer/Ni/Au</li> <li>Particle density: &gt;10,000pcs/mm<sup>2</sup></li> </ul>
Bonding Sheet	Innox	<ul style="list-style-type: none"> <li>Thickness : 50um</li> <li>Solid contents : 30~35wt%</li> <li>Epoxy+Acryl base</li> </ul>
Coverlay	Innox	<ul style="list-style-type: none"> <li>PI(12.5um)+Adhesive(35um)</li> <li>Solid contents : 30~35wt%</li> <li>Epoxy+Acryl base</li> </ul>

resist) 물질은 커버레이(coverlay)를 사용하여 제작된 전자모듈의 유연성을 유지 하였다.

### 3. 실험 결과

#### 3.1 Thin wafer 제작

디바이스 내장형 전자모듈을 만들기 위해서는 얇은 두께의 칩이 필수적으로 요구된다. 본 연구에서는 thin wafer를 제작하기 위해서 일반적인 thinning 프로세스가 아닌 DBG(dicing before grinding) 공법을 적용하여 약 30um 두께의 칩을 제작하였다. 그림 4에 normal grinding 프로세스와 DBG 프로세스를 도식화 하였다. DBG 프로세스는 먼저 wafer 앞면의 dicing 라인을 따라 일정한 두께로 sawing 한 후 wafer 뒷면을 그라인딩 하

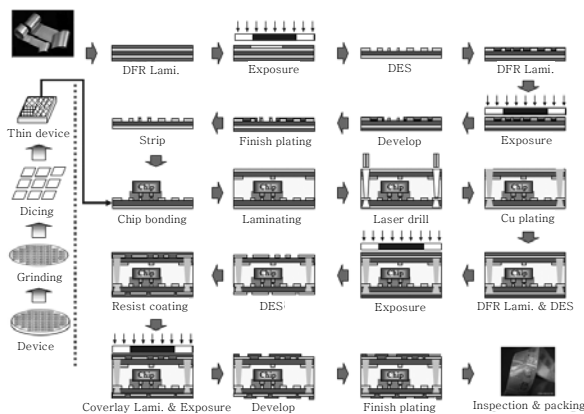
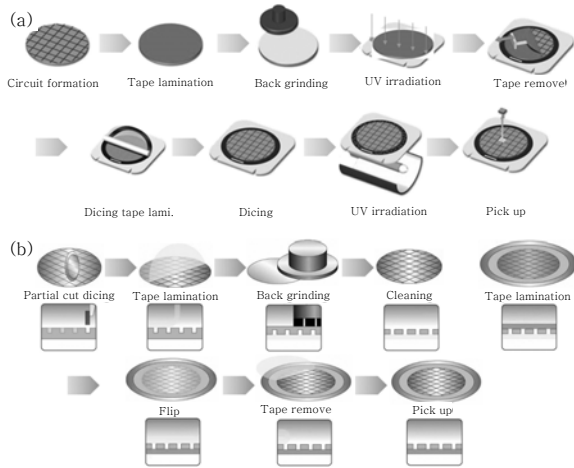
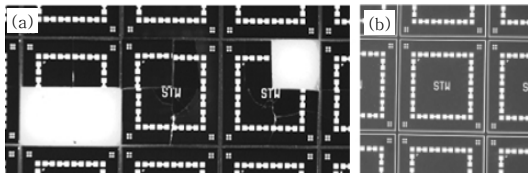


Fig. 1 Process mapping of device embedded electronic module



**Fig. 3** Wafer thinning process: a) normal grinding process and b) DBG process<sup>(8-9)</sup>



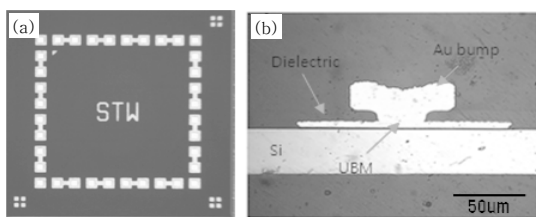
**Fig. 4** 8" wafer thinning image: a) normal grinding process and b) DBG process

는 프로세스로 다음과 같은 장점을 가지고 있다.

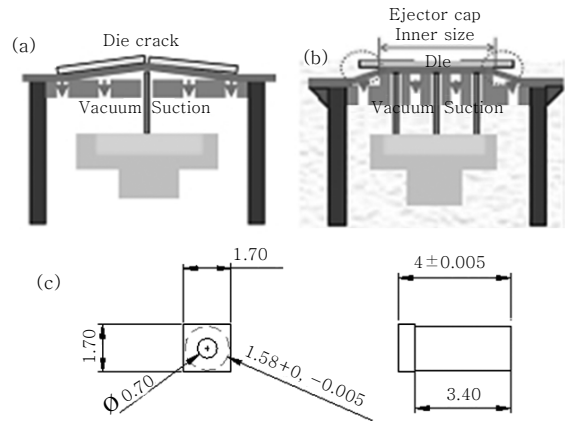
- Grinding시 발생하는 particle/contamination 에 의한 wafer 단위의 broken이 없어 수율 개선
- Grinding 후 발생하는 warpage 에 의한 영향성 개선 (Chip 단위의 warpage)
- Grinding 과 mounter 간의 inline 대응 가능
- Grinding 후 별도의 wafer cleaning 공정 불필요
- Stress relief 공정 없이 thin die packaging 에 대응 가능

### 3.2 Thin chip bonding

30um 두께로 제작된 칩은 ACF필름을 이용한 플립 칩 프로세스로 내층 기판과 접합하였다. 플립칩 본딩 tool은 크게 ejecting, flipper, bonding tool로 구성되



**Fig. 5** Top and cross-sectional image of 30um Si chip

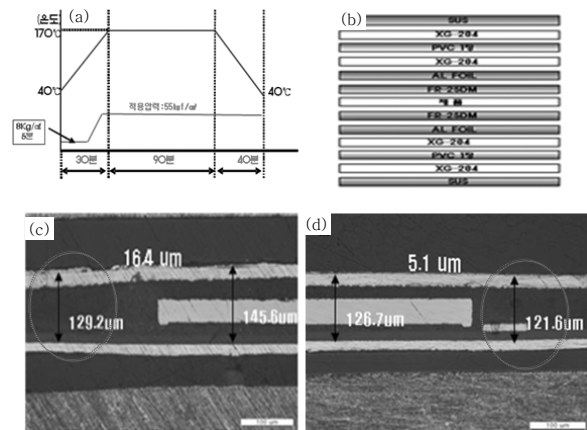


**Fig. 6** Scheme of ejecting and bonding tool: a) 1 pin ejecting nozzle, b) multi pin ejecting nozzle and c) bonding tool shape and size

어 있다. 특히, 얇은 두께의 칩을 본딩할 경우 ejecting/bonding tool의 형상 및 크기가 중요한 변수이다. 본 실험에서는 다양한 DOE 평가를 통해 ejecting tool의 경우 칩에 부과되는 응력 및 ejecting 시 칩 크랙을 최소화하기 위해 4 pin nozzle를 적용하였으며, bonding tool의 크기는 ACF resin flow 및 균일한 압력 전달을 위해 칩 사이즈의 85%일 때 최적의 결과를 얻을 수 있었다.

### 3.3 적층

내층 기판에 칩을 접합한 후 층간 접착 물질인 본딩 시트를 사용하여 내층 기판과 외층기판을 적층한다. 그림 7 은 본 실험에서 사용한 원부자재와 적층 압력 및 온도프로파일을 나타내고 있다. 그림 7c와 d의 결과에서 알 수 있듯이 본딩시트의 물성인 resin flow 및 공정조건이 맞지 않을 경우 내장된 칩이 있는 부분과 없



**Fig. 7** Experimental parameters of build-up process and cross-sectional views

는 부분의 단차가 심하게 발생하게 되며 이는 외층 패턴 형성 시 불량률 야기하기 때문에 적층 단차를 최소한으로 유지해야 한다. 또한 이종 재료간의 delamination 방지를 위해 밀착력도 반드시 확보해야만 한다.

### 3.4 Micro via interconnection

디바이스 내장형 플렉시블 전자모듈 제조 시 핵심 공정중 하나가 내층/외층/디바이스 간의 전기적 통전을 위해 소구경의 신뢰성 있는 접속부(interconnect)를 만드는 것이다. 일반적으로 마이크로 비아를 형성하는 방법은 크게 4가지 정도가 있다.

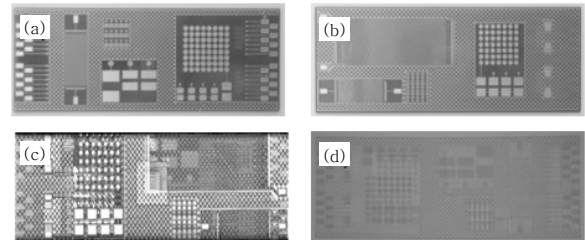
#### 3.4.1 Conformal mask etching & CO<sub>2</sub> laser drill process

먼저 PCB업계에서 가장 범용적으로 사용하는 있는 conformal mask etching& CO<sub>2</sub> laser drill process 이다. 이 공법은 target Cu 영역을 wet etching방식으로 제거한 후 Cu open된 영역에 CO<sub>2</sub> laser drill을 하여 via를 형성하게 된다. 하지만 내부 target pad의 인식으로 alignment accuracy확보에 어려움이 있고 노광 시 발생하는 빛의 간섭으로 인해 소구경 via에는 적합하지 않다.

#### 3.4.2 CO<sub>2</sub> laser drill process

CO<sub>2</sub> laser만 사용하는 direct drill process로 먼저 target 기판에 표면처리(Black/Brown oxide, CZ treatment)를 하여 Cu 표면조직의 조밀한 흡광구조 형성 한 후 별도의 Cu Open공정 없이 기판에 via 형성하는 방법이다.

하지만 표면처리를 위한 별도의 약품 및 설비 구축이 필요하고 조밀한 Cu 표면조직으로 인한 Overhang/Cu burr/Under cut/Barrel shape의 문제를 내포하고 있다.



**Fig. 8** Device embedded flexible substrate: a), b) optical image, c) SAM image and d) X-ray image

#### 3.4.3 UV laser drill process

UV laser direct drill process는 FPC/PKG용 substrate의 through hole 및 micro via에 많이 사용되고 있다. UV laser beam size가 5~20um로 micro via에 적용 가능하나 대구경 대응 시 공정 소요 시간이 CO<sub>2</sub> laser 보다 많이 소요되며(약5~10배), CO<sub>2</sub> laser power 보다 월등한 Power로 인한 내부 Cu pad damage 조절이 어렵다.

#### 3.4.4 UV+CO<sub>2</sub> laser drill process

이 공법은 UV laser로 Cu를 open하고 CO<sub>2</sub> laser로 resin drill을 하는 프로세스로 1 step으로 내부 target pad 인식함으로써 내, 외층 정밀도 향상 및 UV laser를 통한 ≤40um via hole 대응 가능하다. 별도의 Cu open 공정 및 표면처리가 필요하지 않기 때문에 process step이 감소하며 마이크로 비아 가공성이 아주 우수하다.

본 연구에서는 UV+CO<sub>2</sub> combi type을 사용하여 micro via interconnection을 제조 하였다.

### 3.5 외층 패턴 및 신뢰성 평가

외층 패턴은 일반적인 FPC 공정 프로세스로 제작 하였으며, 패턴 형성 후 INNOX社 coverlay 필름(PI

**Table 3** Results of reliability test

No	Test	Sample size	Method		Result
			Standard	Condition	
1	Thermal shock test	22 unit	KS C 0225	-55℃/10min~125℃/10min, 500 Cycle	Pass
2	High temperature & High humidity storage test	22 unit	KS C 0221 (IEC 60068-2-2)	85℃, 85%RH, 96hr	Pass
3	Accelerated Life Test	22 unit	KS A 3004	-40℃/15min~40℃/15min, 1,1000 Cycle	Pass
4	MSL	22 unit	JEDEC J-STD-020D.1	30℃, 60%RH, 192hr	Pass

12.5um/Adhesive 35um) 사용하여 solder resist를 형성하였고, finish plating은ENIG(Ni: 3um, Au: Min 0.05um) 적용하였다.

제작 후 모듈의 외부 및 내부 결함을 분석하기 위해 모든 샘플을 BBT, SAT, X-ray 검사를 진행 하였으며, 검사결과 결함은 존재 하지 않았다. 또한, daisy-chain으로 형성된 36개 칩 모듈에 대한 전기저항 측정 하였다. 측정 결과 평균 22.8Ω, 표준편차 0.35Ω 양호한 전기적 특성을 확보하였다.

제작된 샘플은 표3에 보이는 4가지 평가항목에 대하여 신뢰성 평가를 진행 하였다. 시험 전/후 전기저항, SAT, X-ray 검사를 진행 하였으며, 그 결과 어떠한 항목에서도 결함이나 불량이 발생하지 않아 4가지 평가 항목을 모두 만족 하였다.

#### 4. 결 론

본 논문은 최근 각광 받고 있는 디바이스가 내장형 플렉시블 전자 모듈 평가 및 신뢰성 평가에 대해 연구 하였다. DBG 프로세스를 적용하여 30um 두께의 thin device를 제작 하였으며, 제작된 device는 ACF 필름을 이용하여 플립칩 본딩 하였다. Thin device 본딩을 위해 ejecting tool은 4 pin nozzle를 적용하였으며, bonding tool은 디바이스 면적의 약 85% 일 때 가장 우수한 결과를 얻을 수 있었다. 내층과 외층의 전기적 통전을 위한 micro via는 UV+CO<sub>2</sub> combi type 적용하여 가공하였다. Daisy-chain으로 형성된 36개 칩 모듈에 대한 전기저항은 22.8Ω으로 매우 양호 하였으며, 제작된 전자 모듈에 대해서는 4가지 항목에 대해 신뢰성 평가를 실시하였다. 신뢰성 한 결과 모든 항목에서 결함이나 불량이 발생하지 않았다.

#### 후 기

본 연구는 산업통상자원부의 청정제조기반 산업융합 원천기술개발사업(10031768) 지원으로 수행 되었으며, 지원에 감사드립니다.

#### 참 고 문 헌

1. J. M. Kim, J. P. Jung, S. H. Kim, J. H. Park: Packaging Technology in Electronics and 3-dimensional Stacking Packaging, Journal of KWS, **23-2** (2005), 129-137 (in Korean)
2. W. S. Hong, C. M. Oh, N. C. Park, B. S. Song, S. B. Jung, 'Reliability Assessment for Electronic Assemblies with Electrical and Electrochemical Properties Measurement, Journal of KWS, **25-2** (2007), 118-125 (in Korean)
3. Y. Zhang, T. Richardson, S. Chung, C. Wang, B. Kim, C. Rietmann: Proc. of International Microsystems, Packaging, Assembly and Circuits Technology Conference, 2007, 219-222
4. B. Curran, I. Ndip, S. Guttofski, H. Reichl: Proc. of 10th Electronics Packaging Technology Conferences, 2008, 206
5. Cheng-Ta Ko, Shoulung Chen, Chia-Wen Chiang, Tzu-Ying Kuo, Ying-Ching Shih and Yu-Hua Chen: Electronic Components and Technology Conference Proceedings, 2006, 322-329
6. D. G. Kim, J. W. Kim, S. S. Ha, J. P. Jung, Y. E. Shin, J. H. Moon, S. B. Jung: Fabrication of Through-hole Interconnect in Si Wafer for 3D Package, Journal of KWS, **24-2** (2006), 172-178 (in Korean)
7. Becker, K. F., Jung, E., Ostmann, A., Braun, T., Neumann, A., Aschenbrenner, R., Reichl, H.: Stackable System-On-Packages With Integrated Components, IEEE Transactions on Advanced Packaging, **24-2** (2004), 268-277
8. <http://www.discousa.com/eg/solution/index.html>
9. [http://www.lintec.co.kr/product/bg\\_dbg.asp](http://www.lintec.co.kr/product/bg_dbg.asp)