

## 플렉시블 전자기기 응용을 위한 미세 솔더 범프 접합부에 관한 연구

고용호<sup>\*,\*\*</sup> · 김민수<sup>\*,\*\*\*</sup> · 김택수<sup>\*\*</sup> · 방정환<sup>\*</sup> · 이창우<sup>\*,†</sup><sup>\*</sup>한국생산기술연구원 용접접합기술센터<sup>\*\*</sup>한국과학기술원 기계공학과<sup>\*\*\*</sup>과학기술연합대학원대학교 전자패키징공학과

## Study on Joint of Micro Solder Bump for Application of Flexible Electronics

Yong-Ho Ko<sup>\*,\*\*</sup>, Min-Su Kim<sup>\*,\*\*\*</sup>, Taek-Soo Kim<sup>\*\*</sup>, Jung-Hwan Bang<sup>\*</sup> and Chang-Woo Lee<sup>\*,†</sup><sup>\*</sup>Advanced Welding and Joining Technology Center, KITECH, Incheon 406-840, Korea<sup>\*\*</sup>Dept. of Mechanical Engineering, KAIST, Daejeon 305-701, Korea<sup>\*\*\*</sup>Dept. of Electronic Packaging Engineering, UST, Daejeon 305-350, Korea<sup>†</sup>Corresponding author : cwlee@kitech.re.kr

## Abstract

In electronic industry, the trend of future electronics will be flexible, bendable, wearable electronics. Until now, there is few study on bonding technology and reliability of bonding joint between chip with micro solder bump and flexible substrate. In this study, we investigated joint properties of Si chip with eutectic Sn-58Bi solder bump on Cu pillar bump bonded on flexible substrate finished with ENIG by flip chip process. After flip chip bonding, we observed microstructure of bump joint by SEM and then evaluated properties of bump joint by die shear test, thermal shock test, and bending test. After thermal shock test, we observed that crack initiated between  $\text{Cu}_6\text{Sn}_5\text{IMC}$  and Sn-Bi solder and then propagated within Sn-Bi solder and/or interface between IMC and solder. On the other hands, We observed that fracture propagated at interface between  $\text{Ni}_3\text{Sn}_4$  IMC and solder and/or in solder matrix after bending test

Key Words : Bonding technology, Reliability, micro solder bump, Flexible substrate, Die shear test, Thermal shock test, Bending test

## 1. 서 론

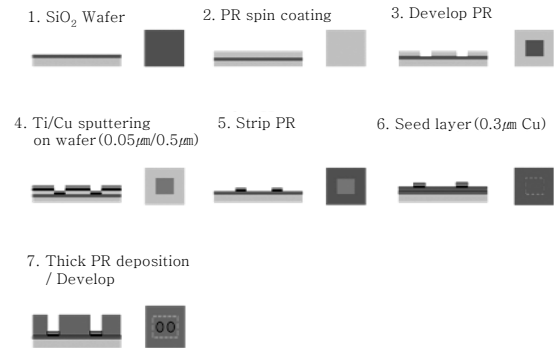
근미래 전자산업계에서 굴곡성을 가지며 신체 부착이 가능한 플렉시블 및 착용형 전자기기에 대한 요구가 증가할 것으로 예상된다. 플렉시블 관련 전자기기의 세계 시장은 2012년 약 10억 US\$에서 2017년 약 50억 US\$로 성장할 것으로 기대되고 있다<sup>1)</sup>. 이에 따라 최근 전자 패키징 분야에서 가볍고 굴곡성이 높은 플렉시블 기판을 이용하여 고집적, 다기능, 고성능의 플렉시블 전자기기에 대한 관심이 증대되고 있다. 플렉시블 기판은 기존의 경성기판에 비하여 가벼우며 굴곡성이 우수하여 디스플레이나 전자책, 박막 태양전지 등의 분야에 응용할 수 있으며 의복이나 인체에 부착 및 착용

할 수 있는 전자기기를 위한 플렉시블 전자모듈에 응용할 수 있는 장점이 있다<sup>2)</sup>. 한편 전자패키징 산업에서 부품 실장을 위한 접합 소재로 63Sn-37Pb(wt%, 이하 동일) 합금 소재가 일반적으로 널리 사용되어 왔으나 Pb의 독성으로 인한 RoHS(Restriction of Hazardous Substances)나 WEEE(Waste Electrical and Electronic Equipment)와 같은 국제 환경 규제로 인하여 Pb의 사용을 제한함에 따라 Pb를 첨가하는 대신에 Sn을 주성분으로 하여 Ag, Bi, Zn, Cu, In 등의 원소를 중심으로 2원계, 3원계, 4원계의 Pb-free 합금소재에 대한 소재 물성 및 계반 반응에 관한 많은 연구 및 검토가 진행되어 왔다<sup>3-4)</sup>. 기존의 전자기기용 경성 기판 기반 전자모듈의 제조에서는 Sn-Ag-Cu 계의 솔더볼과 솔더

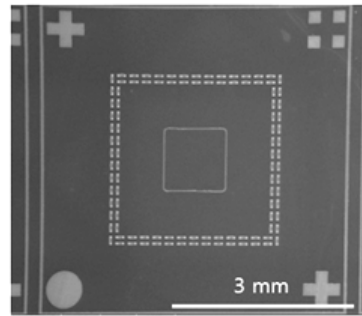
페이스트를 이용한 방법이 보편적으로 사용되어 왔지만 고집적 전자모듈 제조를 위한 미세 피치의 미세 접합부 형성을 위해서는 기술적 한계를 가지고 있다. 고집적 미세 접합부의 경우 수 um에서 100um 수준의 접합부를 형성 할 수 있어야 하나 솔더볼 및 솔더페이스트의 제조 기술상 150um이하의 접합부 형성이 어려운 실정이다. 이러한 기술적 문제점을 해결하기 위하여 나노 솔더 입자를 이용한 소재 연구가 진행되고 있기는 하나<sup>5)</sup> 연구 초기 단계에 머물러 있는 실정이다. 물성 연구 및 접합부의 특성 연구까지 진행되고 있지는 못한 실정이다. 이에 또 하나의 대안으로 전해도금 방법을 이용한 솔더 범프 형성 기술이 주목받고 있다. 이는 기존의 전해 도금을 이용하여 Sn을 주성분으로 하는 합금 소재를 일정 직경, 일정 높이를 증착시킨 후 칩을 실장 후 접합부를 형성하는 방법이다. 전해도금을 이용하는 경우 3원계 이상의 조성을 갖는 합금 소재의 경우 정밀 조성 제어의 어려움으로 현재까지는 Sn-3.5Ag, Sn-58Bi와 같은 2원계 합금 소재를 중심으로 미세 접합부 형성을 위한 연구가 진행되고 있다. 플렉시블 기판의 경우 PI 기반으로 구성되어 있어 전자모듈 제조 공정중의 열에 의한 damage에 취약하고 변형이 발생 할 수 있다. 이는 전자모듈의 신뢰성을 저하시키는 문제를 야기 할 수 있다. 따라서 저온 공정이 가능한 접합 소재 및 공정 조건 확보에 대한 연구가 요구된다. 본 연구는 미세 접합부 형성과 플렉시블 기판의 damage를 최소화하기 위하여 Si chip에 138°C의 낮은 녹는점을 갖는 Sn-58Bi 솔더범프를 Cu pillar 범프위에 형성하고 이를 이용한 플렉시블 기판 위 접합 공정 및 접합부 특성 연구에 관한 것이다.

## 2. Lift-off 공정을 이용한 Si 칩 제조

본 연구를 진행하기 위한 bare Si chip 제조 공정의 모식도를 Fig. 1에 나타내었다. 금속 패턴층의 경우 사진 식각법을 이용한 Lift-off 공정을 이용하여 형성하였다. Lift-off 공정이란 사진식각 공정의 한 방법으로 기존의 에칭을 이용한 사진식각 공정보다 에칭제 및 감광제 도포의 공정을 줄임으로써, 실제 양산 공정에서 비용 및 시간절감이 가능한 공정이다. 금속 패턴층은 Si 칩과 플렉시블 기판과의 접합부 신뢰성 평가 후 P/F 판단을 위한 daisy chain 및 솔더 범프를 이용한 접합 시 젖음층의 역할로 사용된다. 본 연구에서 금속 패턴층은 접착력 및 확산방지의 역할로 Ti를 사용하였고, 양호한 전기전도성과 가격적 측면을 고려하여 Cu를 사용하였다. Ti와 Cu 금속 패턴층은 실리콘 웨이퍼 위에



(a) Process of Si chip fabrication



(b) Top image after chip fabrication

Fig. 1 Schematic illustration of Si chip fabrication

스퍼터링 공정을 이용하여 각각 50 nm와 500 nm의 두께로 증착하였으며 Cu pillar 범프 및 솔더범프 형성을 위한 패드의 직경은 25um으로 하였다.

## 3. Cu pillar 범프의 형성

전자패키지의 발전 동향을 살펴보면 칩의 크기는 감소하는 반면 I/O의 수는 증가되고 있어 미세 접합부 형성을 위한 연구들이 진행되고 있다. 이에 대한 대응 방안으로 본 연구에서는 Cu pillar 범프를 이용하였다. Cu pillar 범프의 방법을 적용할 경우 솔더범프의 양을 최소화 할 수 있어 브릿지 등의 문제를 개선할 수 있으며 전기전도도가 우수하여 접합부의 저항을 낮출 수 있으며 우수한 열전도도 특성으로 인하여 전자모듈의 방열 특성을 향상 시킬 수 있다<sup>6-7)</sup>. 본 연구에서는 Table 1의 도금액을 구성하여 Si 칩 공정 이후 Fig. 2와 같이 wafer level의 Cu pillar 범프 형성 공정을 진행한 후 직경 25um, 높이 25um의 Cu pillar 범프를 형성하였다. 전해 도금은 상온에서 110분 동안 DC 2.5ASD의 조건으로 진행하였다.

Table 1 Plating bath for Cu pillar bump

Cu metal (g/L)	25
H2SO4 (g/L)	180
Cl- (ppm)	100

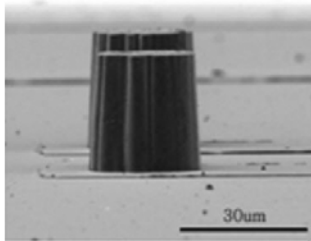
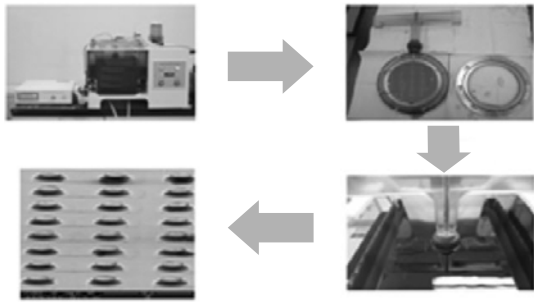


Fig. 2 Process of Cu pillar bump formation

4. Sn-58Bi 솔더범프의 형성

Sn-58Bi 합금 소재는 비교적 낮은 138°C의 용점을 갖는 합금소재로 기계적 성질 및 크립 특성이 우수하다고 알려져 있다<sup>3)</sup>. 따라서 접합 공정 온도를 낮출 수 있어 플렉시블 기판에 가해지는 변형 및 열 damage를 감소시킬 수 있다. 본 연구에서는 접합 소재 합금으로 Sn-58Bi를 전해 도금 방법으로 형성하였다. Cu pillar 범프 형성 이후 Cu pillar 범프위에 Sn-58Bi 조성의 미세 솔더 범프를 형성하였다. Ishihara의 무광택의 배럴 도금액인 PF계열 도금액을 이용하여 Table 2의 도금조를 구성하여 Sn-58Bi 솔더 범프를 형성하였다. 전해 도금 조건은 상온에서 15분 동안 6ASD에서 진행하였으며 형성된 범프의 직경과 높이는 각각 25um, 15um이었다. 전해도금으로 범프 형성 후 범프 높이의 균일도를 높이기 위하여 170°C에서 15초 동안 리플로우 공정을 진행하였다. Fig. 3은 전해 도금의 결과로 형성된 Sn-58Bi 범프와 리플로우 후의 범프의 모습이다. Fig. 5는 본 연구에서 형성한 Sn-58Bi의 DSC 분석 결과이다. DSC 결과 용점은 139°C로 나타났으며 이는 Sn-58Bi의 이론적 용점인 138°C에 근접한 값으로 본 연구의 목적인 Sn-58Bi 솔더범프가 제대로 형성된 것을 확인 할 수 있다.

Table 2 Plating bath for Sn-58Bi solder bump

PF-TIN15 (g/L)	60
PF-BI15 (g/L)	133
PF-ACID (g/L)	100
PF-05M (ml/L)	30

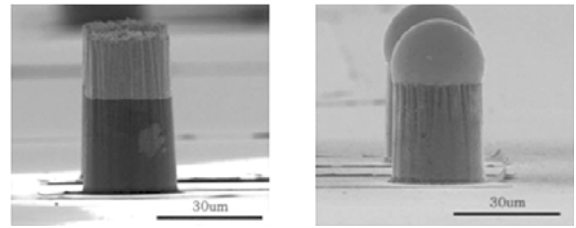


Fig. 3 Sn-58Bi solder bump after electroplating and after reflow

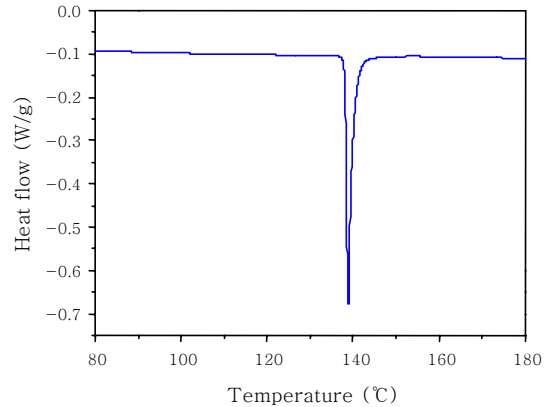


Fig. 4 Result of DSC

5. 플렉시블 기판 기반 미세 범프 접합

전해도금을 통해 형성한 Cu pillar 범프와 Sn-58Bi 솔더범프를 이용하여 ENIG(Electroless Nickel Immersion Gold) 표면처리된 플렉서블 기판위에 플립칩 공정을 이용한 접합 공정을 진행하였다. Fig. 5에 본 연구에 사용된 플렉시블 기판의 모식도를 나타내었다. 플립칩 접합공정시 접합하중은 1N, 2N, 3N 세 조건이었으며 접합 온도는 170°C, 접합시간은 15초였다. 접합 후 각 접합하중에 따른 접합부의 미세조직을 관찰하였다. Fig. 6에 접합부의 미세조직을 나타내었다. Cu pillar 범프 계면의 IMC는 Cu<sub>6</sub>Sn<sub>5</sub>로 확인 되었으며 플렉시블 기판 패드 계면의 IMC는 Ni<sub>3</sub>Sn<sub>4</sub>로 확인되었다.

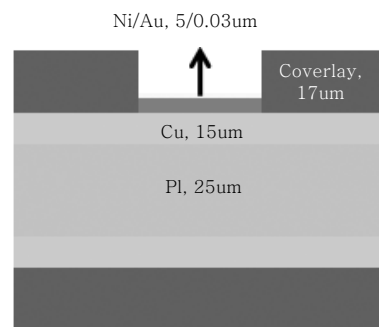


Fig. 5 Illustration of flexible substrate

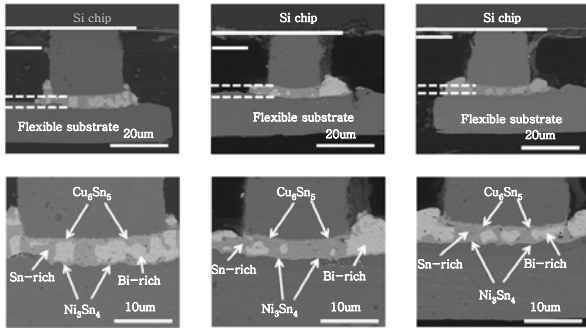


Fig. 6 Bump joint after flip chip bonding

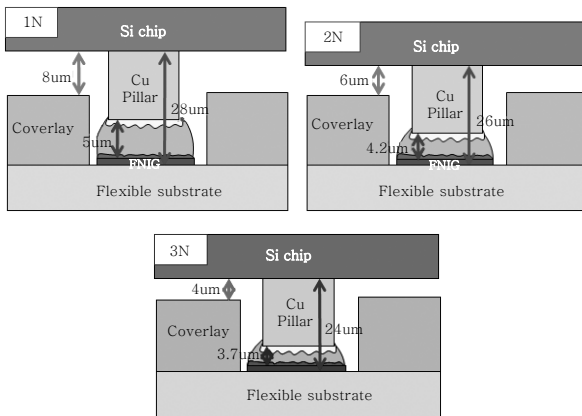


Fig. 7 Schematic illustration of bump joint

IMC의 두께는 접합하중에 따라 큰 차이를 나타내지 않았다. 접합부의 높이의 경우 접합하중이 증가할수록 감소하는 경향을 나타내었다. Cu pillar 범프와 플렉시블 기판까지의 접합부 높이는 1N의 경우 약 5um을 나타내었으며 2N, 3N의 경우 각각 4.2um, 3.7um 수준을 나타내었다.

## 6. 접합부 특성 평가

### 6.1 전단강도평가

플립칩 본딩 후 전단강도평가를 전단높이 2um, 전단속도 200um/s로 die shear 평가로 진행하였다. 전단강도평가의 결과를 Fig. 8에 나타내었다. 전단강도는 1N, 2N, 3N 각각 622.9, 655.89, 650.63gf로 2N의 다소 높게 나타났으며 표준편차를 고려할 때 큰 차이를 확인할 수 없었다. Fig. 9에 전단강도평가 후 파단면 관찰 결과를 나타내었다. 파괴모드는 솔더내부, 솔더와 IMC 계면, Cu pillar 범프와 UBM 계면 세 가지로 나타났다. 파괴모드 분석 결과 Fig. 10과 같이 접합하중이 증가할 수 록 Cu pillar 범프와 UBM 계면에서의 파괴가 증가하는 경향이 나타났다.

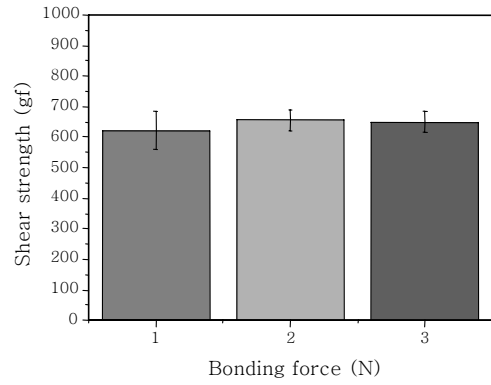


Fig. 8 Shear strength

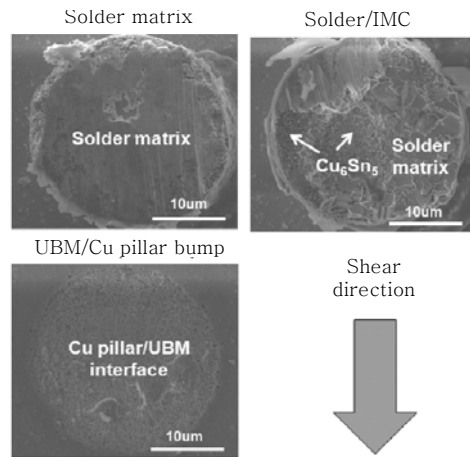


Fig. 9 Images of fracture surface

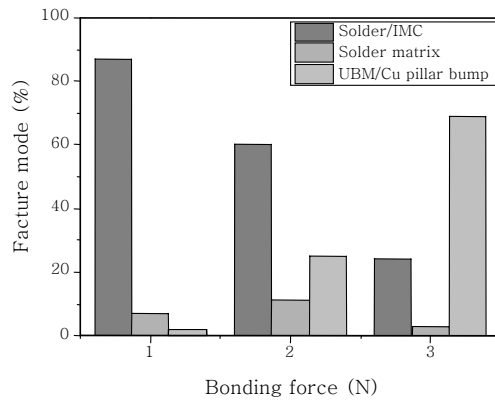


Fig. 10 Analysis of fracture mode

### 6.2 열충격시험

열충격시험은 -40~105°C 조건에서 유지시간 15분으로 진행하였다. 접합하중에 따른 63.2% 수명에 대한 결과를 Fig. 11에 나타내었다. 각 조건에 따른 수명은 1N일 때 646cycle, 2N일 때 642cycle, 3N일 때 527cycle를 나타내어 접합하중이 증가할수록 수명이 짧아지는 경향을 나타내었다. 이러한 결과를 나타내는

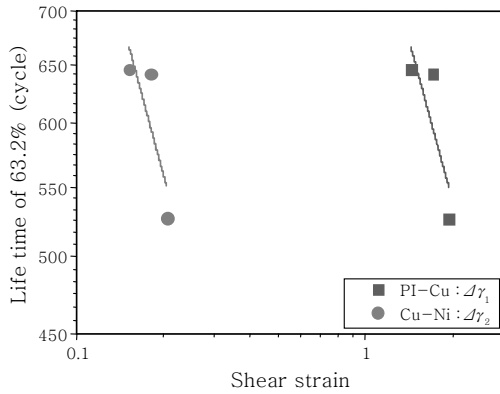


Fig. 11 Coffin-Manson Model plot

것은 접합부의 높이와 관련있는 것으로 추측된다. 솔더 접합부에서 열피로 환경의 경우 수명에 영향을 미치는 중요요인은 전단변형이라 할 수 있다. 식(1)에서와 같이<sup>8)</sup> thermal-mechanical fatigue에서 전단변형은 접합부의 높이에 반비례 관계에 있다고 할 수 있다. 따라서 위에 언급한 바와 같이 접합하중이 증가할수록 접합 높이는 감소하므로 식 (1)에 따라 전단변형이 증가하게 된다. 전단변형이 열피로 수명이 중요인자로 가정했을 때 식(2)의 Coffin-Manson 모델은 식(3)과 같이 변형하여 적용할 수 있다. 결국 식(3)에서와 같이 접합하중의 증가는 전단변형이 증가를 가져오게 되어 수명의 감소로 나타난 것으로 판단된다.

$$\Delta\gamma = \frac{L\Delta\alpha\Delta T}{h} \tag{1}$$

$$N_f = C \cdot (\Delta\gamma)^{-\alpha} \tag{2}$$

$$N_f = C \cdot \left( \frac{L \cdot \Delta\alpha \cdot \Delta T}{h} \right)^{-\alpha} \tag{3}$$

Fig. 11에 식(3)에 Table 3의 변수 값들을 적용하여 식(3)의 C, α를 계산한 결과를 나타내었다. CTE mismatch 차이는 Cu pillar 범프와 플렉시블 기판, Cu pillar 범프와 플렉시블 기판의 Ni 패드 두 가지 경우를 통하여 비교 하였다. 본 연구에서 α값은 약 0.64로 확인되었다. C 값의 경우 CTE mismatch의 기준을 어떻게 하느냐에 따라 달라짐을 확인하였다. Cu pillar와 PI를 기준으로 한 경우에는 838을 나타

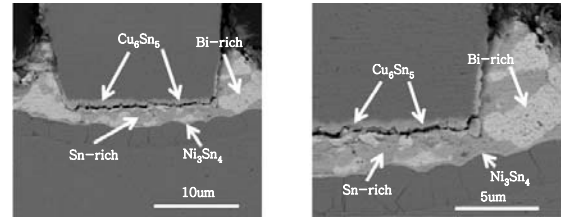


Fig. 12 Cross-sectioned image after thermal shock test

냈으며 Cu pillar와 Ni를 기준으로 한 경우 200을 나타내었다. 향후 다양한 조건에 대한 추가 실험을 통하여 최적화된 값을 도출할 예정이다.

Fig. 12는 열충격 시험 후 파괴 모드를 분석한 결과이다. 열충격 시험 후 파괴는 Cu<sub>6</sub>Sn<sub>5</sub> IMC와 Sn-Bi 솔더의 계면에서 시작되어 크랙이 Cu<sub>6</sub>Sn<sub>5</sub>와 솔더 계면과 솔더 내부 영역으로 전파되면서 파괴가 일어난 것으로 확인 할 수 있었다.

### 6.3 굽힘시험

Fig. 13은 굽힘 시험의 모습이다. 전자모듈의 경우 JESD22B-113의 4점 굽힘 시험법을 이용하여 솔더 접합부의 신뢰성 평가를 진행한다<sup>9)</sup>. 플렉시블의 경우 IPC 규격등에 굽힘 시험 방법들이 규정되어 있기는 하나 플렉시블 기판의 솔더 접합부에 대한 평가라기 보다 플렉시블 기판 내 adhesion 등에 대한 평가라고 볼 수 있다. 따라서 본 연구에서는 플렉시블 기판의 솔더 접합부에 대한 굽힘 시험을 진행할 수 있는 굽힘 장치를

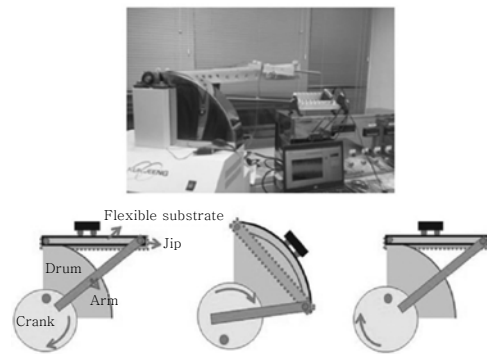


Fig. 13 Illustration of bending machine and test

Table 3 Variable values of equation (3)

	Joint height(um)	Δγ <sub>1</sub> (PI-Cu)	Δγ <sub>2</sub> (Ni-Cu)	L (mm)	Δα (ppm/°C)	α* (PI)	α* (Cu)	α** (Ni)	ΔT (°C)	N <sub>f</sub> (experiment)
1N	5	1.435	0.152	1.414	38	52	17	13.3	145	646
2N	4.2	1.709	0.181							642
3N	3.7	1.939	0.205							527

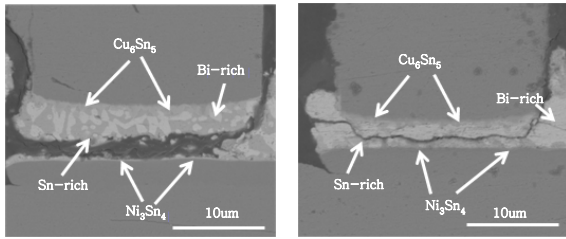


Fig. 14 Crack path after bending test

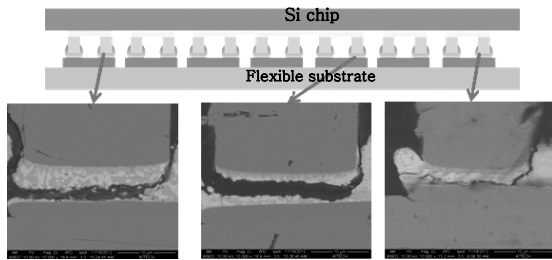


Fig. 15 Fracture mode for each location

고안 제작하여 굽힘 시험을 평가하였다. 본 장치는 칩이 접합되어 있는 플렉시블 기판이 체결되어 있는 지그와 크랭크가 아암으로 연결되어 있는 상태에서 크랭크가 회전하면서 아암이 수직 운동을 하게 되고 이후 일정 굴곡도를 갖는 드럼의 표면에 플렉시블 기판이 맞닿으면서 굽힘을 유발하여 평가를 진행 할 수 있다. 본 연구에서는 굴곡도 1/300의 드럼을 이용하여 평가하였다. Fig. 14는 굽힘시험 후 파괴 경로를 분석한 결과이다. 굽힘 시험 후 파괴는 크게 두 경로로 진행하였음을 확인 할 수 있었다. 크랙은 Cu<sub>6</sub>Sn<sub>5</sub>와 Sn-Bi 솔더 계면에서 시작되어 Sn-Bi 솔더 내부로 크랙이 전파하거나 혹은 플렉시블 기판의 ENIG 패드 위의 Ni<sub>3</sub>Sn<sub>4</sub> IMC의 영역에서 전파하여 파괴가 일어났다. Fig. 15는 굽힘 시험 후 위치에 따른 파괴의 양상을 비교한 결과이다. 굽힘 시험 후 칩의 외곽에서는 Ni<sub>3</sub>Sn<sub>4</sub> IMC쪽 파괴가 우세하게 일어났으며 칩의 내부에서는 솔더 내부로의 파괴가 우세하게 일어난 것으로 판단된다. 굽힘 시험 동안 국부적인 스트레스의 차이가 파괴 모드의 차이를 가져 온 것으로 추측된다.

### 7. 결 론

플렉시블 전자기기 응용을 위하여 낮은 용점을 가지는 Sn-58Bi 미세 솔더 범프와 플렉시블 기판과의 접합공정을 진행하고 이에 대한 특성 평가를 진행하였다.

1) 전단강도 평가 결과 파괴는 솔더내부, 솔더와 IMC

계면, Cu pillar 범프와 UBM 계면 세 가지로 나타났으며 접합하중이 증가하면서 Cu pillar와 UBM 계면의 파괴가 증가하는 경향을 나타내었다.

2) 열충격시험 결과 Cu<sub>6</sub>Sn<sub>5</sub> IMC와 Sn-Bi 솔더의 계면에서 시작되어 Cu<sub>6</sub>Sn<sub>5</sub>와 솔더 계면과 솔더 내부 영역으로 파괴가 일어난 것으로 확인 할 수 있었다. 63.2% 수명은 1N이 가장 좋게 나타났으며 이는 접합하중이 증가할수록 접합높이가 감소하여 전당변형이 증가한 것에 기인 한 것으로 생각된다.

3) 자체적으로 고안한 굽힘 시험장치를 이용한 접합부에 대한 평가 결과 Cu<sub>6</sub>Sn<sub>5</sub>와 Sn-Bi 솔더 계면에서 시작되어 Sn-Bi 솔더 내부로 크랙이 진행하거나 혹은 플렉시블 기판의 ENIG 패드 위의 Ni<sub>3</sub>Sn<sub>4</sub> IMC의 영역에서 전파하여 파괴가 일어난 것을 확인 할 수 있었다.

### 후 기

본 연구 지식경제부가 지원하는 산업원천기술개발사업의 지원으로 수행되었습니다.

### 참 고 문 헌

1. IDtechEx : Printed, Organic & Flexible Electronics Forecastes, Players & Opportunitieis 2010-2020, 2010
2. W. S. Wonga and A. Salleo : Flexible electronics(1st Edition), Springer, 2009, 4-5
3. S. K. Kang : Lead(Pb)-free Solder for Electronic Packaging, J. Electron. Mater., **23-8** (1994), 701
4. A. Sharif and Y. C. Chan : Comparative Study of Interfacial Recatioins of Sn-Ag-Cu and Sn-Ag Solders on Cu pads during Reflow Soldering, J. Electron. Mater., **34-1** (2005), 46
5. J. Shen and Y. C. Chan : Research advances in anno composite solders, Microelectron. Reliab. **49-3** (2009), 223
6. J. H. Lee, J. H. Yoon and C. Y. Hyun : TSV Interconnection Technology Using Solder Nanoparticles, J. KWJS, **29-3** (2011), 283 (in Korean)
7. M. S. Kim and C. W. Lee : Precise Joining Technology on Flexible Substrate by Using Micro-bumps, J. KWJS, **30-5** (2012), 395 (in Korean)
8. M. Y. Kim, S. K. Lim, and T. S. Oh : Thermal cycling and High Temperature Storage Reliabilities of the Flip Chip Joints Processed Using Cu Pillar Bump, J. Microelectron. Packag. Soc. **17-3** (2010), 27 (in Korean)
9. J. Y. Choi, M. Y. Kim, S. K. Kim, and T. S. Oh : Flip Chip Process for RF Packages Using

Joints Structures of Cu and Sn Bumps, J. Microelectron. Packag. Soc. **16-3** (2009), 67 (in Korean)

10. Rao R. Tummala : Fundamentals of Microsystems Packaging(1st Edition), McGRAW-Hill, 2001, 190



- 고 용 호
- 1977년생
- 한국생산기술연구원, KAIST
- 무연솔더, 플렉서블 기반 접합
- e-mail : yonghoko@kitech.re.kr



- 김 민 수
- 1985년생
- 한국생산기술연구원, UST
- 무연솔더범프, 플렉서블 기판
- e-mail : zappylos@kitech.re.kr



- 김 택 수
- 1978년생
- KAIST 기계공학과
- 박막의 접합력 측정
- e-mail : tskim1@kaist.ac.kr

11. JEDEC Solid State Technology Association : JESE22B-113 Board Level Cyclic Bend Test Method for Interconnect Reliability Characterization of Components for Handheld Electronic Products, 2006, 10



- 방 정 환
- 1975년생
- 한국생산기술연구원
- 무연솔더, SMT 공정
- e-mail : nova75@kitech.re.kr



- 이 창 우
- 1967년생
- 한국생산기술연구원
- 무연솔더, WLP, TSV
- e-mail : cwlee@kitech.re.kr