

밀리미터파 CMOS 온-칩 다이폴 안테나 설계 최적화

Millimeter-Wave CMOS On-Chip Dipole Antenna Design Optimization

최근령 · 최승호* · 이국주* · 김문일* · 김도원** · 정동윤**

GeunRyoung Choi · Seung-Ho Choi* · Kook Joo Lee* · Moonil Kim* ·
Dowon Kim** · Dong Yun Jung**

요 약

본 논문에서는 CMOS 공정을 사용한 밀리미터파 대역 온-칩 다이폴 안테나의 최적화된 설계를 제안한다. CMOS 공정을 사용한 안테나에서 가장 큰 단점은 기판의 높은 유전율과 손실로 인하여 공기 중 방사 효율이 낮다는 것이다. 이를 극복하기 위한 방법으로 공기 중의 방사 영역 증가와 안테나와 반사체의 거리 최적화가 필요하다. 80 GHz에서 16.5 %의 효율과 22.3 %의 대역폭을 가지는 다이폴 안테나의 최종 설계에서 공기 중 방사 영역을 넓히기 위한 방법으로 기판 각도, 칩 가장자리-다이폴 사이 거리를 변화시켰으며, 안테나와 반사체 사이의 거리를 최적화하기 위한 방법으로 기판 두께와 안테나-접지면 사이 거리를 조절하며, 설계 환경이 안테나의 효율에 미치는 영향을 체계적으로 분석하였다.

Abstract

This paper presents an optimized design of a millimeter-wave on-chip dipole antenna using CMOS process. The serious flaw of the antenna using CMOS process is low radiation efficiency because of high permittivity and conductivity. To overcome the weakness, we need to widen radiation area in air and optimize distance between an antenna and a reflector. The radiation efficiency and bandwidth of the designed antenna are respectively 16.5 % and 22.3 % at 80 GHz. Systematic methods are attempt to analyze an effect on the antenna radiation efficiency. To widen radiation area in air, substrate cut angle and distance between the antenna and chip edge are adjusted. In addition, to optimize distance between an antenna and reflector, substrate thickness and distance between the antenna and a circuit ground plane are adjusted.

Key words : CMOS, Millimeter Wave, On-Chip Antenna, Dipole

I. 서 론

최근 우리 사회는 휴대용 무선 통신 시스템의 발전과 다양한 시스템 성능을 요구하며, 유비쿼터스 시대로 다가가기 위한 활발한 움직임을 보이고 있

다. 이에 따라 저주파 대역의 제한된 주파수 자원을 극복하고, 더 높은 데이터 전송률을 보장할 수 있는 무선 시스템 구현을 위해 밀리미터파 대역에 대한 연구가 활발히 진행되고 있다. 현재 60 GHz 대역을 사용한 근거리 개인 통신 시스템(WPAN: Wireless

「이 연구는 삼성전자의 “mm-wave Intra-system wireless connectivity 개발” 과제의 지원으로 연구되었음.」

고려대학교 IT융합학과(Department of IT Convergence, Korea University)

*고려대학교 전기전자공학부(Department of Electrical Engineering, Korea University)

**삼성전자 DMC연구소(Digital Media & Communications R&D Center, Samsung Electronics Co., Ltd.)

· Manuscript received February 25, 2013 ; Revised May 23, 2013 ; Accepted May 23, 2013. (ID No. 20130225-031)

· Corresponding Author : Dong Yun Jung (e-mail : dongyun09.jung@samsung.com)

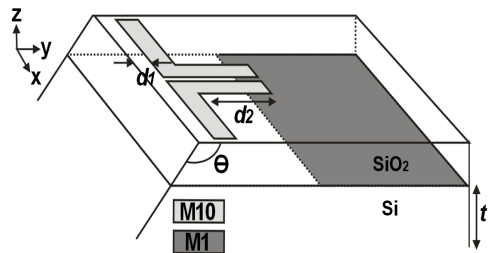
Personal Area Network)의 응용에 대한 연구뿐만 아니라, 차량 충돌 방지용 레이더를 위한 77 GHz 대역, 옥외 10 Gbps 네트워크를 위한 71~76, 81~86 GHz 대역 등 높은 주파수의 상용화를 위한 연구가 진행 중이다.^[1]

그 뿐 아니라 주파수가 높아짐에 따라 차세대 무선 통신 단말기는 시스템 온 칩(SoC) 기술이나 멀티 칩 기술을 요구하는데, 이러한 멀티칩 시스템은 수십 Gbps 이상의 내부 데이터 전송 속도를 필요로 한다. 그렇기 때문에 원활한 통신을 위하여 RF/무선 데이터 링크 시스템에 대한 연구가 이루어지고 있다. RF/무선 데이터 링크 시스템은 짧은 거리에서 높은 데이터 전송 속도에도 불구하고, 구리선 통신에 필적할만한 신호 특성을 나타내어 시스템의 안정성 및 유연성을 향상시킬 수 있다.^[2] 이와 같은 시스템에서 칩과 칩 사이 통신을 위한 무선 안테나는 칩 위에 안테나를 집적한 온-칩 안테나가 필수적이다.

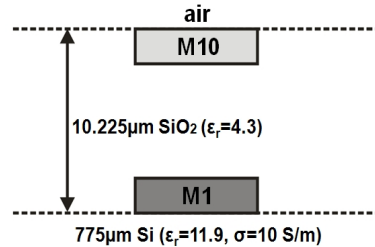
2000년대 중-후반대부터 Si CMOS 기술이 발전하면서, 경제적인 장점을 가지고 있는 Si CMOS 공정을 이용한 밀리미터파 대역의 회로 및 시스템 구현에 대한 연구가 활발히 진행되고 있다^[3]. 그렇기 때문에 다른 RF 회로와 마찬가지로 Si 기판에서 안테나를 직접 구현하면 실효 유전율의 증가로 안테나의 크기를 감소시킬 수 있으므로 시스템의 소형 경량화 및 공정 비용의 절감 효과를 기대할 수 있다^[4].

하지만 CMOS 공정을 이용하여 온-칩 안테나를 구현할 때 가장 큰 문제점은 낮은 방사효율 특성을 갖는다는 것이다. 실리콘을 기판으로 하여 안테나를 구현할 경우, 실리콘 기판의 높은 유전율($\epsilon_r=11.9$)과 손실로 인하여 안테나로부터 방사된 파위의 대부분이 기판 쪽으로 유도가 된다. 그렇기 때문에 CMOS 공정을 이용한 온-칩 안테나를 설계할 시에 안테나의 방사 효율을 높이는 연구가 활발히 전개되고 있다. 기존의 60 GHz 대역 야기 안테나의 경우, 높은 유전율과 기판 손실의 영향으로 안테나의 방사 효율이 10 %에 불과하다^[5].

본 논문에서는 삼성 65 nm 공정을 이용하여 80 GHz에서 공진하는 다이폴 안테나를 설계하였으며, 회로 접지면은 M_1 을, 방사체는 최상위 금속인 M_{10} 을 사용한다. M_1 을 방사체로 사용하여 기존의 야기 안테나의 장점을 가지도록 하였다. 안테나의 방사



(a) 안테나 설계 구조 및 분석 요소
(a) Antenna structure and analysis factors



(b) 설계 단면
(b) Cross-sectional view

그림 1. 80 GHz 다이폴 CMOS 온-칩 안테나 설계 구조, 분석 요소 및 안테나 설계 단면
Fig. 1. The structure of 80-GHz dipole CMOS on-chip antenna, analysis factors and cross-sectional view of the designed antenna.

효율을 향상시키기 위해서 공기 중 방사 영역 확대와 안테나와 반사체의 거리 최적화를 시도하였다. 공기 중 방사 영역을 증가시키기 위하여 기존의 야기 안테나와 다르게 도파기를 제거하고, 기판 각도와 칩 가장자리와 다이폴 사이 간격을 조정하였다. 또한, 안테나와 반사체의 거리 최적화를 위하여 기판 두께, 다이폴-접지면 사이 거리를 조정하며, 설계 환경이 안테나에 미치는 영향에 대하여 체계적인 분석을 시도하였다. 3D 시뮬레이터로 HFSS를 사용하였다. 안테나의 설계환경과 분석에 필요한 변화 요소들은 그림 1에 나타나 있다.

II. 안테나 설계 및 시뮬레이션 결과

CMOS 다이폴 안테나의 최종 설계구조는 그림 2와 같다. 본 공정에서는 backlap process를 제공하지 않아 기판 두께는 775 um로 고정이 되어 있다. 그림 1의 θ , d_1 , d_2 의 최적화된 값은 표 1에 나타내었다. 온-칩 안테나는 원활한 칩간 통신을 위하여 지향

표 1. 안테나 특성 분석 요소

Table 1. Antenna characteristic analysis factor.

θ	d_1	t	d_2
90°	8 μm	775 μm	140 μm

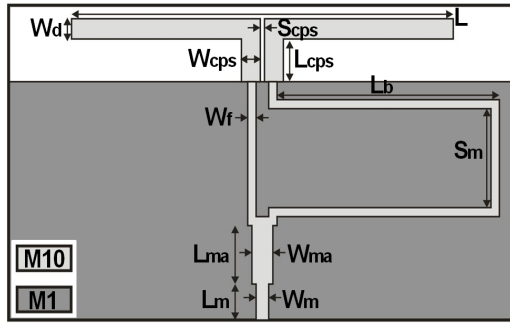


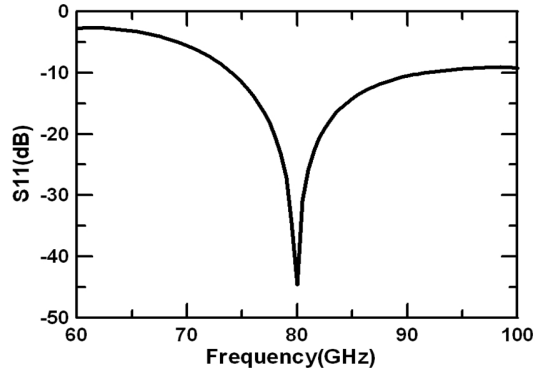
그림 2. 안테나 설계 구조
Fig. 2. Schematic of the antenna.

성보다는 기판의 높은 유전율로 인해 방사 효율 향상이 중요한 요소가 된다. 기존의 야기 안테나의 경우 다이폴 안테나보다 높은 지향성을 갖지만, 칩 내에서 도파기와 반사기의 영역 확보를 위하여 방사기로부터 각각 $0.25 \lambda_{eff}$ 의 공간이 필요하다. 온-칩 안테나는 칩 내에서의 안테나 위치가 효율에 많은 영향을 미치므로 기존의 야기 안테나와 다르게 도파기와 반사기를 제거하고, 안테나를 칩의 가장자리에 위치시켰으며, 최상층 금속층인 M_{10} 을 사용하고 반사판은 회로 접지면인 M_1 을 사용하여 설계하였다. 공진을 위한 안테나의 길이는 $0.5 \lambda_{eff}$ 이며, 발륜과 연결되는 CPS의 금속 사이 간격은 공정 룰에 의하여 최소 간격인 2 μm 로 고정이 되면서 50 Ω 매칭을 위하여 CPS 라인의 너비는 20 μm 로 설정하였다. 또한, Single ended 마이크로스트립 라인의 50 Ω 매칭 설계, 발륜 구조의 3 dB 파워 분배 및 180도 Phase 차이를 위한 설계 규격은 표 2에 나타내었다^[6].

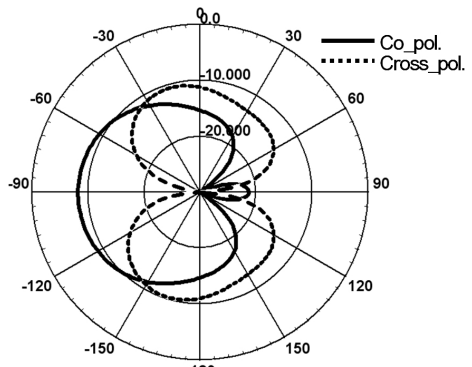
표 2. 안테나 설계 규격(단위: μm)

Table 2. Dimension of antenna(unit: μm).

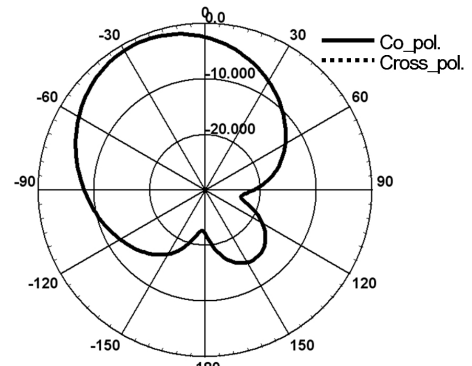
L	986	W_d	20	L_{cps}	140
S_{cps}	2	W_{cps}	20	W_f	10
S_m	230	L_b	545	W_{ma}	28
L_{ma}	200	W_m	18	L_m	100



(a) S_{11}



(b) xy plane



(c) yz plane

그림 3. 80 GHz 안테나 S_{11} 및 방사 패턴 시뮬레이션 결과

Fig. 3. Simulated results of S_{11} and antenna radiation patterns.

안테나의 시뮬레이션 결과, 80 GHz에서 방사 효율은 16.5 %, 10 dB 대역폭은 22.3 %를 나타내었다. 기존의 야기 안테나^[5]가 16.7 %의 대역폭을 가지며, 10 %의 효율을 나타내는 것과 비교하였을 때 더 높은

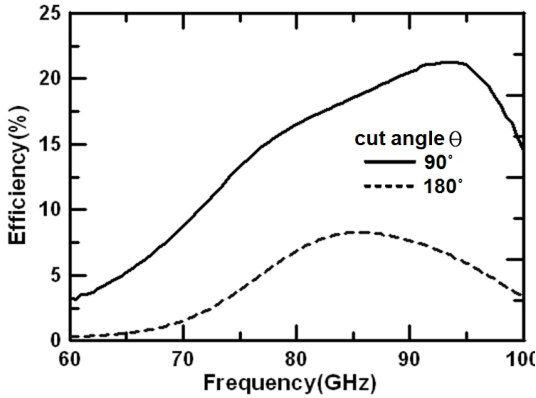


그림 4. 기판 각도(θ)에 따른 효율
Fig. 4. Efficiency on substrate cut angle(θ).

효율과 더 넓은 대역폭을 가지며 유용성을 입증하였다.

III. 특성 분석

3-1 기판 각도

그림 2의 최종 설계 환경에서 그림 1의 기판 각도 θ 를 변화시키며, 효율 변화를 그림 4에 나타내었다. 기판 각도가 180도이며, 기판 아래에 금속이 부착되지 않은 기본 형태의 기판의 경우, 안테나로부터 방사된 파워는 기판 쪽으로 유도되는데, 그 비율은 대기 중으로 방사되는 전력에 비해 $\epsilon_r^{3/2}$ 배 더 크다.^[7] 기판 각도가 작아질수록 다이폴의 공기 중 방사 영역이 증가하게 되어 공기 중으로 유출되는 전파의 양이 증가하게 된다. 이에 따라 80 GHz에서 기판 각도가 180도와 90도일 때 공기 중 방사 효율은 각각 6.8%, 16.5%로 기판 각도가 90도일 때 효율이 현저히 증가하게 된다.

3-2 칩 가장자리-다이폴 사이 거리

앞에서 언급한 바와 같이 안테나의 효율은 공기 중 방사 영역이 증가할수록 높아지게 된다. 그림 2의 최종 안테나 설계 환경에서 그림 1에 나타낸 칩 가장자리와 안테나 간의 거리 d_1 을 조절하며, 안테나 효율 변화를 그림 5에 나타내었다. 기판의 가장자리와 다이폴 사이의 거리가 멀어질수록 효율은 감소하게 되는데, $1 \lambda_{eff}$ 인 1,840 μm 를 기점으로 효율의 변화는 거의 발생하지 않는다. d_1 의 길이가 $1 \lambda_{eff}$ 이상

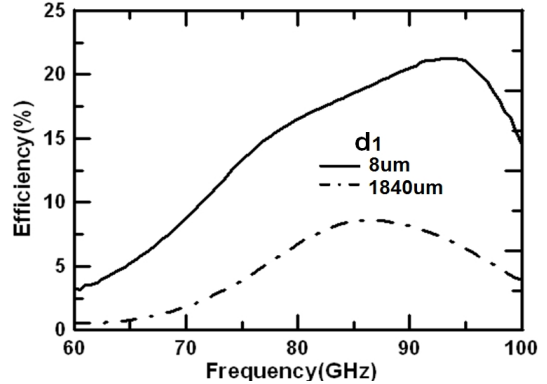


그림 5. 칩 가장자리와 다이폴 사이 거리(d_1)에 따른 효율 변화
Fig. 5. Efficiency as distance between chip edge and dipole(d_1).

이 될 경우 공기 중 효율은 6.7%로 기판 각도가 180도가 되는 것과 같은 의미를 갖게 된다.

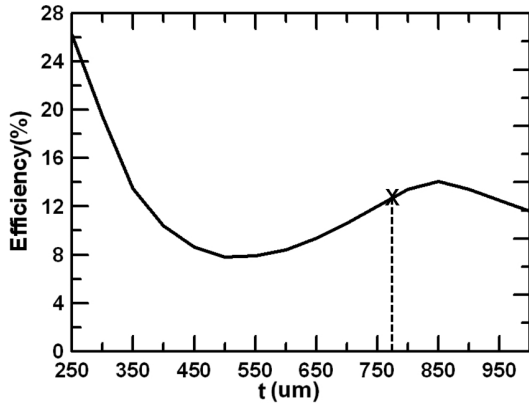
3-3 기판 두께

최종 설계에서 그림 1에서 나타낸 기판 두께 t 를 조절하여 효율의 변화를 그림 6에 나타내었다. 안테나 주변 환경 요소들을 배제하고 피드 안테나만 존재할 경우, 그림 6(a)와 같이 기판의 전기적 길이에 따라 방사 효율의 주기성을 확인할 수 있다. 기판의 전기적 길이가 90도와 270도 부근일 때는 기판 아래 금속은 open으로 작용하여 효율이 높아지며, 180도 부근일 때는 short으로 작용하여 효율이 감소한다. 그러나 현재 안테나는 기판 아래의 금속면과 회로 접지면 M_1 이 복합적으로 방사에 영향을 미치고 있으므로, 기판의 두께의 변화에 따라 안테나-회로 접지면 사이 거리 d_2 를 유동적으로 변화시켜 안테나 성능 향상을 위해 최적화 시키는 것이 필요하다.

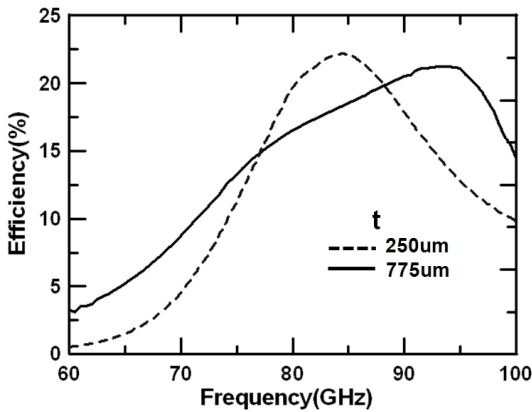
그림 6(b)는 기판 두께 t 를 제외한 나머지 안테나 특성 요소를 고정시킨 후 시뮬레이션을 수행한 것이다. 그 결과, 80 GHz에서 250 μm 의 두께일 때 현저한 효율 향상을 확인할 수 있다.

3-4 회로 접지면과의 거리

최종 안테나 설계에서 그림 1에서 나타낸 안테나-회로 접지면 사이 거리 d_2 에 따른 효율의 변화를 그림 7에 나타내었다.



(a) 기판 두께 단일 요소에 대한 효율 변화
(a) Efficiency on substrate thickness single factor



(b) 기판 두께(t)에 대한 효율 변화
(b) Efficiency on substrate thickness(t)

그림 6. 기판 두께(t)에 대한 효율 변화
Fig. 6. Efficiency plotted by substrate thickness(t).

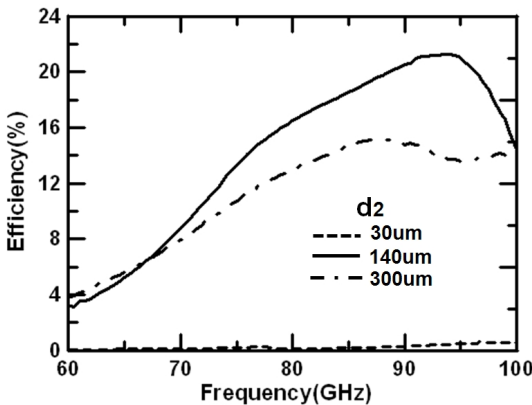


그림 7. 안테나와 회로 접지면(d_2)과의 거리에 따른 효율 변화
Fig. 7. Efficiency as ground distance(d_2).

d_2 가 최적화된 길이인 140 um보다 짧아질 경우 회로 접지면은 안테나의 방사를 방해하게 되므로 효율이 급격히 감소하게 된다. d_2 가 30 um 정도로 매우 짧을 경우 안테나는 거의 방사를 하지 않는다. 또한, d_2 가 140 um보다 길어질수록 회로 접지면은 반사판으로서의 역할이 미미해지며, 기판의 높은 유전율로 인하여 피드로부터 전달된 신호가 안테나까지 도달하는 과정 중에 기판 쪽으로 방사하게 된다. 그러므로 d_2 의 길이가 140 um 전후로 공기 중 방사 효율은 낮아지게 된다.

IV. 결 론

본 논문에서는 삼성 65 nm CMOS 공정을 기반으로 한 80 GHz 밀리미터파 온-칩 다이폴 안테나를 제시한다. CMOS 안테나의 가장 큰 단점인 낮은 방사 효율을 극복하기 위해 공기 중 방사 영역 확대와 안테나와 반사체의 거리 최적화를 시도하였다. 보다 넓은 공기 중 방사 영역 확보를 위해 우선 기존의 야기 안테나와 다르게 도파기를 제거하였으며, 또한 기판 각도 및 칩 가장자리-다이폴 사이 거리를 변화시켰다. 그리고 기판 두께 및 안테나-접지면 사이 거리를 조절하며, 안테나와 반사체의 사이의 거리의 영향 확인을 위한 체계적인 분석을 하였다. 설계한 안테나는 22.3 %의 대역폭과 16.5 %의 효율을 나타내며, 기존의 야기 안테나에 비해 더 좋은 안테나 특성을 보여 CMOS 안테나의 단점을 극복할 수 있는 가능성을 보여준다. 본 논문에서는 backlap process를 제공하지 않는 연구 목적의 공정을 이용하여 제작할 경우를 가정하여 775 um 두께로 설계 및 분석을 하였으나, 양산되는 CMOS 공정에서는 backlap process를 포함하고 있어, 본 논문에서 제시한 안테나 효율 분석 내용을 고려할 경우 밀리미터파 대역 온-칩 안테나의 효율 특성이 대폭 개선될 것으로 기대된다.

References

[1] J. Laskar, S. Pinel, D. Dawn, S. Sarkar, B. Perumana, and P. Sen, "The next wireless wave is a millimeter wave", *Microwave Journal*, vol. 50, no. 8, pp. 22-36, Aug. 2007.
[2] M. F. Chang, V. P. Roychowdhury, L. Zhang, H.

- Shin, and Y. Qian, "RF/Wireless interconnect for inter- and intra-chip communications", *Proc. IEEE*, vol. 89, pp. 456-466, Apr. 2001.
- [3] J. S. Rieh, S. Kim, "Technology and design considerations for millimeter-wave circuits", *Solid-State and Integrated-Circuit Technology 2008, 9th IEEE Int'l Conference*, Beijing, China, pp. 1352-1356, Oct. 2008.
- [4] M. R. N. Ahmadi, S. Safavi-Naeini, and L. Zhu, "An efficient CMOS on-chip antenna structure for system in package transceiver applications", *IEEE Radio and Wireless Symp.*, pp. 487-490, Jan. 2007.
- [5] S. S. Hsu, K. C. Wei, C. Y. Hsu, and H. Ru-Chuang, "A 60-GHz millimeter-wave CPW-fed Yagi antenna fabricated by using 0.18 μm CMOS technology", *IEEE Electron Device Lett.*, vol. 29, no. 6, pp. 625-627, Jun. 2008.
- [6] P. R. Grajek, B. Schoenlinner, and G. M. Rebeiz, "A 24-GHz high-gain Yagi-Uda antenna array", *IEEE Trans. Antennas Propag.*, vol. 52, no. 5, pp. 1257-1261, May 2004.
- [7] E. Brown, C. Parker, and E. Yablonovitch, "Radiation properties of a planar antenna on a photonic-crystal substrate", *J. Opt. Soc. Amer. B, Opt. Phys.*, vol. 10, pp. 404-410, Feb. 1993.

최 근 령



2011년 8월: 경북대학교 전자공학과 (공학사)
 2011년 9월~현재: 고려대학교 IT 융합학과 석사과정
 [주 관심분야] 초고주파 안테나 설계

이 국 주



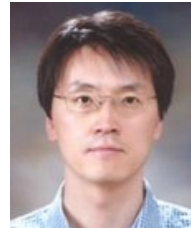
2005년 2월: 고려대학교 전기전자 전파공학과 (공학사)
 2008년 2월: 고려대학교 전파공학과 (공학석사)
 2012년 2월: 고려대학교 전자전기공학과 (공학박사)
 2012년 3월~현재: 고려대학교 전기전자전파공학과 박사후과정
 [주 관심분야] 적층기판용 어레이 안테나 설계

최 승 호



2010년 2월: 고려대학교 전기전자 전파공학과 (공학사)
 2010년 3월~현재: 고려대학교 전기전자전파공학과 석박사통합과정
 [주 관심분야] CMOS 위상변화기 설계

김 문 일



1987 2월: 미국 Illinois Institute Technology 전기공학과 (공학사)
 1992년: 미국 California Institute Technology 전기공학과 (공학박사)
 2000년~현재: 고려대학교 전기전자 전파공학과 교수
 [주 관심분야] 테라헤르츠 회로 설계

김도원



2002년 2월: 고려대학교 전기전자
전파공학부 (공학사)
2008년 2월: 고려대학교 전파공학과 (공학박사)
2012년 8월: 미국 Purdue Univ. 전자
공학과 (Post-doc)
2012년 9월~현재: 삼성전자 DMC

연구소 책임연구원

[주 관심분야] 초고주파 회로 및 안테나 설계

정동윤



2001년 2월: 광운대학교 전자재료
공학과 (공학사)
2003년 2월: 한국과학기술원 정보
통신공학과 (공학석사)
2003년 3월~2004년 2월: 한국전자
통신연구원 (연구원)
2009년 2월: 한국과학기술원 정보

통신공학과 (공학박사)

2009년 3월~현재: 삼성전자 DMC 연구소 책임연구원

[주 관심분야] 밀리미터파 회로 설계