

몰드물성 종류 및 칩 크기 변화에 따른 웨이퍼 레벨 SiP에서의 열 피로 해석

장충민^a, 김성걸^{a*}

Thermal Fatigue Analysis of Wafer Level Embedded SiP by Changing Mold Compounds and Chip Sizes

Chong Min Jang^a, Seong Keol Kim^{a*}

^a Department of Mechanical System Design Engineering, Seoul National University of Science & Technology, 232 Gongneung-ro, Nowon-gu, Seoul, 139-743, Republic of Korea

ARTICLE INFO

Article history:

Received 29 March 2013
Revised 7 May 2013
Accepted 8 May 2013

Keywords:

SiP, wafer level
Mold compound
Solder joint
Fatigue life
Viscoplastic behavior

ABSTRACT

This paper describes in detail the life prediction models and simulations of thermal fatigue under different mold compounds and chip sizes for wafer-level embedded SiP. Three-dimensional finite element models are built to simulate the viscoplastic behaviors for various mold compounds and chip sizes. In particular, the bonding parts between a mold and silicon nitride (Si₃N₄) are carefully modeled, and the strain distributions are studied. Three different chip sizes are used, and the effects of the mold compounds are observed. Through the numerical studies, it is found that type-C, which has a relatively lower Young's modulus and higher CTE, has a better fatigue life than the other mold compounds. In addition, the 4 × 4 chip has a shorter life than the 6 × 6 and 8 × 8 chips.

1. 서론

IT (information technology) 산업이 급격하게 발전함에 따라 카메라, MP3, 게임기 등과 같은 멀티미디어 시스템 전자제품들이 휴대전화로 빠르게 융합화 되고 있다. 이러한 IT-컨버전스 (convergence) 제품의 발전에 따라 빠른 신호처리가 가능한 칩과 다른 주변 장치들 간의 상호 신호전달을 위한 미소 전자 패키징 (microelectronic packaging) 기술 개발의 중요성 또한 강조되고 있다^[1]. 이러한 추세에 따라 여러 기능을 가진 시스템을 하나의 칩에 집적하는 SoC (system-on-chip) 기술이 필수 요소로 주목받고 있으나, 상이한 공정과정의 칩을 패키징함으로써 인한 막대한 개발 기간과 비용, 저수율 등으로 성능과 가격 등 시장의 요구조건을 만

족시키기가 쉽지 않은 실정이다.

SoC 기술이 모든 블록을 단일 칩으로 구현한 후 칩 외부에 수동소자와 이종 소자를 결합시킨 것인 반면, SiP (single-in-line-package) 기술은 여러 블록을 각각의 개별적인 칩으로 구현한 후 수동소자와 이종 소자까지 한꺼번에 단일 패키지에 결합시킨 것이다. 따라서 SiP의 경우 기존에 개발된 칩 설계를 큰 변경 없이 그대로 사용할 수 있기 때문에 시장 공급 시간(time-to-market)이 짧고, 초기 개발비용이 적으며 다품종 소량 생산에 용이하다^[2]. 이에 따라 SiP 기술에 대한 연구 및 개발의 중요성이 증대되고 있으며, 열피로에 대한 신뢰성이 중요한 연구과제로 대두되고 있다. 따라서 본 연구에서는 유한요소해석 프로그램인 ANSYS를 이용하여, JEDEC (국제 반도체 표준화 기구) 실험규격에 명시된 열사이클 시

* Corresponding author. Tel.: +82-2-970-6855

Fax: +82-2-974-8270

E-mail address: rhett@snut.ac.kr (Seong Keol Kim).

험에 대한 사항을 준수하여 웨이퍼 레벨 SiP에서의 열사이클 해석을 수행하고자한다.

또한 해석 수행한 후, 이를 통해 몰드와 질화규소(Si3N4) 접합부를 대상으로 주기적 열사이클(thermal cycle)로 인해 열 피로(thermal fatigue) 파단이 예상되는 몰드 접합부의 위치와 변형률의 분포를 살펴보고자 한다. 또한 몰드조성 변화에 따른 응력 및 변형률의 양상을 규명하고, 미세화 되어지는 SiP의 개발추세에 따라 실제 크기인 8x8을 비롯하여 6x6, 4x4 등 다양한 크기에 따라 파단(failure)이 예상되는 몰드접합부의 응력 및 변형률의 양상을 규명한다.

2. 열 피로 수명 예측 모델링

2.1 응력 모델(stress model)

외부 하중에 대한 정확한 해석을 위해서는 구성 물질들의 재료 물성치와 각 재료들의 구성 방정식을 정확히 알아야 한다. 특히, 솔더 범프의 복잡한 재료 거동을 해석하기 위해서 구성 방정식의 선택은 중요한 요소이다. 본 연구에서는 여러 가지 구성 방정식 중, 비탄성 변형률(inelastic strain rate)과 변형 저항률(deformation resistance rate)로 이루어진 Anand 모델을 사용하였다. Anand 모델은 식 (1)~(4)와 같이 유동 방정식(flow equation)과 열 방산 방정식(evolution equation)으로 나눌 수 있는데, 그 복잡성에도 불구하고 많은 연구자들에 의해 사용되고 있다³⁾.

유동 방정식(flow equation)

$$\frac{d\epsilon_p}{dt} = A[\sinh(\zeta\sigma/s)]^{1/m} \exp\left(\frac{-Q}{kT}\right) \quad (1)$$

열 방산 방정식(evolution equation)

$$\frac{ds}{dt} = \left\{ h_0 (|B|)^a \frac{B}{|B|} \right\} \frac{d\epsilon_p}{dt} \quad (2)$$

$$B = 1 - \frac{s_0}{s^*} \quad (3)$$

$$s^* = s \left[\frac{d\epsilon_p/dt}{A} \right] \exp\left(\frac{Q}{kT}\right)^n \quad (4)$$

2.2 손상 모델(damage model)

본 연구에서는 질화규소 부분의 손상 모델로, Darveaux가 제안한

Table 1 Crack propagation model constants

Constant	Value
K_1	22,400 (cycle/psi)
K_2	-1.52
K_3	5.86E-7 (in/cycle/psi)
K_4	0.98

균열 진전(crack propagation) 모델을 사용하였다. 균열진전 모델에서는 유한요소해석을 통해 계산된 변형률 에너지 밀도(viscoplastic strain energy density) 값과 균열진전의 상관관계를 밝혀내는 것이며, 아래와 같은 식으로 정의될 수 있다⁵⁾.

$$N_0 = K_1 \Delta W_{ave}^{K_2} \quad (5)$$

$$\Delta W_{ave} = \frac{\sum \Delta W \cdot V}{\sum V} \quad (6)$$

$$\frac{da}{dN} = K_3 \Delta W_{ave}^{K_4} \quad (7)$$

식 (5)에 N_0 는 균열이 시작되는 시점에서의 균열 초기 수명(crack initial life)이고, ΔW_{ave} 는 온도 사이클 당 평균 변형 에너지 밀도 변화량을 의미하는데 이는 식 (6)을 통해 계산된다. 그리고 $\sum V$ 는 균열이 발생하는 부위의 요소 부피 합계를 의미하고, 식 (7)은 매 온도 사이클 당 균열의 진전 속도를 나타낸다. 식 (5)와 (7)에 사용된 균열 진전 모델 상수 $K_1 \sim K_4$ 는 Table 1⁶⁾에 그 값을 제시하였다.

식 (8)을 이용하여, 총 파괴 수명(N_f)을 구할 수 있는데, 식 (8)과 같이 나타낼 수 있다.

$$N_f = N_0 + \frac{a}{da/dN} \quad (8)$$

이 식에서 a 는 접합부 표면의 길이로 정의할 수 있다⁷⁾.

3. SiP의 모델링

본 연구에서 사용된 웨이퍼 레벨 임베디드 SiP 모델은, 몰드 물성과 칩 크기를 고려하여 1/4 대칭(symmetric) 유한요소모델링을 하였다. 몰드는 국내 A사에서 개발 중인 4 종류의 재료를 적용하였으며, 각 탄성계수의 차이가 작게는 두 배, 크게는 4배의 차이를 나타낸다. Fig. 1은 유한요소모델을 나타내고 있다. 웨이퍼 레벨

임베디드 SiP 전체 모델은 기판 칩(substrate chip), 내장 칩(embedded chip), 솔더 범프, 웨이퍼 레벨 몰딩(wafer level molding) 등 4개로 구성하였고, 유한요소모델의 각 구성요소의 기하학적 수치는 Table 2에 나타내었다. 솔더 합금을 제외한 나머지 재료들은 등방성(isotropic) 탄성재료로 가정하였고, 패키지 구성요소에 대한 물성치인 탄성계수(E), 프아송비(Poisson's ratio), 열팽창계수(CTE)는 Table 3에 제시하였다. 여기서 몰드의 열팽창계수는 Table 4에 주어진 것처럼 온도에 따른 서로 다른 값을 적용하였다. Table 5에서는 솔더 볼의 물성치를 나타내고 있다.

해석을 위해 사용된 요소로 SOLID45를 선정하였다. 해석에서 적용된 경계조건은 다음과 같다. 절단된 면에 존재하며 $U_x = U_y$

$= U_z = 0$ 인 절점을 축의 방향에 대하여 고정시키고 좌표축의 원점이 되는 절점은 모든 방향에 대하여 고정시켰다. 해석에 적용된 온도 변화 조건은 $125^{\circ}\text{C} \sim -55^{\circ}\text{C}$ 로써, 온도 상승 및 하강시간은 5분, 고온 및 저온 유지시간은 10분으로 1사이클을 30분으로 설정하였다. Fig. 2에서는 시간-온도변화 조건을 그래프로 나타내었다.

Table 3 Material properties of mold compounds used in finite element analysis

Material	E (MPa)	Poisson's ratio	CTE (ppm/°C)	
			Alpha1	Alpha2
Si Chip	131,000	0.30	2.8	
Passivation (Intervia 8021)	4,000	0.20	62	
Type-A	9,800	0.32	35	93
Type-B	3,400	0.32	53	135
Type-C	1,500	0.32	71	141
Type-D	5,500	0.32	51	127

Table 4 The CTE calculation for temperature ranges

Material	Alpha1	Alpha2
Type-A	$50 \sim 80^{\circ}\text{C}$	$200 \sim 230^{\circ}\text{C}$
Type-B	$0 \sim 30^{\circ}\text{C}$	$100 \sim 150^{\circ}\text{C}$
Type-C	$-20 \sim 10^{\circ}\text{C}$	$100 \sim 150^{\circ}\text{C}$
Type-D	$0 \sim 30^{\circ}\text{C}$	$100 \sim 150^{\circ}\text{C}$

Table 5 Young's modulus and the CTE of solder alloy

Temperature (K)	E (MPa)	CTE (ppm/°C)
298	53,000	21.3
343	47,000	22.1
373	44,000	23.0

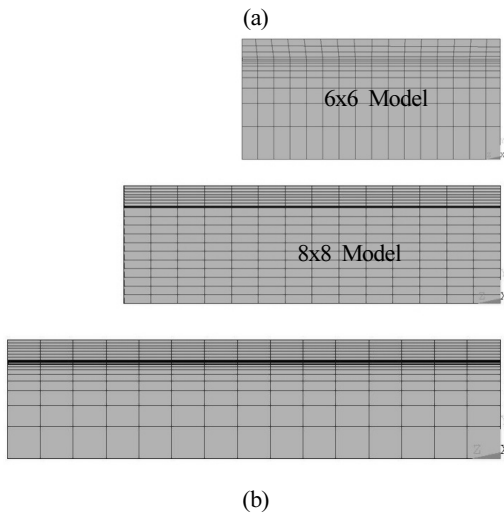
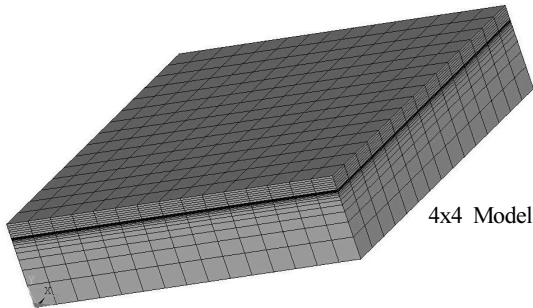


Fig. 1 3D Finite element models

Table 2 Geometric properties of components of the package model (mm)

	Substrate chip	Embedded chip
Die dimensions	$7.7 \times 7.7 \times 0.7$	$5.7 \times 4.5 \times 0.07$
Solder bump diameter	0.250	0.075
PCB thickness	1.000	1.000
UBM thickness	0.12	0.04

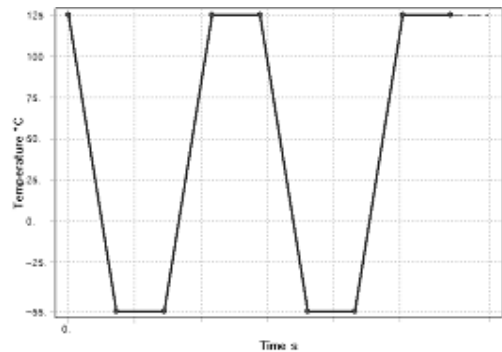


Fig. 2 Thermal cycle profile

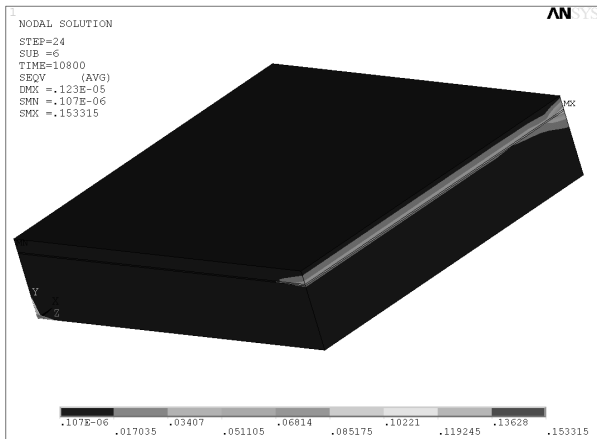


Fig. 3 Strain distribution in the mold joint

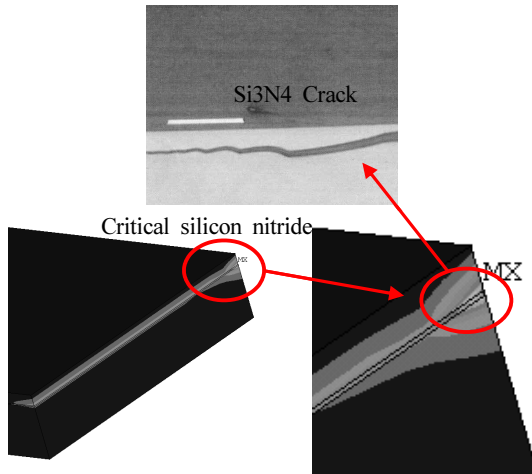


Fig. 4 Strain distribution related to crack location

4. 유한요소해석 결과

4.1 접합부의 파괴형태 검토

Fig. 3는 열충격 해석 후 몰드와 질화규소 사이의 변형률 분포 (strain distribution)를 나타낸 것이다. 이 그림에서 크랙 진전 (crack propagation)이 예상되는 변형률이 집중된 위치를 확인할 수 있으며, 그 위치는 패키지 최외곽 부근이라는 것을 확인할 수 있다.

Fig. 4에서는 실제 열충격 실험¹⁶⁾ 및 본 연구의 유한요소해석결과로 패키지 최외곽부의 단면에서 균열의 진전 상태를 보여주고 있으며, 이는 유한요소해석에서도 동일한 위치 선상의 임계 접합면에서 변형률이 집중되었던 점을 미루어 볼 때, CTE 불일치 (mismatch)로 인한 열팽창률 차이로 인한 것임을 알 수 있었다. 또한 해석을 통해 균열진전이 예상되는 임계점의 위치가 실제 실험을 통해 얻었던 결과와 일치됨을 확인할 수 있었다.

Table 6 Comparison of stress distribution under different mold compounds

	Average stress (Pa)	Max. stress (Pa)
Mold Type-A	0.243	64,479
Mold Type-B	0.411	51,105
Mold Type-C	0.664	39,417
Mold Type-D	0.435	86,714

Table 7 Comparison of stress distribution under different chip sizes (mold compound : type-C)

Chip size	Average stress (Pa)	Max. stress (Pa)
4×4	0.471	138,207
6×6	0.406	62,901
8×8	0.411	51,105

4.2 다양한 몰드 물성에 따른 응력 비교

Table 6에서와 같이, 유한요소해석을 통해 변형률 에너지 분포를 살펴봤을 때, 몰드 물성과 상관없이 패키지 최외곽에서 최대 변형률이 집중됨을 알 수 있었고, 타입-C의 조성을 가진 몰드의 최외곽 부위의 최대응력을 분석해보면 다른 몰드 물성 보다 최대응력이 완화된 것을 볼 수 있었다. 이는 타입-C 몰드를 사용한 모델이 기관 칩과 몰드 사이의 열팽창계수 차이가 상대적으로 작고, 탄성계수가 상대적으로 작아 더 작은 변형을 일으키기 때문인 것으로 사료된다.

4.3 칩 크기에 따른 응력 비교

칩 크기에 따라 몰드와 기관 칩(substrate chip) 사이에서 발생하는 응력도 영향을 받는다. Table 7은 각각의 칩 크기에 따른 등가 응력의 평균값과 최대값을 보여주고 있다.

해석결과 크기변화에 따른 평균응력변화는 미미했으나, 최대응력에서는 4×4크기의 SiP가 8×8와 6×6 크기의 SiP에 비해 약 2.7배, 2.2배 크게 나타났다. 이는 칩의 고집적 고밀도화로 인해 패키지 크기가 작을수록 응력이 집중되어 접합부가 물리적으로 열적 피로에 더욱 민감해지기 때문인 것으로 판단된다. 향후연구에서 몰드의 종류에 따라 최적화된 반도체 패키지 의 열적 안전 크기영역을 도출하기위한 연구를 본 연구의 결과를 활용하고, 최적화 이론을 적용하여 진행하고자 한다.

5. 결론

몰드물성 및 칩 크기 변화에 따른 웨이퍼 레벨 임베디드 SiP 접합부의 열 사이클 유한요소해석을 통해 다음과 같은 결론을 얻을 수 있었다. 첫째, 타입-C가 적용된 패키지의 경우 다른 패키지에

비해 점소성 변형 에너지 집중이 작은 경향을 보였다. 이는 505SA-1이 기판 칩과 몰드 사이의 열팽창계수 차이를 줄여 응력 집중을 분산시켜 상대적으로 더 작은 변형을 일으키기 때문인 것으로 사료된다. 둘째, 칩 크기변화에 따른 평균응력변화는 미미했으나 4×4 크기의 SiP가 8×8와 6×6 크기의 SiP에 비해 약 2.7배, 2.2배의 최대응력 차이를 나타내었다. 이는 패키지 크기가 작을수록 접합부가 물리적 열적 피로에 더욱 민감해지기 때문인 것으로 판단된다.

후 기

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

References

- [1] Yoon, J. W., Kim, J. W., Koo, J. M., Ha, S. S., Noh, B. I., Moon, W. C., Moon, J. W., Jung, S. B., 2007, Flip-chip Bonding Technology and Reliability of Electronic Packaging, *Journal of KWJS*, 25:2 108-117.
- [2] Technology Trend of SiP (System-in-Package), 2006, <<http://blog.naver.com/PostView.nhn?blogId=limnico&logNo=50003400497>>.
- [3] Lall, P., Islam, M. N., Singh, N., Suhling, J. C., Darveaux, R., 2004, Lall, P., Islam, M. N., Singh, N., Suhling, J. C., and Darveaux, R., *IEEE Transaction on Components and Packaging Technologies*, 27:3 585-593.
- [4] Ng, H. S., Tee, T. Y., Goh, K. Y., Luan, J. E. Reinikainen, T., Husa, E, Kujala, A., 2004, Absolute and Relative Fatigue Life Prediction Methodology for Virtual Qualification and Design Enhancement of Lead-free BGA., *IEEE Electronic Components and Technology Conference*, 1282-1291.
- [5] Zhang, L., Sitaraman, R., Patwardhan, V., Nguyen, L., Kelkar, N., 2003, Solder Joint Reliability Model with Modified Darveaux's Equations for the micro SMD Wafer Level-Chip Scale Package Family., *IEEE Electronic Components and Technology Conference*, 572-577.
- [6] Darveaux, R., 2000, Effect of simulation methodology on solder joint crack growth correlation., *Proc. 50th ECTC*, 1048-1063.
- [7] Kim, S. K., Kim, J. Y., 2008, Study on the Prediction of Fatigue Life of BGA Typed Solder Joints., *Journal of KSMTE*, 17:1 137-143.