

LCD 시스템을 위한 Current-Mode Multi-Valued Logic 인터페이스 회로

A Current-Mode Multi-Valued Logic Interface Circuits for LCD System

황 보 현* · 신 인 호** · 이 태 희** · 최 명 렬†

(Bo-Hyoun Hwang · In-Ho Shin · Tae-Hee Lee · Myung-Ryul Choi)

Abstract - In this paper, we propose interface circuits for reducing power consumption and EMI when sequences of data from LCD controller to LCD driver IC by transmitting two bit data during one clock period. The proposed circuits are operated in current mode, which is different from conventional voltage-mode signaling techniques, and also employ threshold technique of Modified-LVDS(Low Voltage Differential Signaling) method. We have simulated the proposed circuits using H-SPICE tool for performance analysis of the proposed method. The simulation results show that the proposed circuits provide a faster transmission speed and stronger noise immunity than the conventional LVDS circuits. It might be suitable for the real-time transmission of huge image data in LCD system.

Key Words : CMMVL, Current mode, Modified-LVDS, Voltage swing

1. 서 론

최근 인간과 기계 장치의 가교적인 역할을 담당하는 디스플레이 시스템의 중요성은 날이 증가되고 있는 실정이다.

LCD의 표현 가능한 해상도가 증가하면서 그의 동작 주파수, 데이터 폭, 그리고 전송할 데이터 양 또한 증가하고 있다. 예를 들어, 그래픽 어댑터에서 24비트 트루 칼라 이미지를 LCD 컨트롤러에 전송할 경우, 3개의 8비트 데이터라인(256 그레이 레벨을 갖는 RGB 데이터), 수직/수평 동기 신호, 클럭 신호등을 포함하여 적어도 27개의 버스 라인을 필요로 한다. 따라서, 이 버스 라인에서 전력 소비와 전자기 장애의 고려는 무엇보다도 중요하다[1].

이러한 문제를 해결하기 위하여 LVDS(Low Voltage Differential Signaling) 방식을 사용하여 저전력 소비와 전자파 장애를 감소시켰다[2][3]. 그리고, LVDS 방식을 보완한 Modified-LVDS 방식은 기존의 LVDS 방식보다 데이터 전송시간을 절반으로 줄일 수 있으며 스위칭 변환을 감소시켜 노이즈 감소와 전력소비 및 전자파 장애를 줄일 수 있다[4]. Modified-LVDS 방식은 2 bit의 데이터를 전송하기 위한 TMA(Transition Minimization Algorithm)방식의 인코더, 디코더를 필요로 하며[5], 이는 현재 증가하는 LCD 해상도의 해결책으로 구동 칩의 데이터 버스를 두 배로 하여 구동시키는 방식이다[6].

본 논문에서는 한 클럭 신호 주기 동안에 두 bit의 데이

터를 전송하면서, 기존의 signaling 기법인 differential 기법과 Modified-LVDS의 Threshold 기법을 current mode에서 동작시킴으로써 노이즈에 강하고, voltage swing이 발생하지 않아 전력소모가 적으므로, 저전력 동작에도 용이한 인터페이스 회로를 제안한다. 2장에서는 기존의 인터페이스 회로의 구조와 원리에 대하여 설명하고, 3장에서는 제안하는 인터페이스 회로의 구조와 원리에 대하여 설명한다. 4장에서는 시뮬레이션 결과에 대하여 설명한다.

2. 기존의 인터페이스 회로

기존의 signaling 기법으로 TMDS(Transition Minimized Differential Signaling), LVDS(Low Voltage Differential Signaling), modified-LVDS 방식 등이 있다. TMDS 방식과 LVDS 방식의 경우에는 한 클럭당 1 bit의 데이터를 전송하는 반면, Modified-LVDS 방식은 기존의 LVDS의 장점을 살리면서 한 클럭당 2 bit의 데이터를 전송할 수 있도록 수정·보완되었다[4]. 그러나 기존의 Modified-LVDS는 voltage swing으로 인하여 전력소모가 발생하므로, 초저전력 동작을 위해선 충분하지 않다.

2.1 기존의 TMDS 알고리즘

TMDS는 저전력 동작을 위해 DC balanced 방법과 데이터의 transition을 줄이는 transition minimized coding 기법을 사용하여 coding된 데이터를 입력하게 되므로, coding에 필요한 인코더와 디코더가 필요하게 된다. 그림 1은 간략화된 TMDS 회로의 구조를 보여준다.

그림 1의 TMDS 회로에서 V_{TERM} 과 R_{TERM} 에 의해 differential signaling 쌍을 조절하여 voltage swing을 조정한다. 이때, 출력 전류는 V_{TERM} 에 의해 영향 받지 않는다.

* 정 회 원 : 한양대학교 전자전기제어계측공학과 박사과정

** 준 회 원 : 한양대학교 전자통신공학과 석사과정

† 교신저자, 정회원 : 한양대학교 전자통신공학과 교수

E-mail : choimy@hanyang.ac.kr

접수일자 : 2013년 1월 10일

최종완료 : 2013년 3월 13일

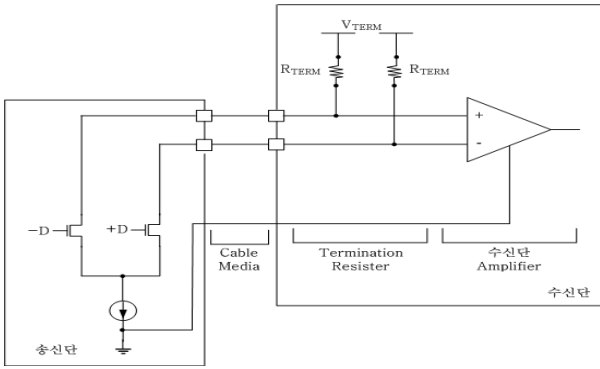


그림 1 기존의 TMDs 회로
Fig. 1 COntventional TMDs Circuit

TMDS에서는 voltage swing은 식(1)과 같이 조정 될 수 있다.

$$V_{SWING} = V_{TERM} - V_{R_{TERM}} \quad (1)$$

여기서, V_{TERM} 은 수신단에 입력되는 VDD에 해당하는 전압이고, $V_{R_{TERM}}$ 은 저항 R_{TERM} 에 걸리는 전압이다.

2.2 기존의 LVDS 알고리즘

LVDS는 독립된 전류원을 사용하여 current mode driver와 수신단에서 350mV(3.5mA×100Ω)의 low voltage swing을 하므로 전력소모가 적고, 송신단에서 전송한 전류가 수신단을 거쳐 다시 송신단으로 입력되므로 노이즈에 강한 특성을 가지고 있다.

이러한 differential 기술이 노이즈를 쉽게 제거하기 때문에 LVDS는 저전압 swing을 이용하여 전력 소비를 줄일 수 있으며 최대 5m 정도의 거리에서 전송가능하다. LVDS의 수신단에서 부하저항 R에 의해 소비되는 전력은 약 1.2mW(3.5mA×350mV=1.2mW)이다. 그림 2은 기존의 LVDS 회로의 구조를 보여준다.

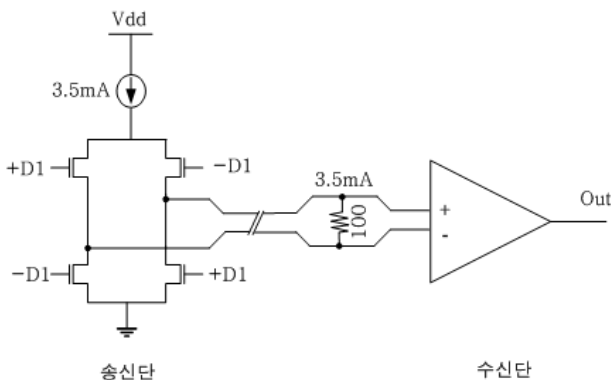


그림 2 기존의 LVDS 회로
Fig. 2 Conventional LVDS Circuit

2.3 기존의 Modified-LVDS 알고리즘

호스트와 LCD Controller 사이에는 Modified-LVDS(이하 MLVDS) 기법을 이용하여 R, G, B, 제어 신호가 4개의 독립된 채널을 통하여 직렬화되어 전송된다. 기존의 LVDS기법은 클럭 신호 한주기에 하나의 signal이 전송되는데 반해 MLVDS는 동시에 2개의 signal을 전송할 수 있다. 이와 같은 특성으로 인해 MLVDS 기법은 기존의 LVDS의 장점을 그대로 수용하면서 전송 주파수를 절반으로 줄일 수 있다. 그림 3에서는 MLVDS 회로를 보여준다[4].

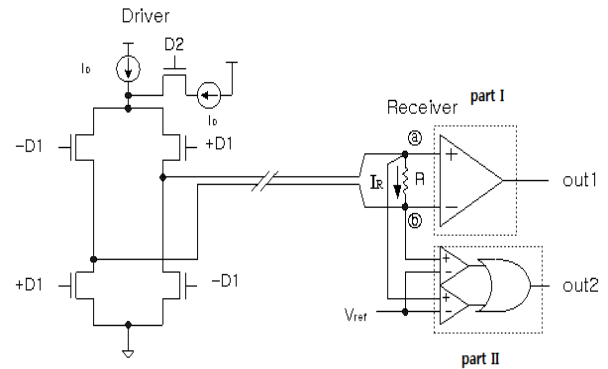


그림 3 Modified-LVDS 회로
Fig. 3 Modified-LVDS Circuit

입력 신호 D1은 전류의 방향을, D2는 전류의 양을 조절하는 신호이다. 만약에 입력 signal d1과 d2가 각각 0과 1이라면 전류 I_R 의 방향은 b에서 a로 흐르며 그 양은 $2I_D$ 가 된다. 반대로 d1=1과 d2=0이라면 전류는 a에서 b로 흐르고, 전류의 양은 I_D 가 된다.

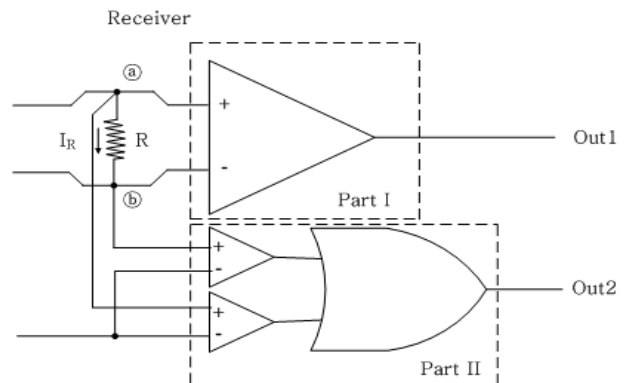


그림 4 수신단
Fig. 4 Receiver in Modified-LVDS Circuit

그림 4의 part I은 전류의 방향에 따라 out1의 값이 결정된다. 비교기를 통해서 저항 R에서 a와 b에 걸리는 전압은 I_R 에 의해 결정되는데 V_a 가 V_b 보다 크다면 즉 전류의 방향이 a에서 b로 흐른다면 out1의 값은 1이 되고 그 반대의 경우는 0이 된다. 따라서 out1의 값은 입력 신호 d1을 detection 한다. part II에서는 전류의 양을 검출하는데, V_{ref} 값은 $I_D * R$ 보다 크고 $2I_D * R$ 보다는 작은 값이다. 따라서 만약에 a와 b에 걸리는 전압이 V_{ref} 보다 큰 값이 되면 비교

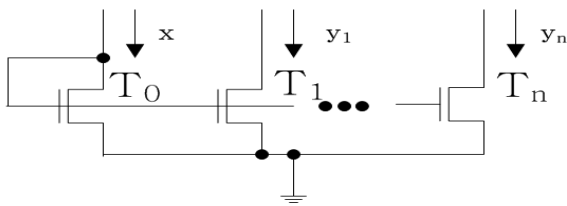
기의 출력은 1 이 되고, 작으면 0이 된다. 따라서 이 두 값을 논리연산 OR를 취하면 전류의 방향과 상관없이 전류의 양만을 검출할 수 있게 된다.

3. 제안하는 인터페이스 회로

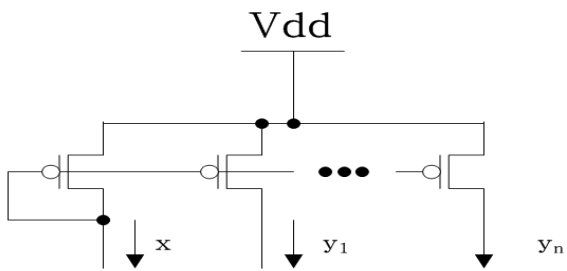
본 논문에서 제안하는 인터페이스 회로는 기존의 Modified-LVDS의 한 클럭 당 두 개의 데이터를 전송하는 장점을 살리는 동시에 Current Mode를 이용하여 노이즈에 강하며, 별도의 voltage swing이 없어 저전력으로 동작하도록 설계되었다.

3.1 제안하는 인터페이스 회로 기본 구성

기존의 signaling 기법인 differential 개념과 Modified-LVDS의 Threshold 기법을 사용하여 current mode로 동작을 하면서 노이즈에 강한 저전력 구동 회로를 제안하였다. 그림 5은 CMMVL(Current-Mode Multi-Valued Logic)을 위한 기본적인 회로인 Current mirror를 보여준다. 그림 5(a)는 NMOS만 사용하여 Current mirror를 구성한 경우이고, 그림 5(b)는 PMOS만 사용하여 Current mirror를 구성한 경우이다.



(a) N-Type



(a) P-Type

그림 5 Current Mirror 회로
Fig. 5 Current Mirror Circuit

식(2)은 Current mirror의 동작 방식을 나타내고 있다. 식(2)에서 I_D 는 그림 5의 첫 번째 MOS인 T_0 에 흐르는 전류의 양이다. 첫 번째 MOS인 T_0 는 Gate와 Drain이 Short 이므로 MOS의 특성에 의하여 첫 번째 MOS는 항상 Saturation 되어 있기 때문에, 식(2)를 이용하면 두 번째 MOS인 T_1 에도 첫 번째 MOS와 같은 양의 전류가 흐른다는 것을 알 수 있다.

$$I_D = f(V_{GS}) \rightarrow V_{GS} = f^{-1}(I_{REF}) \rightarrow I_{out} = f(f^{-1}(I_{REF})) \quad (2)$$

여기서 I_D 는 MOS의 drain 전류이고, V_{GS} 는 Gate와 Source 사이의 전압을 의미하며, I_D 는 V_{GS} 에 대한 함수임을 확인 할 수 있다.

그림 6은 NMOS로 구성된 회로에서의 Threshold 방법을 보여주고 있다. 제안한 회로는 MOS의 특성과 MOS에 흐르는 Current 간의 비교를 통하여 신호를 분석한다. 식(3)는 Threshold방식을 나타내고 있다 식(3)에서 알 수 있듯이 biasing 된 NMOS는 일정한 drain 전류 k 가 흐르게 되는데 노드 y 에서는 NMOS의 drain으로 강제 유입되는 전류 x 와 k 의 값을 비교하여 만일 전류 x 가 전류 k 보다 클 경우에는 high(5V)에 가까운 전압을 나타내게 된다. 즉, MOS는 k 의 전류를 흘리는 threshold회로로 동작하게 된다.

$$thresh(x,k) = \begin{cases} binary\ High & \text{if } x > k \\ binary\ Low & \text{otherwise} \end{cases} \quad (3)$$

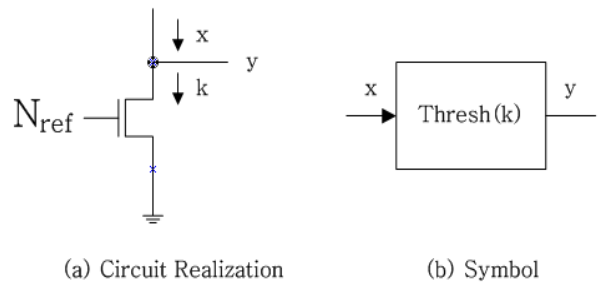


그림 6 NMOS의 Threshold 회로
Fig. 6 NMOS Threshold Circuit

그림 7은 PMOS로 구성된 회로에서의 Threshold 방법을 보여주고 있다.

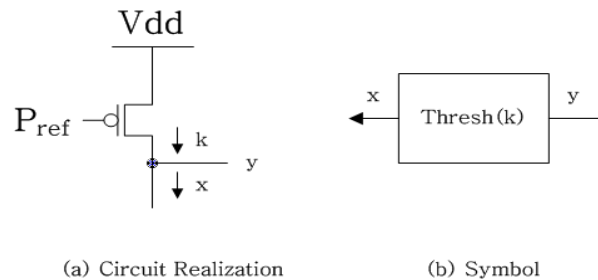


그림 7 PMOS의 Threshold 회로
Fig. 7 PMOS Threshold Circuit

그림 8은 Current mirror와 PMOS의 threshold 회로를 이용한 기본적인 회로를 보여주고 있다. 그림 8에서 MOS에 흐르는 전류는 Current mirror에 의한 법칙에 의해 같은 전류가 흐르고, A, B, C에는 threshold법칙에 의한 전류간의 비교를 통하여 신호(low(0V) or high(5V))를 나타내게 된다.

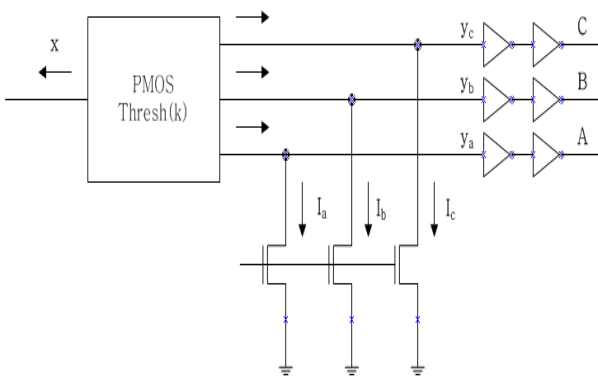


그림 8 Current mirror와 threshold 회로를 합성한 회로
 Fig. 8 Circuit synthesized between current mirror and threshold circuit

3.2 제안하는 인터페이스 회로

그림 9에는 제안하는 CMMVL 인터페이스 회로를 보여주고 있다. 그림 9에서 기존의 TMDS나 LVDS와 같은 한 클럭 신호당 한 개의 데이터를 전송하는 방식이 아니라, 한번에 두 개의 데이터를 전송하는 방식을 보여주고 있다. 별도의 Current 소스 없이 MOS에 의해서 전류가 발생이 되고 전력소모는 MOS가 switch on 혹은 off 될 경우에만 전력을 소모하므로 저전력 구동을 하는 것을 알 수 있다. 또한 기존의 TMDS, LVDS와 Modified-LVDS는 전류의 방향에 따라 저항에 의해 Swing이 일어나게 되고 MOS와 저항에서 모두 전력을 소모하게 된다. 본 논문에서 제안하는 인터페이스 회로는 별도의 Swing이 없이 흐르는 전류에 의해 전압을 컨트롤하므로, 빠른 전송 속도를 가지게 된다.

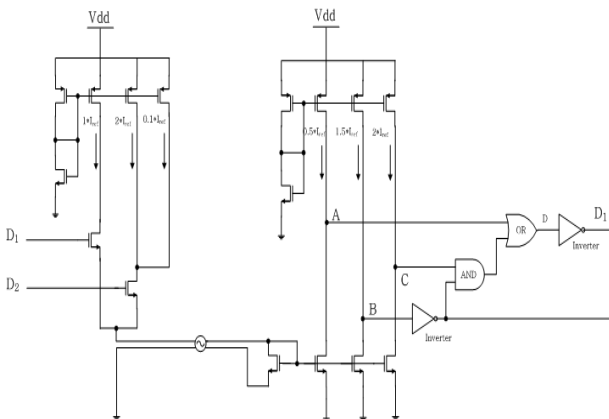


그림 9 제안하는 CMMVL 회로
 Fig. 9 Proposed CMMVL Circuit

그림 10은 제안하는 CMMVL 회로의 송신단을 보여주고 있다. 송신단 회로에서는 2 bit의 데이터를 입력받아, 2개의 데이터를 출력하고, 출력된 2 bit의 데이터를 수신단으로 전송하는 역할을 수행한다.

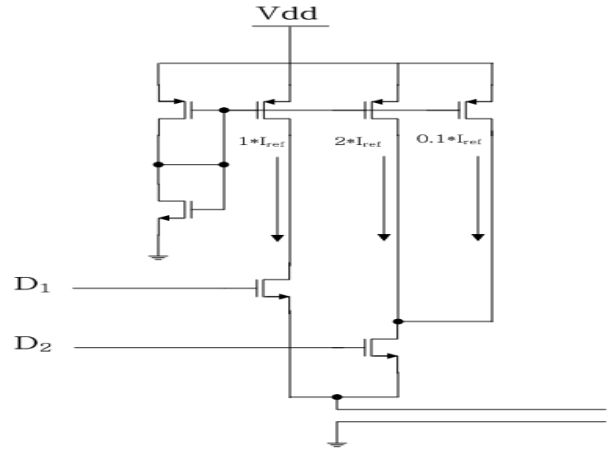


그림 10 제안하는 CMMVL 회로의 송신단
 Fig. 10 Transmitter in proposed CMMVL circuit

그림 11은 제안하는 CMMVL 회로의 수신단을 보여주고 있다.

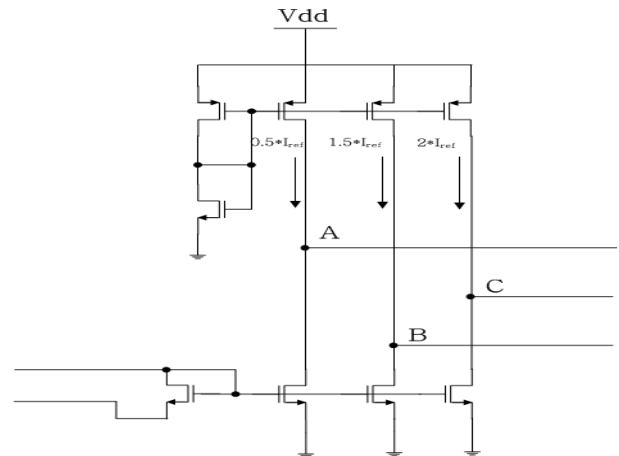


그림 11 제안하는 CMMVL 회로의 수신단
 Fig. 11 Receiver in proposed CMMVL circuit

수신단에서는 MOS의 drain 쪽에 흐르는 전류의 차에 의해 시그널 신호(0V or 5V)를 발생시키게 되고, MOS의 특성상 2.5V이상이면 5V이고 2.5V이하이면 0V로 인식한다.

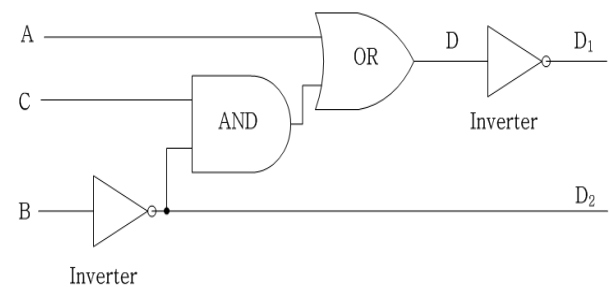


그림 12 제안하는 CMMVL 회로의 출력단
 Fig. 12 Output terminal in proposed CMMVL circuit

그림 12은 제안하는 CMMVL 회로의 출력단을 보여주고 있다. 출력단에서는 수신단의 3개의 출력 신호와 논리 게이트를 이용하여, 송신단에서 입력받은 데이터(D1, D2)를 복원한다.

4. 실험결과

신호의 전송에 따른 노이즈에 강한 특성을 보이고, 노이즈 원에 대해서도 신호의 전송은 차이가 없다는 것을 표 1에서 보여주고 있다. 또한 Current Mode로 이용하므로 별도의 voltage swing 없이도 신호가 효과적으로 전달되는 것을 확인할 수 있다.

표 1 입력데이터와 출력데이터

Table 1 Input data and output data

입력		A	B	C	Inverter (B)=D2	AND+OR (BC+A)	Inverter (D)=D1
D1	D2						
0	0	H	H	H	L	H	L
1	0	L	H	H	L	L	H
0	1	L	L	H	H	H	L
1	1	L	L	L	H	L	H

그림 13은 입력데이터 D1, D2를 순차적으로 00, 10, 01, 11을 입력했을 때, 제안하는 회로의 수신단내에서 A, B, C에 출력되는 신호를 나타내었다.

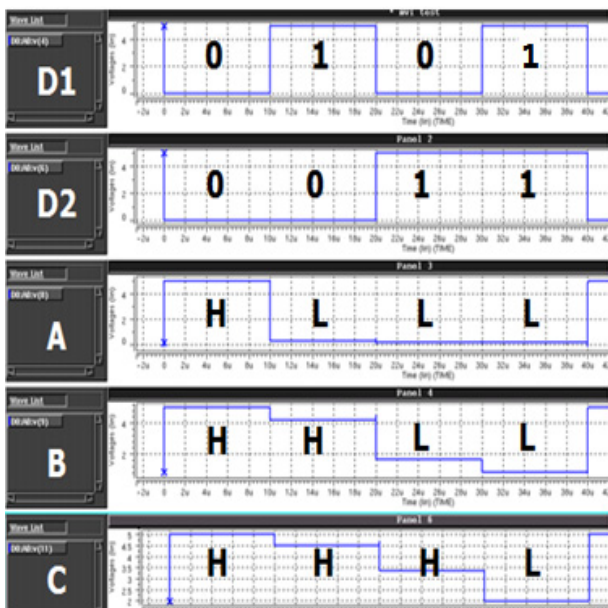


그림 13 시뮬레이션 결과
Fig. 13 Simulation results

5. 결론

본 논문에서는 LCD 시스템에서 전력 소비와 EMI를 줄이는 동시에 한 클럭 신호주기 동안에 2 bit의 데이터를 전송하는 방법으로 기존의 signaling 기법인 differential 기법

과 Modified-LVDS의 Threshold 기법을 사용하여 Current Mode로 동작하는 인터페이스 회로인 CMMVL 회로를 제안하였다. 제안하는 회로의 성능 평가를 위하여 H-SPICE Tool을 이용하여 데이터 결과를 확인하였고, 한 클럭 신호 동안 1 bit의 데이터를 전송하는 기존의 방식에 비해 CMMVL회로는 경우 한 클럭 신호동안 2 bit의 데이터를 동시에 전송할 수 있으므로, 동작주파수를 절약할 수 있다.

제안한 방식은 전력 소비와 EMI를 감소시키는 방법에 초점을 두었으며, 제안하는 CMMVL 회로의 구조상 노이즈에 강하며, Current Mode로 동작하기 때문에 Voltage Swing이 없어 저전력 구동이 가능하고, 빠른 전송속도를 가지므로, 데이터 천이최소화 회로와 함께 사용한다면 고화질 이미지 데이터의 실시간 전송이 요구되는 LCD 시스템에 적절하게 응용될 수 있다.

참 고 문 헌

- [1] Edgar Sanchez-Sinencio, et al. Low-Voltage/Low-Power Integrated Circuits and Systems, IEEE press, 1999.
- [2] Stephen Kempainen, "BusLVDS Expands Applications for Low Voltage Differential Signaling", 2000 High-performance System Design Conference, 2000.
- [3] LVDS Owner's Manual, 2nd Edition, National Semiconductor, 1997.
- [4] 최명렬, 김희철 외 2명, "LCD 시스템을 위한 Modified LVDS 인터페이스 회로 및 코딩기법", 한국멀티미디어 학회 논문집, 3권 4호, pp. 424 ~ 432, 2000. 8.
- [5] 최명렬, 최철호, "LCD 구동 시스템에서 전력 소비 및 전자기 장애를 줄이기 위한 데이터 코딩 방법", 정보과학회논문지, 6권 6호, pp. 628~634, 2000, 12.
- [6] Transition-controlled digital encoding and signal transmission system, Patent No. 6,026,124, US patent, 2000.

저 자 소 개



황 보 현 (黃寶顯)

1976년 4월생. 2004년 2월 한양대학교 전자컴퓨터공학과 학사졸업. 2006년 2월 전자전기제어계측공학과 석사졸업. 2006년 1월 - 2007년 7월 동부하이텍 반도체부문. 2007년 - 현재 한양대학교 전자전기계측공학과 박사과정
Tel : 031-400-4036
E-mail : jokersir@yml.com



신인호 (申仁浩)

1985년 4월생. 2011년 2월 한양대학교 전자통신공학부 학사졸업. 2011년 3월 - 현재 한양대학교 전자통신공학과 석사과정
Tel : 031-400-4036
E-mail : skwak7@hanyang.ac.kr



이태희 (李太熙)

1986년 4월생. 2012년 2월 인제대학교 나노공학부 학사졸업. 2012년 3월 - 현재 한양대학교 전자통신공학과 석사과정
Tel : 031-400-4036
E-mail : hy12504684@hanyang.ac.kr



최명렬 (崔明烈)

1960년 9월생. 1983년 한양대학교 전자공학과 학사졸업. 1985년 미시간 주립대학교 컴퓨터공학과 석사졸업. 1991년 미시간 주립대학교 컴퓨터공학과 박사졸업. 1991. 3-1991. 10 생산기술연구원 전자정보실용화센터 조교수. 1991. 11 - 1992. 8 생산기술연구원 산하 전자부품종합기술연구소 선임연구원. 1992. 9-2003. 8 한양대학교 전자컴퓨터공학부 부교수. 2003. 9 - 현재 한양대학교 전자통신공학과 교수.
Tel : 031-400-5214
E-mail : choimy@hanyang.ac.kr