
모바일 시스템을 위한 MDDI 프로토콜 설계 및 구현

김종문* · 이병권** · 정회경***

Design and Implementation of MDDI Protocol for Mobile System

Jong-Moon Kim* · Byung-Kwon Lee** · Hoe-Kyung Jung***

요 약

본 논문에서는 모바일 디스플레이장치에 필요한 MDDI(Mobile Display Digital Interface) 프로토콜 패킷생성방법을 소프트웨어로 구현하는 것을 제안한다. 최소한의 하드웨어 구성을 가지며, 소프트웨어를 이용하여 MDDI 프로토콜 패킷을 생성한다. 이의 구현을 위해 고속 마이크로프로세서와 FPGA(Field-Programmable Gate Array)로 하드웨어를 설계하였다. 소프트웨어로 생성한 패킷은 FPGA를 통해 LVDS(Low-Voltage Differential Signaling) 신호로 변환되어 출력된다. 제안하는 방식의 장점은 다양한 패킷을 소프트웨어로 쉽게 만들 수 있다는 것이다. 단점은 패킷전송에 걸리는 시간이 기존에 제안된 방식보다 빠르지 않았다. 이는 향후 개선되어야 할 과제로 남았다.

ABSTRACT

In this study, we propose how to implement a MDDI(Mobile Display Digital Interface) protocol packet generation method in software. MDDI protocol is widely used in mobile display device. MDDI protocol packets are generated by software within micro processor. This method needs the minimum hardware configuration. In order to implement of this method, we design a hardware platform with a high performance microprocessor and a FPGA. The packets generated by software within microprocessor are converted into LVDS signals, and transmitted by hardware within FPGA. This study suggests the benefits of the way how software can easily create a variety of packet. But, this proposed method takes more time in packet transmission compared to the traditional method. This weakness remains as a future challenge, which can be soon improved.

키워드

MDDI, FPGA, ASIC, LVDS

Key word

MDDI, FPGA, ASIC, LVDS

* 종신회원 : ㈜엘컴텍, 배재대학교 컴퓨터공학과
** 정회원 : 배재대학교 컴퓨터공학과
*** 종신회원 : 배재대학교 컴퓨터공학과(교신저자, hkjung@pcu.ac.kr)

접수일자 : 2013. 02. 25
심사완료일자 : 2013. 04. 01

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.5.1089>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 모바일 장치가 가지고 있는 디스플레이는 높은 해상도를 가지고 있으며, 이 모바일 기기가 대중화되면서 이전 방식보다 효과적인 고속의 인터페이스 필요성이 대두 되었다[1]. 이런 필요성에 의해 켈컴의 MDDI 프로토콜과 GSM(Global System for Mopbile communication) 기반의 MIDI 프로토콜이 소개 되었다.

모바일 장치에서 디스플레이 인터페이스는 TTL 레벨의 CPU 인터페이스, RGB 인터페이스와 신호선의 특성에 따른 Differential[2] 레벨의 LVDS, RSDS(Reduced Swing Differential Interface), 디스플레이 포트, TMDS (Transition Minimized differential Signaling)[3]가 있다.

LVDS는 저 전력 차동신호 인터페이스로 뛰어난 노이즈 내성을 특징으로 하며, 드라이버 출력 및 수신기 입력의 전기적 특성에 대해 정의한 ANSI/TIA/EIA-644로 표준화 되었다[4].

MDDI 방식은 디스플레이 및 멀티미디어 데이터 전송에서, 기존 병렬 데이터 전송을 직렬전송으로 구현하도록 제안한 표준전송방식 중 하나이다. 이 방식은 기존의 병렬 인터페이스에 비하여 높은 대역폭, 연결 선 수의 감소, 저전력 소모, 좋은 EMI 특성 등의 장점을 가진다[5].

이에 본 논문에서는 FPGA 칩 내에서 MDDI 패킷을 생성하는 방식과 달리 소프트웨어로 생성하는 방식을 제안하고 있으며, 이 방식은 MDDI 표준에서 제안하는 여러 가지 패킷을 언제든지 소프트웨어로 구현할 수 있다는 유연한 구조와 하드웨어 비용 절감의 효과를 가질 수 있는 방식이다.

이 방식은 디스플레이 장치에 필요한 MDDI 프로토콜의 패킷을 수용함은 물론이며, 장치에 추가되어지는 패킷의 구현에 빠르게 대응할 수 있다.

II. MDDI 프로토콜 규약

2.1. 프레임 구조

데이터가 MDDI의 링크를 통해 전송될 때 데이터에 대한 정보를 함께 묶어서 전송된다. 하나의 의미 있는 데이터를 세분화하여 이에 대한 정보를 추가하는 패킷화

는 데이터전송 시 감수해야 하는 오버헤드가 된다. 하지만, 추가적인 패킷 정보는 클라이언트에서 데이터 복원 및 불안정한 데이터를 처리할 때 사용되는 정보이기 때문에 데이터전송의 신뢰도 및 시스템 동작의 안정성을 높인다[6].

2.2. 영상 데이터 전송 순서

모든 필드는 LSB가 우선적으로 전송된다. 1 바이트 이상의 파라미터 값들은 리틀-엔디언(little-endian) 형식으로 전송된다. 패킷 안에서의 필드 전송순서는 패킷에 정의된 필드 순서대로 전송된다. 영상의 픽셀 데이터의 경우는, 전송되는 픽셀의 행 정보가 열 정보보다 먼저 전송된다.

2.3. 링크 하이베이션(Link Hibernation)

하이베이션 모드는 최대 절전 모드를 의미하는데 MDDI 호스트와 클라이언트의 링크는 신속한 절전모드 상태와 웨이크업(wakeup) 전환이 가능하다. 이것은 MDDI를 사용하는 시스템이 MDDI 링크 상태를 자주 절전모드 상태로 전환하게 만듦으로서, 전력소비를 줄일 수 있게 한다. 외부모드일 때 절전모드 상태에서 데이터 전송 상태로 전환하려는 웨이크-업 모드일 때의 데이터 전송률은 10Mbps(MDDI Stb+/- 신호는 5 MHz 속도로 토글 한다)가 된다.

III. 하드웨어와 소프트웨어 설계

3.1. 하드웨어설계

3.1.1. 하드웨어 구조 및 기능

모바일 프로세서를 사용한 하드웨어의 CPU에 해당하는 프로세서는 ARM 코어(CortexA8)를 사용한 삼성의 S5PV210을 사용하였다[7]. 이 프로세서는 최대 코어 클럭이 1GHz로서 모바일 장치에 많이 사용되고 있다.

모바일 시스템의 구성은 CPU에 해당하는 프로세서와 512MByte의 DRAM, 8MByte의 NOR Flash, 256MByte의 NAND Flash로 되어 있다. 이 모바일 시스템에 운영체제로서 리눅스를 탑재하고 있으며, MDDI 패킷 전송과 제어 및 패킷 생성을 위한 어플리케이션을 운영한다.

그림 1에 MDDI 패킷전송 블록도를 보인다.

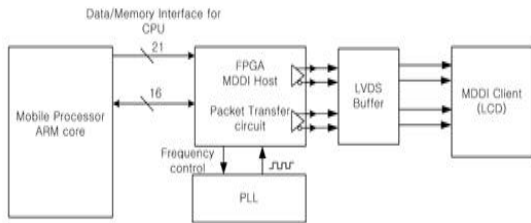


그림 1. 모바일 시스템의 MDDI 패킷전송 블록도
Fig. 1 MDDI packet transmission block diagram of mobile systems

3.1.2. FPGA 회로구성

모바일 프로세서 시스템의 패킷 생성 알고리즘으로부터 생성된 MDDI 프로토콜의 패킷들은 FPGA내에 있는 MDDI FIFO에 쓰여진다. 이 패킷은 외부 PLL 모듈의 클럭에 동기하여 LVDS TX 모듈로 전송되며, LVDS TX 모듈은 8비트의 데이터를 직렬화하여 동기신호와 함께 MDDI 클라이언트로 출력하게 된다. 패킷 전송기는 그림 2와 같이, 어드레스 디코더와 내부 모듈들의 동기 및 제어와 관련된 레지스터 부분, 클라이언트의 절전 모드 해지를 위한 MDDI 하이버네이션 모듈, MDDI FIFO 모듈, LVDS Tx 모듈, 그리고 PLL 모듈로 구성되어 있다.

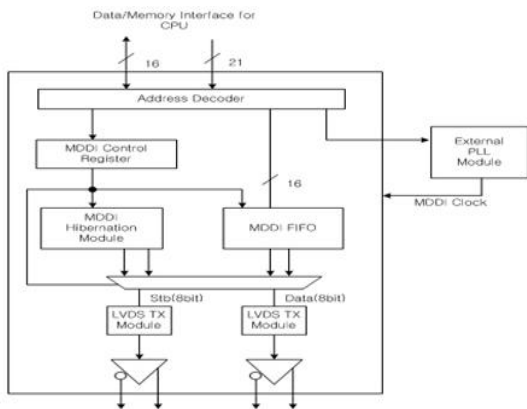


그림 2. MDDI Host 패킷 전송기의 블록 다이어그램
Fig. 2 MDDI Host of the packet transmitter block diagram

1) MDDI FIFO

MDDI FIFO의 메모리는 총 8192워드(1워드=2바이트)이다. MDDI 타입 I을 지원하도록 설계하였다.

2) MDDI 하이버네이션 모듈

이 논문에서는 호스트에서 클라이언트를 깨우는 상태만을 구현하였다.

이 논문에서 하이버네이션 기능은 별도의 모듈로 구현하였으며, 프로세서로부터 하이버네이션 진입모드로 전환하게 되면 내부의 하이버네이션 모듈은 흐름에 따라 클라이언트에 데이터를 전송하게 된다.

3) MDDI LVDS 전송 모듈

이 모듈은 Altera사의 Quartus II에서 제공하는 라이브러리를 사용하여 설계하였다. 이 모듈은 한 바이트의 입력을 직렬화하여 입력되는 클럭의 위상에 정렬하여 한 비트씩 차동신호로 출력하는 기능을 가진다[8].

4) MDDI PLL 모듈

FPGA 외부에 놓여진 PLL 모듈은 TI사의 CDCE 62002를 사용하였다[9].

3.2. 소프트웨어

3.2.1. 패킷생성 프로그램

모바일 시스템의 어플리케이션 프로그램의 패킷 생성은 MDDI 패킷 데이터를 만들고 패킷 데이터를 전송기로 보내기 위해서 명령 해석부, MDDI 패킷환경 설정부, 레지스터 액세스 패킷 생성부, 비디오 스트림 패킷 생성부, 링크셋다운 패킷 생성부와 절전모드해지 패킷 출력을 제어하는 하이버네이션 제어부가 있다.

각각의 패킷 생성부는 텍스트 형식의 스크립트 문서에 있는 명령을 해석에 따라 함수가 호출되며, 비디오 스트림 패킷은 그림 파일을 읽어서 패킷을 생성한다. 각각의 패킷 생성부는 공통으로 사용되는 MDDI 전송 패킷 메모리에 생성된 패킷을 쓰게 된다. 이렇게 쓰여진 패킷은 외부 어드레스/데이터 버스를 통해 패킷 전송기인 FPGA의 FIFO 메모리에 복사되거나 혹은 MDDI 하이버네이션 모듈을 동기화 시킨다.

명령 해석기는 미리 정의된 형식과 미리 정의된 문자열을 검색하는 기능을 가지며, 각각에 따라 단일명령으로 데이터가 없이 쓰는 경우와 데이터 설정명령으로 데이터가 따라오는 경우로 구분되어진다. 패킷생성 프로그램 블록 다이어그램은 그림 3과 같다.

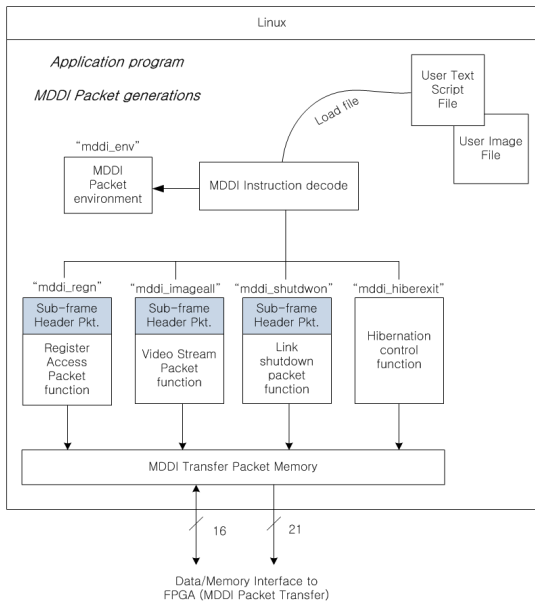


그림 3. 패킷 생성 프로그램 블록도
Fig. 3 Block diagram of packet creation program

IV. 실험 및 고찰

4.1. 하드웨어구현 결과

패킷 생성과 전송을 실험하기 위해 그림 4와 같은 마이크로프로세서와 FPGA를 사용한 하드웨어를 사용하였다.

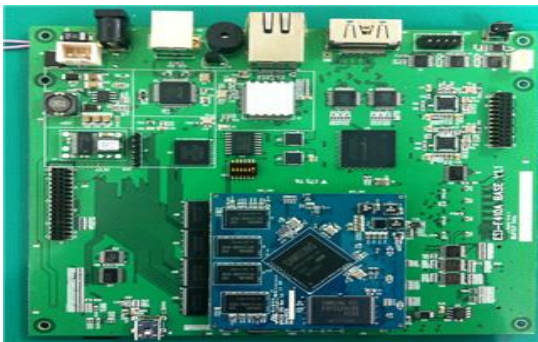


그림 4. 모바일 시스템
Fig. 4 Mobile system

4.2. 측정결과 및 고찰

4.2.1. 서브 프레임 헤더 패킷

서브-프레임 헤더 패킷의 생성에 대한 구현은 생성된 표 1의 설정 데이터와 그림 5의 출력파형의 데이터가 일치함으로써 완벽하게 구현되었음을 확인 하였다.

이 서브-프레임 헤더 패킷은 앞에서 언급한 배열구조의 메모리에 표 1과 같이 필드 데이터를 주었으며, 출력 데이터를 비교함으로써 측정하였다. 또한, 하드웨어 동작에서 FPGA의 FIFO 동작과 LVDS 출력에 대해 동작이 정상적임을 볼 수 있다.

표 1. 서브 프레임 헤더 패킷 필드 데이터
Table. 1 Sub-frame header packet field data

Field name	Type	Description & Value
Packet Length	2 bytes	0x0014
Packet Type	2 bytes	0x3BFF
Unique word	2 bytes	0x005A
Reserved	2 bytes	0x0000
Sub-frame Length	4 bytes	0x0000_0009
Protocol Version	2 bytes	0x0000
Sub-frame Count	2 bytes	0x0000
Media-frame Count	4 bytes	0x0000
CRC	2 bytes	

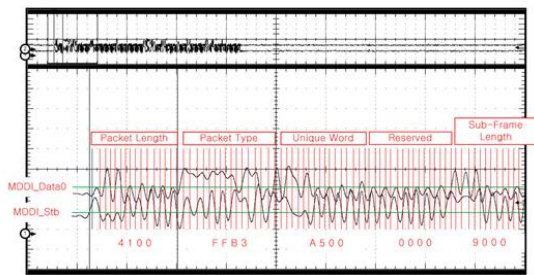


그림 5. 서브 프레임 헤더 패킷의 출력파형
Fig. 5 The output wave form of the sub-frame header packet

4.2.2. 비디오 스트림 패킷

비디오 스트림 패킷의 생성에 대한 구현은 표 2의 기본설정에 대해 정지영상을 LCD 모듈에 표시 하였다. 비디오 스트림 패킷을 생성하는데 주요한 데이터를 설정하기 위해 참조하는 스크립트의 명령 "mddi_env"의 파

라미타값은 위의 표 2와 같고, 표준에 의해 정의되어야 하는 주요한 항목에 대응하는 값들로는 Pixelmap, Videoresolx, Videoresoly, Video Format 항목들이다.

생성된 비디오 스트림 패킷의 비디오데이터 형식은 24BPP(8:8:8)이다. 이는 비디오 데이터 포맷 기술자의 픽셀 형식을 3으로 선택하는 경우에 패킷 생성부에서는 5888h로 비디오 데이터 포맷 기술자 필드에 데이터를 맞추기 때문이다.

표 2. 비디오 스트림 패킷 설정
Table. 2 Set the video stream packets

파라미터	값	설명
Mmbp	180	Clock rate = 90MHz
Subframe	1	Subframe frame length, 20Byte
Pixelmap	3	Video Data Descriptor, 24BPP(888)
Subheader	0	모든 패킷에 sub-frame header를 붙인다.
Reginfoset	0	5항의 reginfo의 사용여부, 0: 적용안함
Reginfo	0	Register access packet의 register count : 0x1
Videoresolx	319	Video stream packet resolution X value
Videoresoly	471	Video stream packet resolution Y value
Video Format	0x23	Pixel data attributes, Fixed 0x23
Imagestart	1	Image start line number

4.2.3. 링크 셧다운 패킷(Link Shutdown Packet)

링크 셧다운 패킷의 생성에 대한 실험 및 측정결과 그림 6에서 볼 수 있듯이 표준에서 정의하고 있는 패킷의 구조와 일치함을 확인하였으며, 이로서 패킷생성과 데이터 전송에 대한 설계가 잘되었음을 확인할 수 있었다.

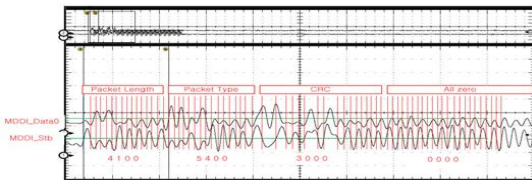


그림 6. 링크 셧다운 패킷의 출력파형
Fig. 6 Link shutdown wave form of the output packet

4.2.4. 레지스터 액세스 패킷

레지스터 액세스 패킷의 생성에 대한 구현은 표준에 의한 구조와 일치하며, 설정된 레지스터 데이터와 데이터 출력을 비교한 결과로 완벽하게 구현되었음을 확인할 수 있었다.

V. 결 론

본 논문에서는 디스플레이 장치에 필요한 MDDI 프로토콜의 패킷 생성방식에 있어 복잡하고 많은 회로가 필요한 FPGA 방식보다 패킷 확장성과 하드웨어설계를 최소화할 수 있는 소프트웨어방식으로 구현하는 것에 대해 제안하였다.

마이크로프로세서와 FPGA를 사용한 하드웨어에서 소프트웨어로 생성된 패킷은 MDDI 클라이언트 모듈이 내장된 LCD 드라이버칩과 연동하여 실험하였다.

주된 실험으로 구현된 패킷 레지스터 액세스 패킷, 비디오 스트림 패킷, 링크 셧다운 패킷, 서브 프레임 헤더 패킷 및 하이버네이션 웨이크 업을 이용하여 LCD에 영상을 표시하여 모든 패킷이 완벽하게 구현되었음을 확인하였다. 이로서 모바일 시스템의 MDDI 프로토콜 구현은 MDDI 표준에서 제안하는 여러 가지 패킷을 언제든지 소프트웨어로 구현할 수 있다는 유연한 구조와 하드웨어 비용절감의 효과를 가질 수 있게 되었다.

향후 MDDI 기반의 고속직렬데이터 전송의 ASIC 설계에 응용할 수 있으며, MDDI 드라이버 칩들은 성능을 높이기 위해 표준이 제시하는 키보드 인터페이스 또는 오디오 인터페이스 패킷들이 추가되어 출시될 것으로 전망된다. 이 칩들을 이용한 다양한 인터페이스에 대해 연구가 진행되어야 하겠다.

참고문헌

[1] Farhad Zarkenshviri, "An Overview of High-speed Serial I/O Trends, Techniques and standards" Proc. IEEE CCECE-CCGEL, pp. 1215 ~ 1220, May 2004.

- [2] Kim, Sangmok, "Implementation of High Speed Serial interface for testing LCD module by using the MDDI", May 2005
- [3] Digital Visual Interface DVI, Revision 1.0, DDWG, April 1999.
- [4] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface, 1596.3 SCI-LVDS Standard, IEEE std. 1596.3-1996, March, 1996.
- [5] Park, chang-kun, "Experimental Investigation of Differential Line Inductor for RF Circuits with Differential Structure", JICCE, Vol 9, No 1, pp.16~20, February 2011
- [6] VESA, "VESA Mobile Display Digital Interface Standard, Ver.1.2", July 2008
- [7] SAMSUNG Electronic Co., "5PC210 RISC Microprocessor Users Guide", Revision 0.20, November 2010.
- [8] ALTERA, "LVDS SERDES Transmitter / Receiver Megafuction User Guide", June 2011.
- [9] CECE62002 Chip datasheet, 2009-2011, Texas instruments Incorporated.



이병권(Byung-Kwon Lee)

2009년 한밭대학교 전자공학과 (공학사)
2012년 한밭대학교 산업대학원 (공학석사)

2012년 ~ 현재 배재대학교 컴퓨터공학과 박사과정
2003년 ~ 2007년 (주)한백전자 기술연구소
2007년 ~ 2011년 (주)엠텍 시스템사업부장
2012년 ~ 현재 새라코아 연구소 재직중
※관심분야: 모바일 시스템, 모바일 디스플레이, 웹 보안, 임베디드 플랫폼설계



정희경(Hoe-Kyung Jung)

1985년 광운대학교 컴퓨터공학과(공학사)
1987년 광운대학교 컴퓨터공학과(공학석사)

1993년 광운대학교 컴퓨터공학과(공학박사)
1994년~현재 배재대학교 컴퓨터공학과 교수
※관심분야: 멀티미디어 문서정보처리, XML, Web Services, Semantic Web, MPEG-21, Ubiquitous Computing, USN, Cloud Computing

저자소개



김종문(Jong-Moon Kim)

2008년 배재대학교 컴퓨터공학과 (공학석사)
2013년 ~ 현재 배재대학교 컴퓨터공학과 박사과정

1992년 ~ 2003년 엘컴텍시스템 대표역임
2003년 ~ 현재 (주)엘컴텍 대표이사
※관심분야: 지상파, 케이블, DMB, IPTV 디지털 멀티미디어 브로드캐스팅, 방송,통신융합