

효율적인 CPLD 저전력 알고리즘에 관한 연구

윤충모*, 김재진**

요약

본 논문은 효율적인 CPLD 저전력 알고리즘을 제안하였다.

제안한 알고리즘은 DAG를 이용한 그래프 분할 방식을 적용하였다. 주어진 회로를 DAG로 표현한 후 각각의 노드의 값을 설정하여 회로를 구현하고자 하는 CPLD의 구성 요소에 맞도록 매핑 가능 클러스터를 생성한다. 생성된 매핑 가능 클러스터의 OR 텀수와 입력 변수의, 출력 변수의 수를 고려하여 매핑 가능 클러스터의 소모 전력 값을 구한다. 생성된 매핑 가능 클러스터와 소모 전력 값을 고려하여 소모 전력이 최소가 되는 매핑 가능 클러스터를 선정하여 회로를 구현한다. 실험은 [9]와 비교하였으며, 소모 전력이 감소되어 알고리즘의 효율성이 입증되었다. 논문에서는 소모 전력을 위한 FPGA 알고리즘을 제안하였다.

키워드 : 소모전력, 저전력, CPLD, DAG

A Study of Efficient CPLD Low Power Algorithm

Choong-Mo Youn*, Jae-Jin Kim**

Abstract

In this paper a study of efficient CPLD low power algorithm is proposed.

Proposed algorithm applicate graph partition method using DAG. Circuit representation DAG. Each nodes set up cost. The feasible cluster create according to components of CPLD. Created feasible cluster generate power consumption consider the number of OR-term, the number of input and the number of output. Implement a circuit as select FC having the minimum power consumption.

Compared with experiment [9], and power consumption was decreased. The proposed algorithm is efficient. this paper, we proposed FPGA algorithm for consider the power consumption.

Keywords : power consumption, Low power, CPLD, DAG

1. 서론

최근 휴대용 전자기기의 활용과 범위가 확산되면서 저전력 회로 설계에 대한 연구가 활발히 진행되고 있다. 전력 소모의 원인 중에서 가장

큰 비중을 차지하는 동적 전력(dynamic power)으로 노드(node)의 캐패시턴스(capacitance)를 감소시키는 연구에 중점을 두고 있다.[1] 노드의 캐패시턴스를 줄이는 위해서는 노드의 스위칭 동작(switching activity)을 감소시켜야 하며 다양한 알고리즘들이 제안되고 있다.[2][3][4] CPLD(Complex Programmable Logic Device) 기술 매핑 알고리즘으로는 TMCPLD(Technology Mapping CPLD)이 있으며, 시간제약조건과 면적으로 고려한 알고리즘으로는 시간 제약 조건과 면적을 고려한 효율적인 CPLD 알고리즘이 있고 저전력을 고려한 알고리즘으로는 상관관계에 의한 CLB(Common Logic Block) 구조의 CPLD 저전력 기술 매핑 알고리즘이 있다.[5][6][8][9] 그러나 기존에 제안된 CPLD 저전

※ 교신저자(Corresponding Author): Choong-Mo Youn
접수일:2012년 12월 10일, 수정일:2013년 03월 01일
완료일:2013년 03월 16일

* 서일대학교 정보전자과 교수

Tel: +82-010-5387-7408

email: 5477choong@hanmail.net

** 강동대학교 신재생에너지과 교수

▣ 본 논문은 2012년도 서일대학교 학술연구비 지원에 의해 연구되었음.

력 알고리즘은 회로의 분할점을 출력이 가장 많은 노드를 대상으로 분할을 수행하였다. 이러한 분할 방법은 매핑 가능 클러스터의 수를 증가시킬 수 있으며 입력 변수의 수와 무관하게 진행되어 회로 전체의 스위칭 동작을 감소시키는데 비효율적이라는 단점이 있다.

따라서 본 논문에서는 기존에 제안된 CPLD 저전력 알고리즘의 단점을 보완하여 노드의 입력 변수의 수와 출력 변수의 수, OR 텀 수를 모두 고려하여 효율적인 저전력 기술 매핑 결과를 나타낼 수 있는 효율적인 알고리즘을 제안하고자 한다.

2. 관련연구

구현하고자 하는 회로의 분할을 위해서는 회로를 그래프로 표현이 가능해야 한다. 회로에 대한 그래프는 DAG(Directed Acyclic Graph) 형태를 가지며 각각의 노드는 회로를 구성하는 게이트를 의미한다. 노드 값은 노드의 연산자와 입력수, 출력수로 구성되며 식 (1)과 같이 표현된다.

$$n_cost(i) = n_i(op, input, output) \quad (1)$$

op : 노드의 연산자(AND 또는 OR)

input : 노드의 입력 수

output : 노드의 출력 수

DAG 형태인 전체 회로를 소자에 구현하기 위해서는 소자를 구성하고 있는 구성 요소의 형태에 맞추어 회로를 분할하여 매핑 할 수 있는 매핑 가능 클러스터(FC : Feasible Cluster)를 생성하여야 한다. CPLD는 CLB와 LE(Logic Element)로 구성되어 있으며 공통된 제한 사항은 OR텀 수 이다. 따라서 매핑 가능 클러스터의 값은 다음 식 (2)와 같이 표현된다.

$$FC_cost(i) = FC_i(FC_OR, FCI, FCO) \quad (2)$$

FC_OR : FC의 OR 텀 수

($FC_OR \leq$ CPLD 구성 요소의 OR 텀수)

FCI : FC의 입력 수

FCO : FC의 출력 수

매핑 가능 클러스터 대한 소모 전력은 클러스터의 OR 텀 수와 입력 변수의 수, 출력 변수의 수가 모두 영향을 주는 요소(parameter)가 된다. 따라서 매핑 가능 클러스터의 소모 전력은 식 (3)과 같이 정의하여 알고리즘에 적용한다.

$$FC_Power = FC_OR + (FCI \times FCO) \quad (3)$$

3. 저전력 알고리즘

DAG로 구성된 회로에 대해 CPLD를 구성하고 있는 구성 요소에 맞추어 회로를 분할하는 과정은 회로 구현에 있어 가장 중요한 과정이다. 저전력의 회로 구현을 위해서는 회로를 분할하여 매핑 가능 클러스터를 생성할 때 그래프의 분할을 소모 전력이 최소가 되도록 분할하여야 한다. 회로 분할의 제한 조건은 CPLD를 구성하고 있는 구성 요소의 OR 텀 수로 한다. 생성된 매핑 가능 클러스터에 대한 소모 전력은 식 (3)을 이용하여 계산되며 회로 분할을 위한 알고리즘은 (그림 1)에 나타내었다.

(그림 1) 알고리즘

```

Efficient_Low_Power_Algorithm()
begin
  for(i=0; i≠Null; i++)
  {
    if(possible FC include max_n(i) to PO)
    /* max_n(i) : 노드의 입력과 출력을 합한 값이 최대인 노드 */
    {
      if(possible include PI)
        create FC;
      els
      {
        cut n_input;
        create FC;
      }
    }
    els
    {
      if(possible include PI)
      {
        cut n_output;
      }
    }
  }

```

```

create FC;
}
els
{
    cut n_output;
    cut c_input;
    create FC;
}
}
end
    
```

(Figure 1) Algorithm

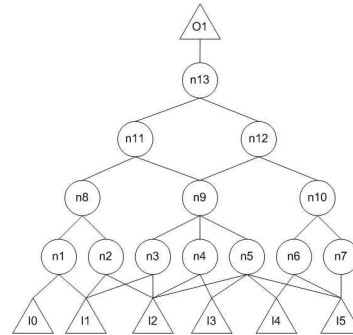
(그림 1)의 알고리즘은 우선 노드의 입력과 출력의 값을 합한 값이 가장 큰 노드를 우선 선별한다. 선별된 노드는 입력변수의 수를 고려하여 매핑가능 클러스터를 만들 수 있는 조건이 되면 매핑가능 클러스터를 생성한다. 만약 조건을 만족하지 못할 경우에는 LE에 맞도록 입력 변수를 분리하여 매핑 가능 클러스터를 생성한다. 이러한 분할은 소모 전력이 가장 큰 노드를 우선 분할하여 전체 면적을 감소시키고 소모 전력을 줄이는 방법이다.

(그림 1)의 알고리즘을 이용하여 최소의 소모 전력을 갖는 회로를 구현하는 예로 SIS의 ALU4 회로의 일부에 대한 적용 예를 (그림 2)에 나타내었다.

(그림 2)의 알고리즘 적용 예와 같은 구현에서 노드의 값이 가장 큰 n9를 포함하며 PO를 같이 포함하고 있는 경우 4로 회로를 구현한다. 식 (3)을 이용하여 계산한 각각의 매핑 가능 클러스터에 대한 소모 전력은 <표 1>과 같다. 또한 회로를 구현했을 경우의 소모 전력은 <표 2>에 나타내었다.

(그림 2) 알고리즘 적용 예

(a) DAG



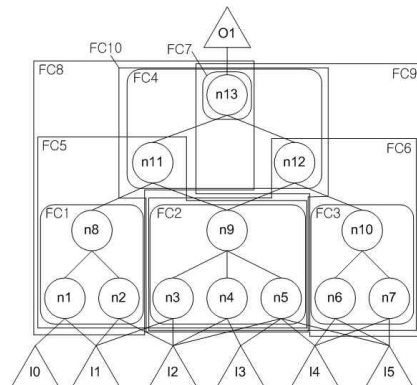
(a) DAG

(b) 노드값

- $n_cost(1) = n1(*, 2, 1)$
- $n_cost(2) = n2(*, 2, 1)$
- $n_cost(3) = n3(*, 2, 1)$
- $n_cost(4) = n4(*, 2, 1)$
- $n_cost(5) = n5(*, 4, 1)$
- $n_cost(6) = n6(*, 2, 1)$
- $n_cost(7) = n7(*, 2, 1)$
- $n_cost(8) = n8(+, 2, 1)$
- $n_cost(9) = n9(+, 3, 2)$
- $n_cost(10) = n10(+, 2, 1)$
- $n_cost(11) = n11(*, 2, 1)$
- $n_cost(12) = n12(*, 2, 1)$
- $n_cost(13) = n13(+, 2, 1)$

(b) node cost

(c) OR 텀 수가 7일 때 매핑 가능 클러스터 생성



(c) create feasible cluster with the number of OR-term is 7

(d) 구현 가능 FC들

경우 1	FC1, FC2, FC3, FC4
경우 2	FC5, FC6, FC7
경우 3	FC8, FC9, FC2
경우 4	FC1, FC3, FC10

(d) implementable FCs

(Figure 2) Example of algorithm application

<표 1> 매핑 가능 클러스터의 소모 전력

매핑 가능 클러스터	소모 전력
FC1	$2+(3 \times 1)=5$
FC2	$3+(5 \times 2)=13$
FC3	$2+(2 \times 1)=4$
FC4	$2+(3 \times 1)=5$
FC5	$6+(6 \times 1)=12$
FC6	$6+(5 \times 1)=11$
FC7	$2+(2 \times 1)=4$
FC8	$3+(3 \times 1)=6$
FC9	$3+(2 \times 1)=5$
FC10	$6+(5 \times 1)=11$

<Table 1> Power consumption of feasible cluster

<표 2> 회로의 소모 전력

경우	소모 전력
1	$5+13+4+5=27$
2	$12+11+4=27$
3	$6+5+13=24$
4	$5+4+11=20$

<Table 2> Power consumption of circuit

4. 실험결과

본 논문에서 제안한 알고리즘을 SIS에서 제공되는 MCNC 벤치마크 회로들을 대상으로 실시하였다.[7] 대상 회로는 제안한 알고리즘의 우수

성을 비교하기 위해 [9]의 알고리즘과 동일한 회로를 대상으로 동일한 조건으로 실험하였으며, Xilinx를 이용하여 소모 전력을 분석하여 비교하였다. 비교 결과는 <표 3>에 나타내었다. 소모 전력은 mW이며, 비교 결과 약 3.7% 소모 전력이 감소된 결과를 나타내었다.

<표 3> OR 텀수가 5일 경우의 결과 비교

	[9]		본 논문	
	FC	power	FC	power
alu2	57	5.2	58	5.1
alu4	189	23.6	175	22.8
dalu	488	27.6	452	26.3
ex5p	134	12.2	136	12.1
duke2	71	7.3	71	7.1
t481	94	21.8	93	21.5
cps	135	26.5	132	25.8
apex4	129	30.5	130	29.9
misex3	142	30.7	135	27.6
psdes	127	28.4	112	27.1
sort	101	22.1	107	21.9
Total	1667	235.9	1,601	227.2

<Table 3> Comparison result assuming number of OR-terms is 5

5. 결론

본 논문은 효율적인 CPLD 저전력 알고리즘을 제안하였다.

제안한 알고리즘은 주어진 회로를 DAG로 표현한 후 각각의 노드의 값을 설정하여 회로를 구현하고자 하는 CPLD의 구성 요소에 맞도록 매핑 가능 클러스터를 생성한다. 생성된 매핑 가능 클러스터의 OR 텀수와 입력 변수의, 출력 변수의 수를 고려하여 매핑 가능 클러스터의 소모 전력 값을 구한다. 생성된 매핑 가능 클러스터와 소모 전력 값을 고려하여 소모 전력이 최소가 되는 매핑 가능 클러스터를 선정하여 회로를 구

현한다. 실험은 [9]에서 제안한 알고리즘과 비교하였다. 비교 결과 [9]에 비해 소모 전력이 감소되어 알고리즘의 효율성이 입증되었다.

References

[1] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp.242-247, June 1995.

[2] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", Journal of Solid State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.

[3] S. ErColani, M. Favalli, M. Damiani, P. Olivo, B. Ricco, "Testability measures in pseudorandom testing", IEEE Trans. Computer-Aided Design., vol. 11, pp. 794-800, 1992, June

[4] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems, Vol. 13, No. 1, January 1994, pp. 1-11

[5] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs", Design Automation Conference, 1998, pp. 698-703

[6] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.

[7] E. M. Sentovice, K. J. Singh, L. Lavagno, C. Moon, R. Murgai, A. Saldanha, H. Savoj,. P. R. Stephan, R. K. Brayton, A. Sangiovanni-Vincentelli, "SIS : A system for sequential Circuit Synthesis", Technical Report UCM/ERL M92/41, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992

[8] Kim. Jae Jin, Lee. Kwan Houng, "An Efficient CPLD Technology Mapping considering Area and the Time Constraint", Journal of The Korea Socirty of Comp

uter and Information, Vol. 10, No. 3, pp. 11-18, 2005

[9] Kim. Jae Jin, Lee. Kwan Houng, "CLB-Based CPLD Low Power Technology Mapping Algorithm for Trade-off", Journal of The Korea Socirty of Computer and Information, Vol. 10, No. 2, pp. 49-57, 2005

[10] Choong-Mo Youn, Jae-Jin Kim " A Study of FPGA Algorithm for consider the Power Consumption", Journal of Digital Contents Society Vol. 13 No. 1 pp. 37-41, Mar. 2012

윤 충 모



1990년 : 단국대학교 대학원 (공학 석사)
 2000년 : 청주대학교 대학원 (공학 박사)

1993년~현 재: 서일대학교 정보전자과 교수
 관심분야 : CAD 알고리즘, 정보보안, 저전력 등

김 재 진



1995년 : 청주대학교 대학원 (공학 석사)
 2003년 : 청주대학교 대학원 (공학 박사)

2001년~현 재: 강동대학교 신재생에너지과 교수
 관심분야 : CAD 알고리즘, 정보보안, 저전력 등