

논문 2012-50-5-15

# RFIC 설계에 응용 가능한 90nm 공정 기반 인덕터의 Quality factor 및 Effective inductance 분석

( Analysis of Quality factor and Effective inductance of Inductor for RF Integrated Circuits in 90nm CMOS Technology )

장 성 용\*, 신 종 관\*, 권 혁 민\*, 권 성 규\*, 성 승 용\*,  
황 선 만\*, 장 재 형\*, 이 가 원\*\*, 이 희 덕\*\*

( Seong-Yong Jang<sup>Ⓢ</sup>, Jong-Kwan Shin, Hyuk-Min Kwon, Sung-Kyu Kwon,  
Seung-Yong Sung, Sun-Man Hwang, Jae-Hyung Jang, Ga-Won Lee and Hi-Deok Lee )

## 요 약

본 논문에서는 RFIC 설계에 응용 가능한 인덕터의 Quality factor 및 Effective inductance를 비교 분석하기 위해 Octagonal 인덕터를 90nm CMOS 공정을 이용하여 제작하였다. 내부반경을 설계변수로 갖는 인덕터의 경우 내부반경이 증가함에 따라 Quality factor가 감소하고 Effective inductance의 값이 증가하였다. 회전수를 설계변수로 갖는 인덕터의 경우 금속의 회전수가 증가함에 따라 Quality factor의 값이 감소하고 Effective inductance의 값이 증가하는 것을 확인하였다. 따라서 RFIC 회로 설계에 있어서 인덕터의 구조는 Q-factor 및 inductance 각각의 상대적 중요도에 따라 선택 되어져야 된다고 할 수 있다.

## Abstract

In this paper, octagonal inductors for RFIC designs was fabricated with 90nm CMOS Technology to compare its quality factor and the effective inductance as functions of radius and number of turn. The quality factor decreases as the inner radius and the number of metal turned increase. However, the effective inductance increases with the increasing the inner radius and the number of metal turned. Therefore, the inductor structure should be decided according to the relative importance of Q-factor and inductance.

**Keywords** : Octagonal Inductor, Quality factor, Effective inductance, RF IC, 90nm CMOS.

## I. 서 론

최근 CMOS 기술이 급격히 진보됨에 따라, CMOS 응용분야는 GHz 주파수 대역의 RF 영역까지 그 범위가 확대 되었다. 이에 따라 많은 RF device가 고집적화된 스마트폰, Tablet PC 등의 휴대용 통신 시스템에 사용이 되고 있으며, 동시에 저가격과 낮은 공급 전압, 낮은 전력 소모, 저잡음, 높은 주파수 동작 특성 등을

\* 학생회원, \*\* 정회원, 충남대학교 전자공학과  
(Dept. of Electronics Engineering, Chungnam National University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(10041855, e-NVM 내장형 아날로그 혼성신호기반의 융복합 공정기술 및 IP 개발)과 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 결과임

Ⓢ Corresponding Author(E-mail:jsy87@cnu.ac.kr)

접수일자: 2012년2월15일, 수정완료일: 2013년4월25일

요구하고 있다. 따라서 저잡음, 저가격 그리고 고집적 등의 장점을 갖는 RF CMOS 기술은 RF 집적회로 설계의 필수 요소라고 할 수 있다. 이러한 회로에서의 수동 소자의 역할은 RF 집적 회로를 설계하는데 성능을 좌우하는 중요한 역할을 하기 때문에, 수동 소자의 RF 특성 분석은 중요하다고 할 수 있다<sup>[1~3]</sup>. 특히 고주파에서 큰 임피던스를 갖는 소자는 인덕터 밖에 없으므로 인덕터는 RF 집적회로 설계에서 필수적이다. 이러한 인덕터는 RF 집적회로를 구성하는데 있어서 전체 회로를 구성하는 면적의 50%를 상회할 만큼 그 비중이 크고, VCO(Voltage Controlled Oscillator) 설계에 사용 되는 인덕터의 Q-factor (Quality factor)는 VCO의 출력전력과 위상 잡음 성능을 결정하는데 중요한 역할을 한다. 또한 LNA(Low Noise Amplifier)를 구성하는 인덕터의 경우 Q-factor는 인덕터의 NF(Noise Figure)와 더불어 회로의 성능을 결정하는 중요한 요소가 된다<sup>[4]</sup>. 따라서 RF 인덕터의 성능 주요 항목인 Effective inductance, Q-factor, resonance frequency 및 면적은 RFIC 설계에 있어서 필수적으로 요구 되는 중요한 값이라 할 수 있으며, 특히 RF CMOS 집적회로를 구현하기 위해서는, 실리콘 기판에서 10 이상의 높은 Q값의 인덕터 개발이 필요하다. 하지만 실리콘 기판은 전도도가 높고 따라서 기판손실이 크기 때문에 RF 영역에서 주파수 특성이 저하되는 문제를 갖고 있다.

본 논문에서는 90nm CMOS 공정을 이용하여 Octagonal 구조를 갖는 인덕터를 제작하고, 내부반경(R)과 회전수(N)에 따른 인덕터의 Q-factor와 Effective inductance의 변화를 비교 분석하고자 한다.

## II. 소자 제작 및 측정 방법

제작한 Octagonal 인덕터의 물리적 설계변수는 표 1과 같다. 선폭(W) 9 $\mu$ m, 선간격(S) 3 $\mu$ m를 갖는 인덕터에 대하여 회전수(N)와 내부반경(R)에 따른 각각의

표 1. 인덕터 설계 변수

Table 1. Design parameters of octagonal Inductor.

구분	선폭(W)	선간격(S)	회전수(N)	내부반경(R)
1	9 $\mu$ m	3 $\mu$ m	5.5	33 $\mu$ m
2	9 $\mu$ m	3 $\mu$ m	5.5	63 $\mu$ m
3	9 $\mu$ m	3 $\mu$ m	1.5	93 $\mu$ m
4	9 $\mu$ m	3 $\mu$ m	3.5	93 $\mu$ m
5	9 $\mu$ m	3 $\mu$ m	5.5	93 $\mu$ m

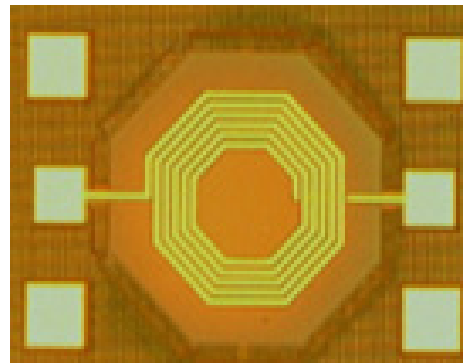


그림 1. 제작된 인덕터의 현미경 사진(W=9 $\mu$ m, N=5.5)  
Fig. 1. Microphotograph of fabricated inductor. (W=9 $\mu$ m, N=5.5)

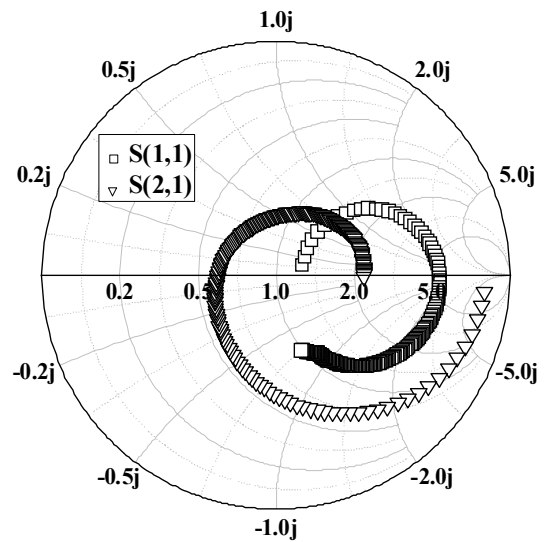


그림 2. 100MHz부터 20GHz 주파수 범위까지 측정된 S-parameter의 Smith chart.

Fig. 2. Smith chart of S-parameters measured from 100MHz to 20GHz.

Q-factor와 Effective inductance를 비교하기 위해 표 1과 같은 설계변수로 split을 하였다. 이때 인덕터의 크기는 내부반경에 대한 선폭 및 선 간격 그리고 회전수에 의해 결정이 된다. 추가적으로 de-embedding 방법을 적용하여 인덕터 고유의 정확한 측정값을 추출하기 위해 open, short 패턴을 제작하였다.

Octagonal 인덕터의 S-parameter를 추출하기 위해서 G-S-G 프로브를 이용하여 그림 2와 같이 2 포트 S-parameter를 측정하였다. 측정 주파수는 100MHz에서 20GHz이다. 정확한 측정을 위해 SOLT (Short, Open, Load, Through)의 Calibration을 수행하였다. Pad Pattern에 의한 기생성분을 제거하고 인덕터 고유의

S-Parameter를 추출하기 위해 Open, Short Pattern으로부터 측정된 S-Parameter 성분을 이용하여 de-embedding 기법을 적용하였다<sup>[5-7]</sup>.

### III. 결과 및 고찰

인덕터의 Q-factor는 측정된 2-포트 S-parameter로부터 변환시킨 Y-parameter의 포트1의 입력 임피던스 값의 허수 성분과 실수 성분의 비로 수식 (1)과 같이 나타내었으며<sup>[8]</sup>, Effective inductance는 수식 (2)와 같이 표현할 수 있다.

$$Q = -\frac{Im(Y_{11})}{Re(Y_{11})} \tag{1}$$

$$L_{eff} = \frac{1}{2\pi \times freq \times Im(Y_{11})} \tag{2}$$

그림 3은 9 $\mu$ m의 선 폭(W)과 5.5의 금속선 회전수(N)를 갖는 인덕터의 내부반경(R)을 33 $\mu$ m에서 93 $\mu$ m로 증가시키면서 주파수에 따른 Effective inductance를 나타낸 것이다.

그림 3으로부터 인덕터의 내부 반경이 33 $\mu$ m에서 63 $\mu$ m, 93 $\mu$ m로 증가함에 따라 Effective inductance의 initial 값이 각각 4.3nH, 7.8nH, 12.3nH로 약 2배, 3배로 증가하는 것을 확인할 수 있다. 또한 수식 (3)의 관계에서 확인할 수 있듯이 인덕터의 내부반경(R)이 증가함에 따라 공진주파수가 8GHz, 4.7GHz, 3.4GHz로 감소하는 것을 확인하였다.

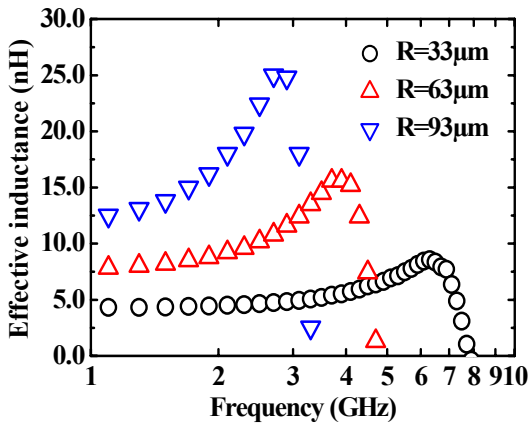


그림 3. 내부반경에 따른 Effective inductance 비교 (N=5.5)  
Fig. 3. Comparison of Effective inductance for various inner radius of inductor(N=5.5).

$$\omega_o = \frac{1}{\sqrt{LC}} \tag{3}$$

그림 4는 인덕터의 내부반경(R)에 따른 Q-factor를 나타낸 것이다. 여기서 특징적인 것은 내부 반경 증가에 따라 Inductance는 그림 3과 같이 증가하였지만, Q-factor의 값은 각각 10.6, 9.3, 7.8로 감소한다는 것이다. 이는 인덕터의 반경이 증가함에 따라 Inductance의 증가보다 직렬 저항 성분의 증가 및 기판으로 인한 손실이 더 커지기 때문으로 판단된다<sup>[9]</sup>. 내부반경(R)이 93 $\mu$ m인 인덕터에 대해 회전수에 따른 Effective inductance 및 Q-factor를 비교한 결과는 그림 5 및 그림 6과 같다.

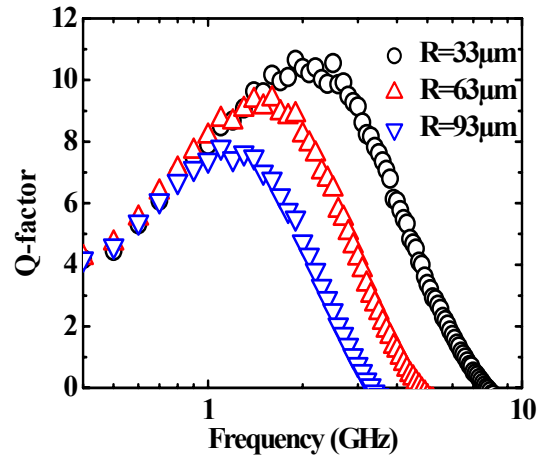


그림 4. 내부반경에 따른 Q-factor 비교 (N=5.5)  
Fig. 4. Comparison of Q-factor for various inner radius of inductor(N=5.5).

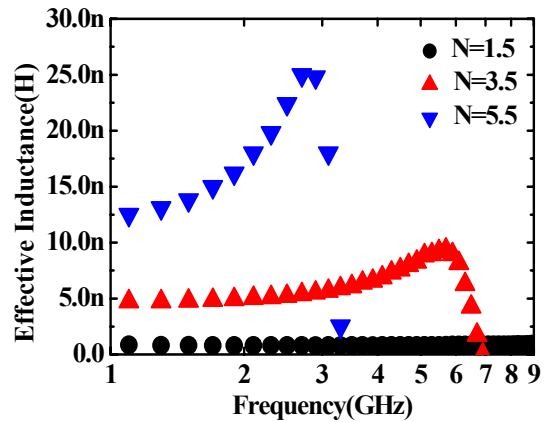


그림 5. 회전수에 따른 Effective inductance 비교 (R=93 $\mu$ m)  
Fig. 5. Comparison of effective inductance for various turn number of inductor(R=93 $\mu$ m).

Effective inductance는 그림 5와 같이 회전수가 1.5에서 3.5와 5.5로 증가함에 따라 0.8nH, 4.6nH, 12nH로 매우 크게 증가하였고, 공진주파수는 감소하는 경향을 보였다. 하지만 Q-factor는 Inductance의 큰 증가에도 불구하고 그림 6과 같이 회전수가 증가함에 따라서 각각 16.9, 8.4, 7.8로 감소하는 것을 확인하였다. 이 역시 Inductor의 저항 성분과 기판의 영향이 증가한 것으로 예상된다.

그림 7은 내부 반경 및 회전수를 변수로 설계한 인덕터의 Maximum Q-factor의 값과 Maximum Q-factor의 값을 갖는 주파수에서의 Effective inductance 값의 경향성을 비교한 것이다. 주목할 만한 것은 인덕터의

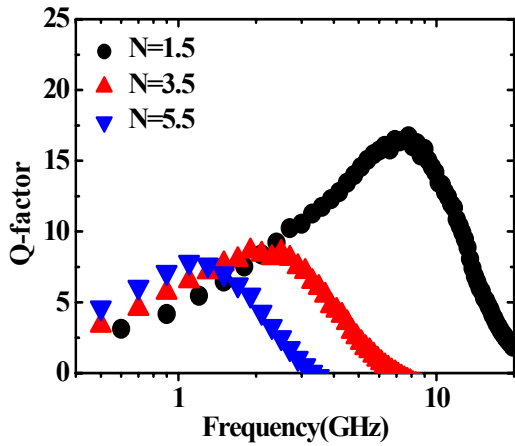


그림 6. 회전수에 따른 Q-factor 비교 (R=93µm)  
Fig. 6. Comparison of Q-factor for various inner radius of inductor (R=93µm).

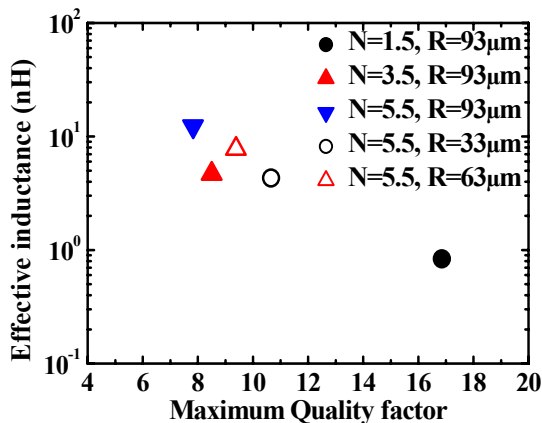


그림 7. Maximum Q-factor를 갖는 주파수에서 Maximum Q-factor와 Effective inductance 비교  
Fig. 7. Effective inductance versus maximum Q-factor. The effective inductance is extracted at the frequency of the maximum Q-factor point.

Maximum Q-factor의 값이 Effective inductance의 Log scale에 반비례 한다는 것이다. 이는 Inductor의 내부 반경(R)과 회전수(N)로 결정되는 인덕터 소자의 전체 면적이 증가함에 따라 Effective inductance가 증가하고 저항도 증가하지만, 면적대비 증가하는 인덕터의 직렬 저항 성분 외에 기판 손실도 증가하여 Q-factor가 감소하기 때문이라고 할 수 있다.

#### IV. 결 론

본 논문에서는 octagonal 형태의 인덕터를 90nm CMOS 공정을 이용하여 제작하였다. 선폭 9µm에 대해 회전수(N) 5.5를 갖으며 내부반경(R)이 각각 33µm, 63µm, 93µm인 인덕터와 선폭 9µm에 대해 내부반경(R) 93µm를 갖으며 회전수(N)가 각각 1.5, 3.5, 5.5인 Split된 인덕터의 Q-factor와 Effective inductance를 추출 및 비교 분석하였다. 내부반경(R) 및 회전수(N)가 증가함에 따라서 Inductance가 증가하였지만 Q-factor는 오히려 감소하였다. 이는 Inductance 증가에 비례하여 직렬 저항 성분도 증가하지만, 추가적으로 기판 손실로 인한 영향이 커지기 때문이라고 여겨진다. 따라서 Quality factor 및 Effective inductance에 대한 인덕터의 성능 분석은 RFIC 설계에 필수적이라 할 수 있다.

#### 참 고 문 헌

- [1] A. M. Niknejad, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's", IEEE Journal of Solid State Circuits, vol. 33, no. 10, pp. 1470-1481, Oct 1998.
- [2] C. Patrick, S. Simon Wong, "Physical Modeling of Spiral Inductors on Silicon", IEEE Transactions on Electron Devices, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [3] 김성균, 안성준, 김병성, "0.13µm RF CMOS 공정용 스케일러블 인덕터 모델링", 전자공학회 논문지 제46권 TC편 제1호, pp.94-101, 2009년, 1월.
- [4] H. W. Chiu, Y. S. Lin, K. Liu and S. S. Lu, "Temperature and Substrate Effects in Monolithic RF Inductors on Silicon With 6µm-Thick Top Metal for RFIC Applications," IEEE Transactions on Semiconductor Manufacturing, Vol. 19, no. 3, pp. 316-330, Aug. 2006.
- [5] 차준영, 차지용, 이성현, "On-Wafer 패드 및 금속 배선의 De-embedding이 RF 트랜지스터 특성에 미치는 영향", RF 집적회로 기술 워크샵, 제 8회,

pp.417, 2008.

- [6] T. E. Kolding, "A four-step method for de-embedding gigahertz on-wafer CMOS measurements", *IEEE Transactions on Electron Devices*, vol. 47, no. 4, pp. 734-740, Apr. 2000.
- [7] M.C.A.M. Koolen, J.A.M. Geelen, and M.P.J.G. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization", in *Proc. IEEE Bipolar Circuits and Technology Meeting*, pp. 188-191 Sept. 1991.
- [8] Y. Cao, R. A. Groves, X. Huang, N. D. amdmer, J. O. Plouchart, R A Wachnik, T J King, Chenming Hu, "Frequency Independent Equivalent Circuit Model for On-Chip Spiral Inductors", *IEEE Journal of Solid State Circuits*, Vol. 38, no. 3, pp. 419-426, Mar. 2003.
- [9] N. Burghartz, D. Edelstein, M. Soyuer, "RF Circuit Design Aspects of Spiral Inductors on Silicon", *IEEE Journal of Solid State Circuits*, vol. 33, no. 12, pp. 2028-2034, Dec. 1998.

저 자 소 개



장 성 용(학생회원)  
2013년 충남대학교  
전자공학과 학사 졸업.  
2013년~현재 충남대학교  
전자공학과 석사과정  
<주관심분야 : RF 소자 모델링,  
아날로그 반도체 소자 특성>



장 재 형(학생회원)  
2011년 충남대학교  
전자공학과 학사 졸업.  
2011년~현재 충남대학교  
전자공학과 석사과정  
<주관심분야 : CMOS 소자, 아날  
로그 반도체 소자 정합 특성>



신 종 관(학생회원)  
2012년 충남대학교  
전자공학과 학사 졸업.  
2012년~현재 충남대학교  
전자공학과 석사과정  
<주관심분야 : RF 소자 모델링,  
아날로그 반도체 소자 특성>



권 혁 민(학생회원)  
2007년 충남대학교  
전자공학과 학사 졸업.  
2009년 충남대학교  
전자공학과 석사 졸업.  
2009년~현재 충남대학교  
전자공학과 박사 과정  
<주관심분야 : CMOS 소자, 아날로그 반도체 소  
자, MOSFET의 신뢰성, RF CMOS 소자>



성 승 용(학생회원)  
2012년 충남대학교  
전자공학과 학사 졸업.  
2012년~현재 충남대학교  
전자공학과 석사과정  
<주관심분야 : MOSFET 소자  
신뢰성, 아날로그 반도체 소자  
특성>



이 가 원(정회원)  
1999년 한국과학기술원 전기 및  
전자공학과 박사 졸업  
1999년~2005년 LG반도체 및  
하이닉스반도체 책임연구원  
2005년~현재 충남대학교  
전자공학과 교수  
<주관심분야: 다결정 실리콘 반도체 소자, 신뢰성,  
DRAM 소자 설계, 반도체 소자 평가 기술 등>



황 선 만(학생회원)  
2012년 충남대학교  
전자공학과 학사 졸업.  
2012년~현재 충남대학교  
전자공학과 석사과정  
<주관심분야 : CMOS 소자, 아날  
로그 반도체 소자 정합 특성>



이 희 덕(정회원)  
1996년 한국과학기술원 전기 및  
전자공학과 박사 졸업  
1993년~2001년 LG반도체 및  
하이닉스반도체 책임연구원  
2001년~현재 충남대학교  
전자공학과 교수  
<주관심분야: Analog 소자 개발, 저주파 노이즈  
분석, 차세대 Silicide/Germanide 기술 및 차세대  
나노소자 개발, 반도체 소자의 TEG 설계 및 분  
석, 신뢰성 분석 및 RF 소자 Modeling 등>



권 성 규(학생회원)  
2011년 충남대학교  
전자공학과 학사 졸업.  
2013년 충남대학교  
전자공학과 석사 졸업.  
2013년 현재 충남대학교  
전자공학과 박사 과정  
<주관심분야 : CMOS 소자, 아날로그 반도체 소  
자, 저주파 노이즈 특성>