

논문 2012-50-4-28

멀티 레벨 낸드 플래시 메모리에서 주변 셀 상태에 따른 데이터 유지 특성에 대한 연구

(Study of Data Retention Characteristics with surrounding cell's state
in a MLC NAND Flash Memory)

최 득 성*, 최 성 운*, 박 성 계**

(Deuk-Sung Choi, Sung-Un Choi, and Sung-Kye Park)

요 약

멀티 레벨 낸드 플래시 메모리에서 주위 셀의 문턱 전압상태에 따른 데이터 유지 특성을 연구하였다. 열을 가해 셀의 데이터 보전특성을 관장하는 열적 열하 특성에서 주목하는 셀의 문턱 전압이 변화하는데 문턱전압의 변화는 선택된 셀 주위에 있는 셀들이 가장 낮은 문턱 전압 상태로 있는 셀들의 수가 많을수록 커진다. 그 이유는 전하의 손실이 이루어지는 낸드 플래시 셀의 본질적인 특성 뿐 아니라, 주위 셀 사이의 측면 전계 때문이다. 전계에 대한 모사 결과로부터 전계의 증가 현상을 발견할 수 있고, 이로 인한 전하의 손실이 소자 스케일 다운에 따라 더 증가함을 알 수 있다.

Abstract

The data retention characteristics depending on neighbor cell's threshold voltage (V_t) in a multilevel NAND flash memory is studied. It is found that a V_t shift (ΔV_t) of the noted cell during a thermal retention test is increased as the number of erase-state (lowest V_t state) cells surrounding the noted cell increases. It is because a charge loss from a floating gate is originated from not only intrinsic mechanism but also lateral electric field between the neighboring cells. From the electric field simulation, we can find that the electric field is increased and it results in the increased charge loss as the device is scaled down.

Keywords : Multi-level Cell NAND Flash (MLC NAND FLASH), Retention Characteristics, Bake Test, Neighboring Cell State, Lateral Electric Field Effect

I. 서 론

최근에 플로팅 게이트 구조를 갖는 낸드 플래시 메모리 셀은 매우 빠르게 고집적화를 위해 스케일 다운되고 있고, 매년 메모리 용량이 거의 두 배가 되는 경향이

있다. 그러나 이러한 기술 발전을 이루기 위해서는 메모리 셀의 문턱 전압이 매우 정확하게 조정되어야 할 뿐 아니라 문턱 전압 분포 또한 안정적 모습을 보여야 한다. 상기 문턱전압의 소자 설계 요구 조건을 저해하는 요소들이 여러 가지 있는데. 예를 들면 셀과 셀 사이의 간섭 효과에^[1~2] 의한 문턱 전압 상승 문제와 잠음 효과에^[3~6] 의한 문턱 전압의 분포가 넓어지는 문제가 있는데, 신뢰성 있는 낸드 플래시를 만들기 위해서는 주의 깊게 생각해야 한다. 셀과 셀사이의 간섭 현상은 개개의 셀 구조 설계 뿐 아니라 셀 어레이 배치와도 연관되는 문제이다. 플로팅 게이트의 높이, 컨트롤 게이트

* 정회원, 영남이공대학교 전자정보계열
(Dept. of Electronic & Information Engineering, YNC)

** 정회원, SK하이닉스(주) 연구소
(Memory R&D Divison, SK Hynix)

접수일자: 2013년2월4일, 수정완료일: 2013년3월18일

와 플로팅 게이트의 오버랩, 그리고 워드라인의 어레이 간격, 비트라인 방향이 모두 셀의 용량성 커플링 효과를 결정짓는 중요한 변수들이다. 이러한 문제들을 억제하기 위한 방안으로 많은 연구들이 진행되어 왔는데 플로팅 게이트의 물리적 높이를 줄이거나 게이트를 둘러싼 절연체로 매우 낮은 유전상수를 갖는 물질을 사용하여^[7] 셀과 셀 사이의 간섭문제를 해결하기도 하고, 적절한 설계 아키텍처와 프로그램 순서를 채택함으로써^[8] 잡음 문제를 해결하기도 한다.

위 문제와 별개로 낸드 플래시 메모리의 신뢰성 주제 또한 매우 중요한 문제이다. 삭제와 쓰기 반복 스트레스 (Erase/Write Cycling) 테스트를 진행하면 낸드 플래시의 셀 문턱 전압은 통상적으로 변화가 생기는데 문턱 전압의 분포 특성을 나쁜 방향으로 열화 시킨다. 일반적으로 멀티 레벨 낸드 플래시에 삭제/쓰기 반복과 열적 스트레스 (Thermal Stressing)를 인가하면 셀의 문턱 전압 분포는 초기 설계 보다 넓어져 각 레벨별 구분되어야 할 특성이 사라지게 되어 오동작을 일으킬 수 있다. 열화 특성은 가장 높은 레벨의 문턱 전압이 가장 큰 변화를 보이며 열화 특성이 커지는 데 이는 터널 산화막과 절연 산화막에서 낮은 전계를 유지하기 위하여 더 많은 전하를 잃어버리기 때문이다^[9]. 우리의 연구 결과에서^[10] 삭제/쓰기 스트레스 인가 시 가장 낮은 레벨의 문턱 전압 변화가 가장 큰 모습을 보인 결과를 보였는데, 도출된 연구 결과에 의하면 이는 셀 접합 지역의 터널 산화막에 트랩되어 있는 전하의 영향과 읽으려는 셀과 해당 셀 주변의 셀 사이의 교차 결합(cross coupling) 효과 때문이다.

최근에 우리는 낸드 플래시 메모리에 열적 스트레스를 (Thermal Stressing) 인가하였을 때 측정하려고 하는 셀 주위에 있는 낸드 플래시 셀의 상태에 따라, 즉 측정 패턴에 강한 의존성을 보이며 측정하려는 셀의 문턱 전압 이동이 심각하게 변화하는 현상을 발견했다. 이러한 현상은 스케일 다운이 될수록 더욱 심화되는 현상이 있다.

본 연구의 목적은 낸드 플래시에서 측정 패턴에 따른 문턱 전압이 이동되는 현상에 대한 근본적인 원인을 규명하는 것이다. 실험적으로 여러 기술에 대한 다양한 패턴을 평가하고 결과를 도출한다. 이러한 결과들은 TCAD 시뮬레이션을 통해 설명될 것이다.

II. 실험적인 결과와 토의

본 연구에서는 낸드 플래시 26 nm 기술을 적용하여 제조된 제품에 대해 열적 열화 특성을 평가 진행하였다. 공정의 전반적인 흐름은 보편적인 CMOS 공정을 적용하였다. 적용한 주요 기술들은 다음과 같다. Triple Well 공정을 사용하였고, 소자 분리 기술로는 자기 정렬 얇은 트랜치 분리 (Self-Align shallow Trench Isolation) 기술을 이용하였다. 또한 보통의 터널 산화막을 적용하였고, 게이트와 플로팅 게이트 사이의 인터폴리 유전체 (Inter-poly Dielectric)으로는 산화막/질화막/산화막 구조인 ONO를 채택하였다. 게이트 구조는 전반적으로 보편적인 게이트 모듈 공정을 사용하여 구현하였다.

1. 열적 스트레스 인가시 여러 가지 패턴에 따른 데이터 보전 특성

그림 1은 여러 가지 체크 보드 패턴 (Check-board pattern)을 사용하여 열적 스트레스를 소자에 인가하였을 때의 문턱 전압 변화 추이를 나타낸 것이다.

열적 스트레스 조건은 온도 250 °C, 시간은 50시간까지 주고 1시간과 50시간 때 각각 소자 문턱 전압을 측정하였다. 또한 선택된 셀 주위의 셀들의 상태에 따른 주위 셀의 영향을 살펴보기 위하여 다양한 체크 보드

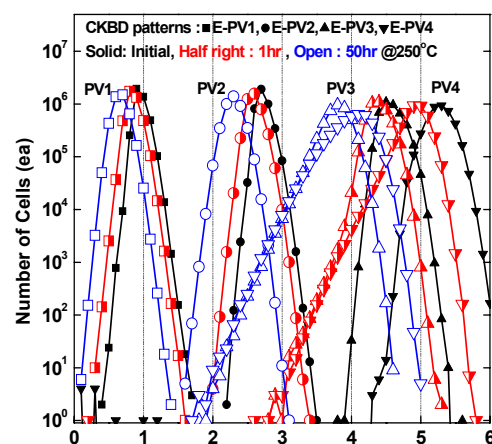


그림 1. 여러 가지 체크 보드 패턴을 사용하여 열적 열화 스트레스 인가시 셀의 시간적 데이터 보전 특성

Fig. 1. Data retention characteristics vs Time of thermal stress using the several check-board patterns (CKBD)

패턴 (Check-board pattern)을 사용하여 특성을 측정하였다. 체크 보드 패턴은 체크 무늬 형태로 하나의 셀 주위의 모든 셀들이 다른 문턱 전압을 갖는 형태의 패턴을 말한다. PV1, PV2, PV3는 각각 멀티 레벨 낸드 플래쉬에서 중앙값이 각각 다른 문턱 전압의 상태를 지칭한다. Erase (가장 낮은 문턱 전압) 상태를 포함하면 하나의 셀에 4개의 상태를 저장할 수 있다. PV4는 테스트를 위해 PV3에서 문턱 전압을 약간 더 올려준 상태이다. 그림 1에서 체크 보드 패턴에 E-PV1, E-PV2, E-PV3, E-PV4 패턴은 Erase와 각각의 문턱 전압을 체크 보드 패턴으로 셀을 쓴 것을 말한다. 예를 들면 E-PV1는 하나의 셀에 Erase를 쓰고 주변 모든 셀에 PV1의 문턱 전압을 쓴 것을 말하고 이를 전 셀에 반복적인 패턴으로 사용한 것이다. 나머지 패턴들도 Erase와 각 상태의 문턱 전압으로 체크 보드 패턴을 구성한 것이다.

그림 1을 살펴보면, 스트레스를 받지 않은 초기 시제품의 문턱 전압이 스트레스 시간이 증가함에 따라 더 넓은 문턱 전압 산포를 가짐을 알 수 있다. 스트레스에 민감한 셀들의 문턱 전압 특성이 열화 되면서 전체적인 산포가 넓어지는 것이다. 주목 할 점은 문턱 전압의 산포가 체크 보드 패턴의 종류에 따라 다른 양상을 보인다는 사실이다. 즉 E-PV1 < E-PV2 < E-PV3 < E-PV4 순으로 산포가 커짐을 알 수 있다. 또한 열화가 진행 된 이후에 PV1과 PV2의 문턱 전압 산포는 중첩되지 않아 각 상태를 구분할 수 있으나, PV3와 PV4의 문턱 전압 산포는 넓게 산포 하며 PV2까지 중첩되어 각 상태를 구분 할 수 없어 오동작의 원인을 제공할 수 있다. 특히 50시간의 스트레스 뿐 아니라 1시간의 스트레스에도 크게 열화되는 특징이 있다.

E-PV3, E-PV4의 체크 보드 패턴과 E-PV1, E-PV2 체크 보드의 가장 큰 차이점은 주변 cell과 선택 cell 사이의 전압 차이가 전자가 후자보다 크다는 것이다. 즉 트랜지스터가 위치해 있는 Si 표면의 수평적 전계 (lateral field)의 차이이며 임계 전계에 도달하면 열적 스트레스에 의한 문턱 전압의 변화가 급격히 발생한다. 임계 전계의 크기는 소자의 스케일 다운 (scale down)이 될수록 더욱 작아지는 경향이 있다.

그림 2는 열적 열화를 소자에 인가하였을 때 문턱 전압이 이동되는 크기를 낸드 플래쉬 기술에 따라 도식화 한 것이다. 조건은 Erase-PV3 상태의 체크 보드

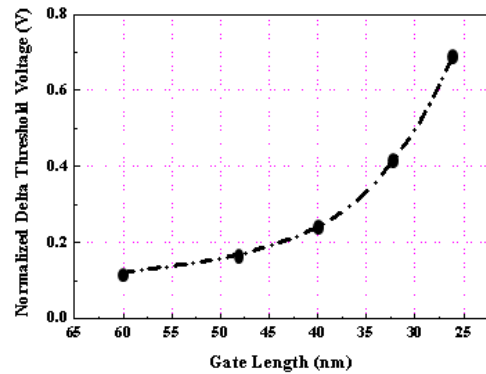


그림 2. 낸드 플래쉬 기술에 따른 데이터 보존특성 (Erase-PV3 체크 보드 패턴(Check board pattern)을 사용함
델타 문턱 전압 : 초기 문턱 전압과 스트레스 후 변화한 문턱 전압의 차)

Fig. 2. Data Retention Characteristics vs NAND Flash Technology.
(using the Erase-PV3 Check board pattern
delta threshold voltage : the difference of threshold voltage between virgin and stressed sample)

패턴을 사용하였고, 델타 (Δ) 문턱 전압의 정의는 스트레스 인가 전 분포의 끝에 있는 셀의 문턱 전압과 스트레스 인가 후 분포의 끝에 있는 셀의 문턱 전압차를 의미한다.

낸드 플래쉬 기술이 발전하여 스케일 다운할수록 게이트 길이는 작아지고 전체적으로 소자는 스케일 다운되어야 하는데, 그림 2에서 관찰 되듯이 기술 노드 (Technology node)가 작아질수록 열적 열화 특성 전후의 문턱 전압이 급격하게 변화하여 신뢰성 있는 제품 제조에 어려움을 더해주고 있다. 이러한 문제점을 해결하기 위해서는 셀의 레이아웃을 신중하게 고려하여야 함은 물론이고, 여러 가지 설계 기술 및 보상 알고리즘을^[11~12] 적용하여 문제를 해결해야 한다.

그림 3은 주변의 셀 상태에 따라 열적 열화 특성이 어떤 양상을 보여주는지를 관찰하기 위해 좀 더 다양한 패턴을 사용하여 스트레스 전 후의 문턱 전압 변화 및 분포를 도식화 하였다. 열적 열화 조건은 250 °C, 1시간을 주었고, 사용한 패턴은 체크보드 (Check-board), Colb (비트라인 방향으로 동일 문턱 전압을 쓰고, 옆 비트라인은 다른 문턱 전압을 사용하고 이를 반복함), Rowb (워드라인 방향으로 동일 문턱 전압을 쓰고, 옆 워드라인은 다른 문턱 전압을 사용하고 이를 반복함),

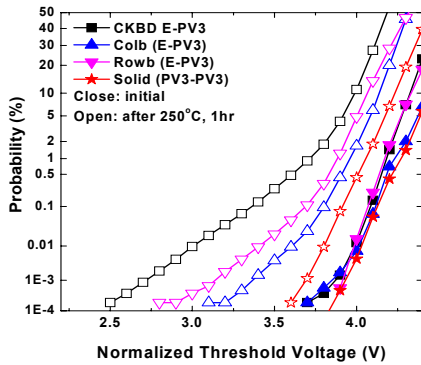


그림 3. 여러 가지 패턴을 사용하여 열적 열하 스트레스 인가 전/후의 셀의 문턱 전압 분포 특성
Initial : 스트레스 받지 않은 초기 상태의 문턱 전압 분포

Fig. 3. Distribution of Threshold voltage before/after thermal stress using the several patterns
Initial : Initial threshold voltage of unstressed cells.

Solid (모든 셀에 같은 문턱 전압을 사용함) 패턴이고, 비교를 위해 스트레스를 받지 않은 순수 셀들의 문턱 전압 분포를 그림에 포함 하였다.

그림 3을 살펴보면 열적 열하 (Thermal stressing) 후 모든 패턴에서 초기 조건에 비해 문턱 전압의 분포가 넓게 산포됨을 알 수 있는데, 패턴에 따라 산포의 넓이가 달라짐을 알 수 있다. 문턱 전압 산포의 넓이는 Solid < Colb < Rowb < CKBD 순으로 넓어짐을 알 수 있다. 결론적으로 PV3 문턱전압을 가지고 있는 셀을 기준으로 주위 셀의 문턱 전압이 Erase 상태로 있는 셀의 숫자가 많을수록 열적 열하 후 문턱 전압 변화가 커진다는 사실이다. 이는 역시 앞서 설명한 것과 같이 주변 cell과 선택 cell 사이의 전압 차이가 클수록 트랜지스터가 위치해 있는 Si 표면의 수평적 전계(lateral field)가 커지고 이것이 직접적인 패턴에 따른 열적 열하 특성을 다르게 만드는 원인이다. Rowb의 문턱 전압의 산포가 Colb의 문턱 전압 분포보다 큰 이유는 셀의 구조 및 공정에 의해 플로팅 게이트가 컨트롤 게이트로 워드라인 방향으로 대부분 감싸고 있고 일부만 노출되어 있는 반면에 비트 라인 방향으로는 옆의 비트라인과 많은 면적으로 마주보게 되어 있기 때문이다. 따라서 Rowb 패턴의 경우가 Colb 패턴보다 옆 셀에 의해 간섭받기가 쉬운 패턴이고 이 때문에 전계의 변화량이 커지기 때문이다.

2. 패턴에 따른 열적 열하 특성 메커니즘 이해를 위한 전기적 열하 특성 조사

패턴에 따른 열적 열하 특성이 다르게 나타나는 근본적인 원인을 규명하기 위해 전기적 스트레스를 낸드 플래시 셀에 인가하여 실험하였다. 프로그램이 되어 있는 선택된 셀의 컨트롤 게이트에 양의 전압과 음의 전압을 가하여 전기적 스트레스를 가했고, 주변에는 여러 가지 패턴인 Solid, Colb, Rowb, CKBD 패턴을 사용하였다. 컨트롤 게이트에 양의 전압을 가하여 전기적 스트레스를 주는 경우 이는 플로팅 게이트에 있는 전자 (문턱 전압을 특정한 값, 예를 들면 PV1, PV2, PV3, PV4등으로 프로그램을 하려면 전자를 터널 산화막을 통해 플로팅 게이트에 축적해야 한다.)를 인터 폴리 산화막 (Inter-poly Oxide, IPO)인 ONO (Oxide Nitride Oxide)을 통해 드레인 (Drain) 시킨다는 의미이고, 음의 전압을 컨트롤 게이트에 가하는 전기적 스트레스의 경우는 터널 산화막을 통해 웰 (Well)로 드레인 시킨다는 의미이다. 음의 조건은 웰 (Well)에 5V를 인가하여 전기적 스트레스를 주었다. 그림 4는 전기적 스트레스를 주었을 때 선택된 셀의 문턱 전압의 시간 변화량을 도시하였다. 양의 전압을 게이트에 인가하였을 때는 거의 변화가 없어 음의 결과만 표현하였다. 그림 4를 살펴보면, 음의 전기적 스트레스시 모든 패턴에서 스트레스 시간에 따라 문턱 전압의 크기가 감소함을 알 수 있다. 즉 웰 (Well)로 전자가 빠져 나간다는 의미이다. 멀티 레벨 낸드 플래시에서는 초기 상태의 문턱 전압도 의미가 있지만 스트레스를 받고 나서의 최종 문턱 전압이 더욱 큰 의미가 있다고 할 수 있다.

최종 문턱 전압의 크기가 각 state의 문턱 전압 규정 한계치를 넘어 가는 순간 다른 state와 구별이 되지 않아 문제를 일으키기 때문이다.

그림 4에는 초기 문턱 전압이 두 개의 그룹으로 나누어져 있는데, 하나는 PV4이고 또 다른 하나는 PV3이다. EPV4와 PV4는 PV4 state이고 각각 체크보드 (Check-board)와 솔리드 (Solid) 패턴이다. 반면에 EPV3, Col, Row, PV3는 문턱 전압이 PV3 state이고 각각 체크보드, 컬럼 (Column), 로우 (Row), 솔리드 패턴이다.

PV4 state의 문턱 전압의 전기적 스트레스 시간에 따른 문턱전압의 변화 추이를 보면 체크보드 패턴인

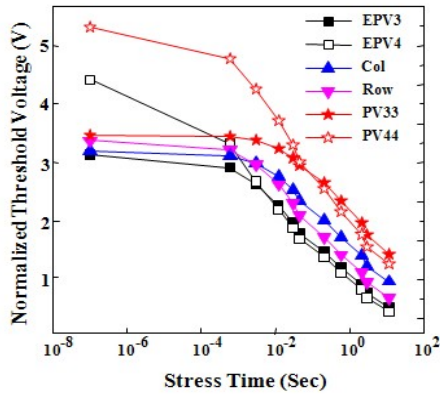


그림 4. 음의 전기적 스트레스 인가시 여러 가지 패턴으로 쓰여진 셀의 시간적 문턱 전압 변화 특성
Fig. 4. The transition of Threshold voltage after electrical stress using the several patterns.

EPV4의 문턱 전압의 최종값이 솔리드 패턴인 PV44 보다 더 낮은 값을 보인다. 즉 전기적 스트레스인 경우에도 앞에서 실험한 열적 열하 특성 경향과 비슷하게 솔리드 패턴보다는 체크보드에서 열하 특성이 더 심하게 변화함을 알 수 있다. 또한 PV3 state에서 각 패턴별로 전기적 스트레스 인가 후의 문턱 전압 변화 추이를 보면 Solid < Col < Row < CKBD 순으로 문턱 전압의 변화폭이 커짐을 관찰 할 수 있다. 이는 패턴별 열적 열하 특성을 측정된 앞의 결과와 정확히 같은 순서로 보이는 결과이다. 따라서 패턴별 열적 열하특성과 전기적 열하특성은 동일한 메카니즘이라 추정할 수 있다.

이 추정을 근거로 실제로 열적 열하 특성에 의해 문턱 전압 분포의 테일 (tail)에 있는 셀과 전기적 스트레스에 의해 열하된 셀의 물리적 셀의 주소 (Physical Address) 찾아 비교하였는데 많은 셀들이 동일 주소로 같은 셀임이 알 수 있었다. (삭제/쓰기 사이클링 (Erase/write Cycling)인 경우는 터널 옥사이드에 트랩을 만들어 물질 자체의 변형을 가져오나 전하 보유 특성 (charge retention characteristic)은 플로팅 게이트에 축적되어 있는 전자가 드레인 (Drain) 되는 특성이므로 물질 자체의 특성에는 영향을 주지 않으므로 같은 셀에 두 가지 스트레스를 인가하여 측정하는 것이 가능하다.)

위 결과들로부터 우리는 패턴별 열적 열하 특성과 전기적 열하 특성이 동일한 메카니즘이라 말할 수 있다.

또한 패턴별 차이가 나는 것을 설명하는 것은 앞서 설명한 것과 같이 주변 셀과 선택 셀 사이의 전압 차이가 클수록 (체크 보드 패턴이 가장 큼) 트랜지스터가

위치해 있는 Si 표면의 수평적 전계(lateral field)가 커지고 이것이 직접적인 패턴에 따른 열적 열하 특성을 다르게 만드는 원인이라 할 수 있다.

3. 시뮬레이션 결과

선택된 셀 주위를 감싸고 있는 셀들의 문턱 전압 상태에 따라 선택 셀에 어떤 현상이 있는지를 알아보기 위해 2차원 (2-D) TCAD 모사 (Simulation)를 진행하였다. 모사의 용이성을 위해 체크보드와 솔리드 패턴에 대해 실시하였고, 전자는 PV3 상태로 셀을 쓰고 주위에 Erase 상태로 놓았고, 후자는 PV3로 모든 셀을 썼다.

그림 5 (a)에 체크보드와 솔리드 패턴 각각에 대해 2차원 모사 결과를 도시하였는데, 체크보드 패턴에서의 전계 세기가 더 큼을 알 수 있다.

그림 5(b)는 2차원 모사 결과에서 A 지점 (대략 FG 중간 부분)을 기준으로 단면을 따라가며 전계의 값을

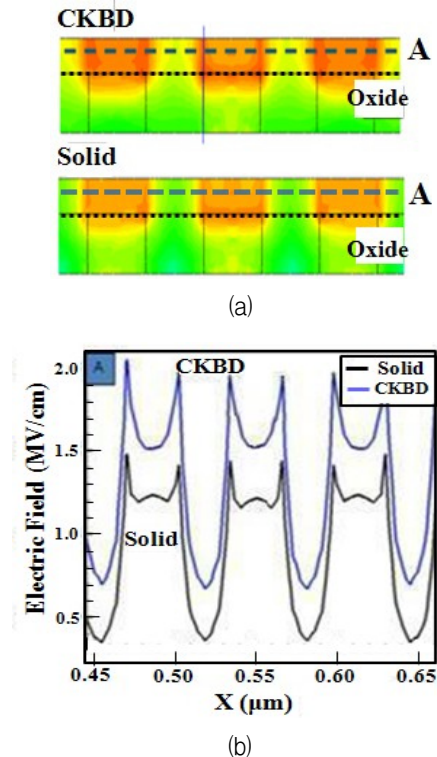


그림 5. 체크보드 (Check-board)와 솔리드 (Solid) 패턴에 대한 전계 모사 결과

- (a) 2차원 모사 결과
- (b) A 점선 기준으로 나타낸 전계값

Fig. 5. The simulation results of electric field for both of Check-board and solid pattern.

- (a) 2-D Simulation Result
- (b) The electric field along the A cross section

보여준다. 체크보드의 경우 전계의 최대치가 2.0MV/cm 이고, 솔리드인 경우는 1.5MV/cm 정도로 대략 33% 큰 값이다. 또한 최대치의 위치는 플로팅 게이트 모서리 부분에 위치하고 있는데 이는 셀의 물리적 구조에 기인한다. 체크보드 패턴에서의 전계 증가는 주변 셀과 선택 셀 사이의 정전 간섭이 주요 원인이다. 즉 체크보드로 셀을 쓸 경우 주변의 높은 전압이 정전 간섭 효과에 의해 선택된 셀에 높은 전계를 유발하고 셀 구조에 영향을 받아 게이트 모서리 바로 아래 부분인 소우스/드레인 접합 경계면에서 극대치를 보여준다. 플로팅 게이트 모서리 부분의 전계 증가는 플로팅 게이트에 축적되어 있는 전자의 터널링 전류를 증가시킨다. 따라서 열적 열하 스트레스 (Thermal Stress)와 전기적 스트레스 (Electrical Stress)를 낸드 플래시 셀에 인가 시 체크보드 패턴에서 플로팅 게이트 모서리에 큰 전계가 발생하고 이 부분에서 터널링 전류의 증가로 인해 전자 보유 특성이 급격히 나빠지게 되어 열적 열하 특성 및 전기적 스트레스 특성이 저하되게 된다. 이러한 시뮬레이션 및 고찰의 결과는 앞선 실험적인 결과물들 (여러가지 패턴으로 쓰여진 낸드 플래시 셀에서의 열적 열하 및 전기적 열하 결과물)과 매우 잘 상응하는 모습을 보여준다.

III. 결 론

본 논문은 다양한 패턴으로 쓴 멀티 레벨 낸드 플래시 셀의 열적 열하 특성을 연구하였다.

멀티 레벨 낸드 플래시 셀에 다양한 패턴을 사용하여 쓰고 각 패턴별 열적 열하 특성을 평가한 결과 선택된 셀 주위에 낮은 문턱전압을 갖는 셀들의 수가 많을수록 선택 셀의 열적 열하특성은 가속화 되는 특성이 있다. 실험적 결과로는 체크보드 패턴의 경우가 가장 큰 열적 열하 특성을 보였다. 이의 원인은 주위 셀들의 정전 간섭 효과이고 간섭효과의 결과로 플로팅 게이트 모서리 부분의 전계 값이 체크보드 패턴의 경우가 솔리드 패턴보다 커짐을 발견하였다. 증가한 전계는 플로팅 게이트에 축적되어 있는 전자의 터널링 전류를 증가시켜 열적 열하 특성을 악화시킨다. 또한 추정 메카니즘은 2차원 TCAD 모사를 통해 설명하였고, 실험적인 결과들과 일치한다.

참 고 문 헌

- [1] J.-D. Lee, S.-H. Hur and J.-D. Choi, "Effects of floating-gate interference on NAND Flash memory cell operation," *IEEE Electron Device Lett.*, vol. 23, no. 5, pp. 264-266, May 2002.
- [2] M. Park, K. Kim, J.-H. Park and J.-H. Choi, "Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND Flash cell arrays," *IEEE Electron Device Lett.*, vol. 30, no. 2, pp. 174-177, Feb. 2009.
- [3] T. Hara, et al., "A 146-mm² 8-Gb multi-level NAND flash memory with 70-nm CMOS technology," *J. Solid-State Circuits, IEEE*, Vol. 41, no 1, pp. 161-169. Jan. 2006
- [4] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "The impact of random telegraph signals on the scaling of multilevel Flash memories," in *Proc. Symp. VLSI Circuits*, pp. 112-113, 2006
- [5] C. Monzio Compagnoni, R. Gusmeroli, A. S. Spinelli, A. L. Lacaita, M. Bonanomi, and A. Visconti, "Statistical model for random telegraph noise in Flash memories," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 388-395, Jan. 2008.
- [6] A. Ghetti, C. Monzio Compagnoni, A. S. Spinelli, and A. Visconti, "Comprehensive analysis of random telegraph noise instability and its scaling in deca-nanometer Flash memories," *IEEE Trans. Electron Devices*, vol. 56, no. 8, pp. 1746-1752, Aug. 2009.
- [7] K. N. Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing," in *Proceeding of IEDM Technical Digest 2005* (Washington, USA, December 5-7, 2005), pp. 323-326.
- [8] K.-T. Park, et al., "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash Memories," *J. Solid-State Circuits, IEEE*, Vol. 43, no 4, pp. 919-928, Apr, 2008,
- [9] J.-D. Lee, J.-H. Choi, D.-G. Park and K.-N. Kim, "Effects of interface trap generation and annihilation on the data retention characteristics of flash memory cells," *Trans. Electron Device, IEEE*, Vol. 4, no 1, pp. 110-117, Mar, 2004,
- [10] D.-S. Choi and S.-K. Park "Mechanism of Threshold voltage widening in sub-30nm MLC NAND Flash cells after erase/write cycling,"

Journal of the Korean Physical Society, Vol. 59,
No. 4, pp. 2821-2824, Oct. 2011.

- [11] Y.-H. Koh "NAND Flash scaling beyond 20nm,"
Memory Workshop, IMW, pp. 1-3, May. 2009.
- [12] H. Shim, et al., "Highly Reliable 26nm 64Gb MLC
E2NAND (Embedded-ECC & Enhanced efficiency)
Flash Memory with MSP (Memory Signal
Processing) Controller," VLSI Symp. Technical
Digest, 2011, pp. 216-217

— 저 자 소 개 —



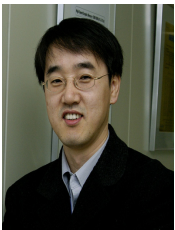
최 득 성(정회원)
1985년 고려대학교 전자공학과
학사.
1987년 한국과학기술원
전기전자공학과 석사.
1995년 한국과학기술원
전기전자공학과 박사.

2002년~현재 영남이공대학교
전자정보계열 조교수
<주관심분야 : 반도체 공정 및 소자>



최 성 운(정회원)
1974년 영남대학교 전자공학과
학사.
1978년 영남대학교 전자공학과
석사
1988년 영남대학교 전자공학과
박사

1978년~현재 영남이공대학교 전자정보계열 교수
<주관심분야 : 회로설계, 센서 활용>



박 성 계(정회원)
1988년 경북대학교 전자공학과
학사.
1990년 한국과학기술원
전기전자공학과 석사.
1994년 한국과학기술원
전기전자공학과 박사.

1994년~현재 SK 하이닉스반도체 연구소
<주관심분야 : 반도체 공정 및 소자>