

논문 2012-50-4-9

멤리스터-CMOS 회로구조 기반의 프리미티브 IP 설계

(Primitive IPs Design Based on a Memristor-CMOS Circuit Technology)

한 가 램*, 이 상 진*, Kamran Eshraghian**, 조 경 록**

(Ca-Ram Han, Sang-Jin Lee, Kamran Eshraghian, and Kyoungrok Cho)

요 약

본 논문에서는 멤리스터 기반의 논리 게이트와 멤리스터-CMOS 기반의 프리미티브 IP 설계 방법을 제안하였다. 회로 설계를 위한 멤리스터 모델을 제시하고 멤리스터의 AND 및 OR 연결을 기본으로 멤리스터-CMOS 회로설계를 위한 프리미티브 IP설계 방법을 제안하였고, 0.18 μm CMOS 공정과 멤리스터 SPICE 모델을 이용한 시뮬레이션을 통해 검증되었다. 회로는 멤리스터와 CMOS 결합을 하여 레이아웃 설계를 하고 네트리스트를 추출하였다. 디지털 프리미티브 IP들에 대해 기존의 CMOS와 면적비교를 수행하였으며, 멤리스터-CMOS 전가산기는 CMOS 전가산기에 비하여 47.6 %의 면적이 감소되었다.

Abstract

This paper presents design methodology for Memristor-CMOS circuits and its application to primitive IPs design. We proposed a Memristor model and designed basic elements, Memristor AND/OR gates. The primitive IPs based on a Memristor-CMOS technology is proposed for a Memristive system design. The netlists of IPs are extracted from the layouts of Memristor-CMOS and is verified with SPICE-like Memristor model under 0.18 μm CMOS technology. As a result, an example design Memristor-CMOS full adder has only 47.6 % of silicon area compare to the CMOS full-adder.

Keywords : Memristor, Memristor-CMOS logic, Hybrid design, Primitive IP

I. 서 론

오늘날 CMOS 기술은 16 나노미터까지 발전하였지만, 최근에는 무어의 법칙(Moore's law)의 침체기라 할 수 있는 집적도의 한계에 도달하고 있다. 해결방안으로, 설계자들을 위한 새로운 물질, 설계의 간소화, 그리고 시뮬레이션 툴 등 다양한 설계 방법과 더불어

System-on-Chip (SoC) 구조와 같은 나노 스케일 CMOS 기반의 융합 기술이 널리 연구되고 있다.^[1-2] Von-Neumann 구조는 메모리와 논리회로가 분리된 형태로 에너지 효율, 통신 병목현상, 그리고 높은 복잡도와 같은 단점에도 불구하고 많은 연산 엔진에 널리 사용되고 있다. 멤리스터(Memristor)는 2개의 터미널을 가진 메모리와 논리 동작이 가능한 나노 스케일의 소자이다. 멤리스터와 CMOS 기술의 융합은 신호 처리와 메모리 유닛간의 보다 높은 연관성을 갖게 하는 방법으로 소자 레벨에서의 해결책으로 활발히 연구되고 있다.^[3-5]

멤리스터는 전기 회로의 기본 소자인 레지스터(resistor), 커패시터(capacitor), 인덕터(inductor)에 이

* 학생회원, ** 정회원, 충북대학교 전자정보대학
(College of Electrical and Computer Engineering,
Chungbuk National University)

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로
한국연구재단의 지원을 받아 수행된 연구임
(No. 2011-0015702).

접수일자: 2013년1월2일, 수정완료일: 2013년3월22일

어서 새로운 4번째 소자로 인식되고 있다. 전자 회로의 기본소자 저항, 커패시터, 인덕터는 전류(i), 전압(v), 전하(q), 자속(Φ)간의 관계에 의해 정의된다. 기존의 3개의 수동소자로는 자속(Φ)과 전하(q)의 관계를 정의할 수가 없었다. 1971년 Chua^[6]는 4번째 수동 소자로 자속(Φ , V)과 전하(q , i)의 관계로 정의되는 멤리스터를 예측하였다. 이 관계에서, 전하 q 가 회로에 한 방향으로 통과하는 경우, 회로의 저항은 증가하여 ' R_{OFF} '와 같아진다. 반대 방향인 경우 회로의 저항은 감소하여 ' R_{ON} '과 같아진다. 만약 전하의 흐름이 중단되면, 저항은 유지된다. 이것은 전압을 다시 인가하는 경우, 회로가 과거의 저항 상태를 기억하고 있음을 의미한다. 이 이론을 바탕으로 HP는 멤리스터를 소자로 구현하였다.^[7] HP의 멤리스터는 두 개의 Pt (Platinum) 사이에 TiO_2/TiO_{2-x} 가 결합된 MIM (metal insulator metal) 구조를 가진다.

본 논문에서는 기존의 CMOS 회로와 다수의 멤리스터를 이용하여 기본적인 논리 게이트를 구성하고, 디지털 회로로 확장하는 개념을 제안한다. 멤리스터-CMOS 회로의 설계를 위한 멤리스터의 특성 및 SPICE 모델을 II장에서 제시하고, III장에서는 멤리스터를 사용한 논리 게이트의 구조를 설계하고, 멤리스터-CMOS 논리 게이트 및 디지털 회로의 구조와 시뮬레이션 결과를 제시한다. 또한 물리적인 구현 방법 및 레이아웃을 보이고, 기존의 회로들과 비교하였다. 마지막으로 IV장에서 결론을 맺는다.

II. 멤리스터

멤리스터는 소자를 통과한 전하 q 의 양에 선형적으로 비례하는 시간 의존적인 등가 저항으로 표현 가능하다.^[8] TiO_2 나노 레이어의 O_2^- 분포변화는 멤리스터의 저항, 즉 멤리스턴스를 변화시킨다. 위쪽의 Pt 레이어로 순방향 바이어스가 가해질 경우, O_2^- 는 TiO_{2-x} 레이어에서 TiO_2 레이어로 드리프트(drift) 된다. 따라서, 이러한 TiO_{2-x} 와 TiO_2 레이어의 경계의 변화에 따라 멤리스터는 상대적으로 낮은 저항값을 갖는 'ON' 상태가 된다. 충분한 양의 전하가 소자를 통과할 경우, 이것은 멤리스터의 특성이라 할 수 있는 히스테리시스(hysteresis) 영역에 도달하며 상대적으로 높은 멤리스턴스 $M(q)$ 를 유지하게 된다. 반대의 경우, O_2^- 공핍층

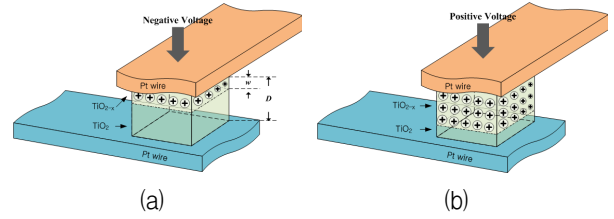


그림 1. 멤리스터 스위칭 특성^[4] (a) "OFF"상태 (b) "ON" 상태

Fig. 1. Memristor switching behavior (a) "OFF" state (b) "ON" state.

이 TiO_{2-x} 나노 레이어 쪽으로 되돌아오게 되어, 멤리스터는 상대적으로 높은 저항값을 가지는 'OFF' 상태가 된다.^[9-11]

멤리스터는 그림 1과 같이 각각 수직 너비 w 와 $l-w$ 를 가지는 도핑 영역과 도핑되지 않은 영역으로 단순하게 모델링 된다. 멤리스턴스 $M(q)$ 로서의 전류-전압($I-V$) 관계는 다음과 같다.

$$v(t) = \left(R_{ON} \frac{w(t)}{L} + R_{OFF} \left(1 - \frac{w(t)}{L} \right) \right) i(t) \quad (1)$$

도핑 영역의 너비는 다음과 같다.

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{L} i(t) \quad (2)$$

여기서 μ_v 는 평균 이온 드리프트 이동도(mobility)이다. 멤리스턴스 $M(q) = d\Phi/dq$ 에 따라 $w(t)$ 대신에 정규화된 변수 $x(t) = w(t)/L$ 을 취하면, 다음과 같은 새로운 정규화 식을 얻는다.

$$\frac{dx(t)}{dt} = \mu_v \frac{R_{ON}}{L^2} i(t) \quad (3)$$

여기서 L^2/μ_v 는 자속(Φ)의 차원을 갖는다. 이제 다음과 같은 단순화된 멤리스터 모델을 얻을 수 있다.

$$M(t) = R_{OFF} \left(\sqrt{1 - \frac{2c(t)}{r}} \right) \quad (4)$$

여기서 $c(t) = \mu_v \varphi(t)/L^2$, r 은 R_{OFF}/R_{ON} 의 비율, 그리고 $\sqrt{1 - 2c(t)/r}$ 은 저항 상태 변조지수(modulation index)이다.

위 식에서 $x(t)$ 는 다음과 같이 정의될 수 있다.

$$x(t) = 1 - \left(\sqrt{1 - \frac{2\phi(t)}{r\lambda}} \right) \quad (5)$$

여기서 $r\lambda$ 는 $2\phi(t)/r\lambda$ 0과 1사이를 유지하기 위한 충분히 큰 값이다. 식(5)는 x 가 0 또는 1에 근접할 때 즉, 경계면의 근처의 높은 비선형적 현상을 충분히 설명하지 못한다. 따라서, 선형적 이온 드리프트와 TiO_2/TiO_{2-x} 나노 레이어의 경계면에서의 비선형적 동작의 모델링을 위하여 터널링(tunneling) 이론을 도입하였다.^[12~13]

이온 드리프트 속력의 매우 비선형적인 관계에 의한 역학적인 멤리스터의 정규화된 상태 x 와 $I-V$ 커브에 의한 식은 다음과 같다.

$$\begin{cases} \frac{dx(t)}{dt} = v \cdot g(V, \rho(x), \phi_0) \\ I = x(t) \cdot I_{on} + (1-x(t)) \cdot I_{off} \end{cases} \quad (6)$$

여기서

$$\begin{aligned} &g(V, \rho(x), \phi_0) \\ &= \left(1 - \frac{V}{2\phi_0}\right) \exp\left(\rho(x)\phi_0\left(1 - \sqrt{1 - \frac{V}{2\phi_0}}\right)\right) \\ &\quad - \left(1 + \frac{V}{2\phi_0}\right) \exp\left(\rho(x)\phi_0\left(1 - \sqrt{1 + \frac{V}{2\phi_0}}\right)\right) \end{aligned} \quad (7)$$

v 는 [14]-[16]의 실험 결과에 따라 정규화된 거리 $x \in (0,1)$ 사이에서의 ON과 OFF의 스위칭 속도이다. ϕ_0 (in eV)는 equilibrium barrier height 이고, $\rho(x)$ 는 equilibrium shape factor로 eV^{-1} 의 함수로 다음과 같이 모델링 된다.

$$\rho(x) = \delta + \eta(1 - (2x - 1)^{2p}) \quad (8)$$

여기서, $\delta (\geq 4)$ 는 단조증가(monotonically increasing) 상태를 유지하기 위한 오프셋(offset) 상수 이고, η 는 히스테리시스 루프 곡선의 비선형성에 관계된 상수, 즉 스위칭 속도이다. 관찰에 따르면, 멤리스티브(memristive) 소자들은 OFF 스위칭에 비하여 ON 스위칭이 상대적으로 빠르다. 따라서 이러한 멤리스터 모델은 shape factor와 독립적으로 threshold를 가변적으로 제어하여 전압 범위를 조절할 수 있도록 한다.

본 논문에서는 멤리스터-CMOS 디지털 회로 구현을 위하여 다음과 같은 측정 결과에 기반한 SPICE-like 형태의 $I-V$ 관계식을 사용하였다.

$$I = x \cdot (\alpha V + \beta) + (1-x) \cdot (\chi_1 \exp(\gamma_1 V) - \chi_2 \exp(-\gamma_2 V)) \quad (9)$$

여기서 $\alpha, \beta, \chi_1, \chi_2, \gamma_1,$ 과 γ_2 는 ON 과 OFF 상태를 위한 보정 매개변수이며, 양극과 음극의 전압이 인가됨에 따른 비대칭적 특성을 위한 것이다.

III. 멤리스터의 기반 논리 회로

단일 멤리스터는 바이폴라(bipolar) 스위칭 특성을 갖는 소자로서 양(+극)과 음(-극)의 2 터미널 소자이다. 멤리스터는 짧은 시간 동안 낮은 전압을 인가하면 아날로그적인 특성을 보이지만 상대적으로 높은 전압을 인가하면 디지털 적인 스위칭 동작이 가능한 동적(dynamic) 특성을 가진다.^[4,5] 본 논문에서는 두 개 이상의 멤리스터를 같은 극끼리 연결한 멤리스터 AND/OR 논리 게이트를 제안하고, 기존의 CMOS 기술과 멤리스터 AND/OR 게이트를 결합하여 다양한 논리 게이트 및 디지털 회로의 구조를 제안한다.

1. 멤리스터 AND 와 OR 구성

두 개 이상의 멤리스터를 이용하여 논리 게이트를 구성할 수 있다. 그림 2는 AND 와 OR 논리 동작을 위한 멤리스터의 구성과 동작 원리를 나타낸다. 각 멤리스터 심볼에는 소자의 극성과 인가되는 전압에 따른 TiO_{2-x} 레이어의 산소 결핍에 의한 홀 전자(unpaired electron)의 분포 변화를 나타내었다.

멤리스터의 양극끼리 연결하여 그림 2(a)와 같이 AND 논리 게이트를 구성할 수 있다. 반대로 멤리스터

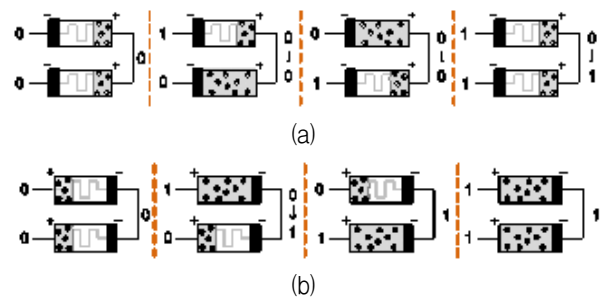


그림 2. 멤리스터 논리 구성과 동작 원리
(a) AND 논리 동작 (b) OR 논리 동작
Fig. 2. Construction and operation of Memristor
(a) AND operation (b) OR operation.

의 음극끼리 연결하여 그림 2(b)와 같이 OR 논리 게이트를 구성할 수 있다. 두 멤리스터가 서로 연결되는 중간 노드는 출력으로 사용되며, 반대쪽은 입력으로 사용된다. 멤리스터 AND/OR 게이트에 인가되는 논리 입력 값에 따라 각 멤리스터의 멤리스턴스는 상호 보완적(complementary)으로 변화한다. 출력 노드는 멤리스터 사이에 존재하므로 출력 노드의 전압은 멤리스턴스 변화에 따라 전압 분배의 법칙에 의해 결정된다. 멤리스터 AND/OR 게이트 모두 두 개의 입력 전압이 서로 같은 경우 ('00' (ground) 또는 '11' (vdd)), 양 단의 전위차가 없으므로 중간 노드 전압은 입력 전압과 같아진다. 두 개의 입력이 서로 다른 경우 ('01' 또는 '10'), 멤리스터 AND/OR 게이트는 서로 다른 동작을 한다. 멤리스터 AND 게이트의 경우, 높은 전압이 인가된 쪽의 멤리스터는 ' R_{OFF} '로 변화하고 낮은 전압이 인가된 쪽 멤리스터는 ' R_{ON} '로 변화하여 중간 노드는 풀 다운(pull-down) 되어 '0'을 출력한다. 멤리스터 OR 게이트의 경우, 높은 전압이 인가된 쪽의 멤리스터는 ' R_{ON} '로 변화하고 낮은 전압이 인가된 쪽 멤리스터는 ' R_{OFF} '로 변화하여 중간 노드는 풀 업(pull-up) 되어 '1'을 출력한다.

2. 프리미티브 IPs 설계

단일 멤리스터 AND/OR 게이트는 CMOS 논리 게이트와 결합하여, 디지털 회로 구성을 위한 멤리스터-CMOS 프리미티브 IP로 확장될 수 있다. 제안하는 회로구조는 실리콘 면적을 감소시킬 수 있기 때문에, 무어의 법칙(Moore's law)의 한계를 극복할 수 있는 방안이 될 수 있다. 본 논문에서는 멤리스터-CMOS 회로 구현을 위해, 앞서 설명된 식 (9)의 특성을 갖는 멤리스터 모델을 사용하였다.^[9, 11]

다중 입력을 갖는 멤리스터-CMOS NAND 게이트는 그림 3(a)와 같이 구성된다. 두 개의 입력 a_0 과 a_1 을 가지는 2-input NAND 게이트는 그림 3(b)와 같고, 시뮬레이션 결과는 그림 3(c)와 같다. 키르히호프 법칙(Kirchhoff's current law)에 의해 노드 X의 전압은 두 개의 멤리스터의 등가 저항 R 에 의해 시상수 RC_g 를 갖는 일차 선형 미분 방정식을 만족한다. 멤리스터 Ma_0 과 Ma_1 사이의 전압 분배에 의해 노드 X의 전압이 결정되어, 멤리스터-CMOS 2-input NAND 게이트는 두 개의 입력 모두 논리 '1' 인 경우에만 출력 Z로 '0'을 출

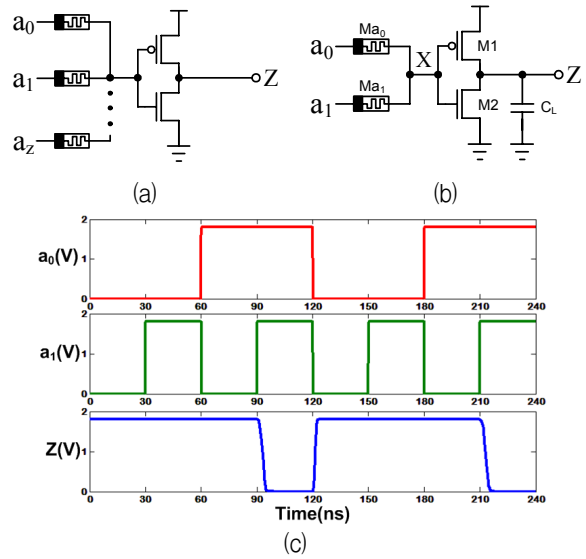


그림 3. 멤리스터-CMOS NAND 논리 게이트 (a) 다중 입력을 갖는 NAND 게이트 (b) 2-input NAND 게이트 (c) 2-input NAND 게이트의 시뮬레이션 결과

Fig. 3. Memristor-CMOS NAND logic. (a) Multi-input NAND logic (b) 2-input Memristor-CMOS logic (c) Simulation result of 2-input Memristor-CMOS NAND gate

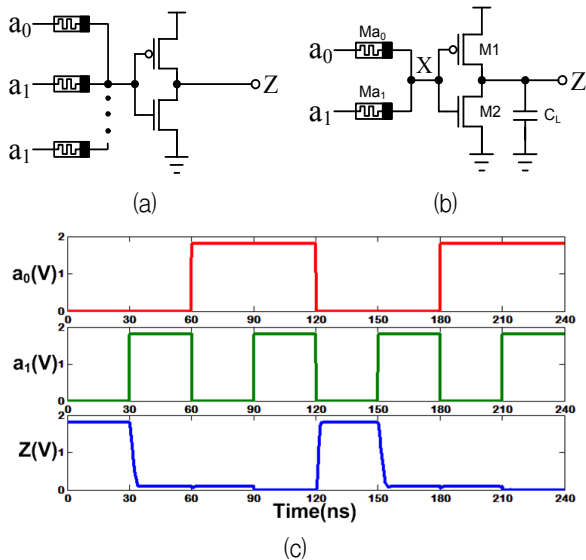


그림 4. 멤리스터-CMOS NOR 논리 게이트 (a) 다중 입력을 갖는 NOR 게이트 (b) 2-input NOR 게이트 (c) 2-input NOR 게이트의 시뮬레이션 결과

Fig. 4. Memristor-CMOS NOR logic. (a) Multi-input Memristor-CMOS NOR logic construction (b) 2-input NOR gate (c) Simulation result of 2-input Memristor-CMOS NOR gate

력한다.

같은 원리로 멤리스터-CMOS NOR 게이트를 구성할 수 있다. 다중 입력을 갖는 NOR 게이트는 그림 4(a)에, 2-input NOR 게이트는 그림 4(b)에 나타내었다. 시뮬레이션 결과 그림 4(c)와 같이 두 개의 입력 모두 논리 '0' 인 경우에만 출력 X로 '1'을 얻는다.

멤리스터-CMOS 논리 게이트는 같은 수의 입력을 가지는 CMOS 논리 게이트에 비하여 실리콘 면적을 적게 사용한다. 예를 들어, 2-input NAND/NOR 게이트의 경우, 멤리스터-CMOS는 CMOS에 비하여 50 %만 사용하여 구현될 수 있다. 4-input의 경우, 75 % 까지 면적을 절약할 수 있다.

일반적인 디지털 회로에서 많이 사용되는 산술 및 논리 연산의 핵심 요소인 exclusive-OR(XOR) 게이트 또한 그림 5(a)와 같이 멤리스터-CMOS의 개념에 의해 구현될 수 있다. XOR은 두 개의 멤리스터-CMOS NAND 게이트가 결합되어 설계된다. 보다 적은 수의 트랜지스터 사용을 위해 멤리스터 구현에 사용되는 nano-wire를 게이트의 풀업 저항으로 사용할 수 있다. 멤리스터-CMOS XOR 동작의 시뮬레이션 결과는 그림 5(b)와 같다. 시뮬레이션에 사용 된 멤리스터 모델은 저항의 OFF/ON 비율이 약 1,000 이고, OFF 저항이 600 kΩ 이다. XOR 게이트의 평균 전력소모($f = 250MHz$)

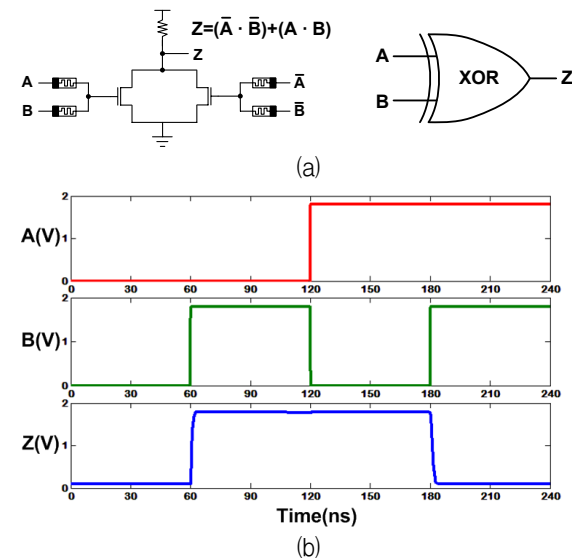


그림 5. 2-input 멤리스터-CMOS XOR 게이트 (a) 회로의 구조 (b) XOR 게이트 시뮬레이션 결과
Fig. 5. 2-input Memristor-CMOS XOR gate (a) Circuit diagram (b) Simulation result of XOR gate

는 CMOS가 22.4 μW 이고, 멤리스터-CMOS는 34.3 μW 로 약 1.5배 크다. 이는 멤리스터-CMOS 회로의 전력소모가 멤리스터의 OFF 저항의 크기 및 스위칭 시간에 의존성이 크기 때문이다.

3. Memristor-CMOS 가산기 설계

멤리스터-CMOS 논리 게이트를 이용하여 다양한 디지털 회로에 적용할 수 있다. 3-input 멤리스터 AND 게이트를 이용한 4-to-1 멤리스터-CMOS 멀티플렉서를 그림 6(a)에 나타내었다. 출력 신호 선택을 위한 S_0 와 S_1 에 따라, 입력신호 A, B, C, 그리고 D가 선택적으로 출력되는 시뮬레이션 결과를 그림 6(b)에 나타내었다. 프리미티브 IP를 이용한 멤리스터-CMOS 전가산기를 그림 7에 나타내었다. 전가산기의 캐리(carry) 연산을 위한 2개의 AND와 1개의 OR 게이트를 그림 7(b)와 같이 구현하였다. 전가산기의 시뮬레이션 결과를 그림 7(c)에 나타내었다.

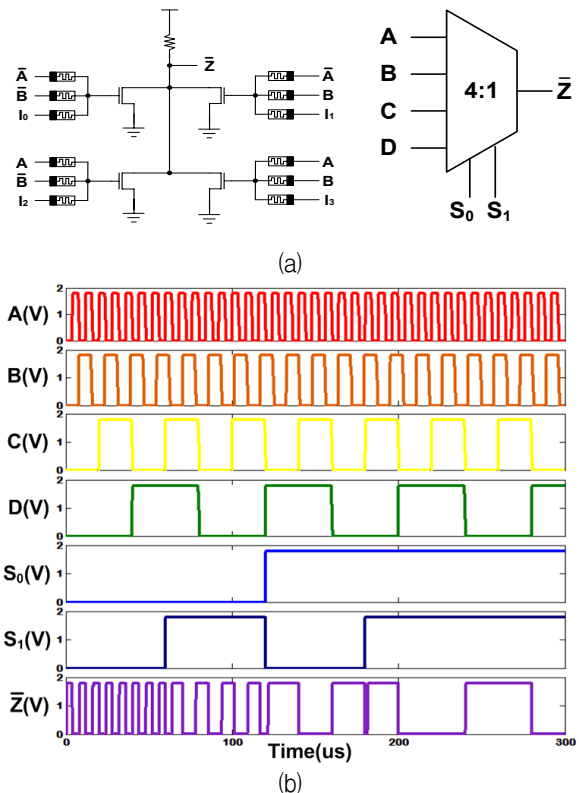


그림 6. 4-to-1 멀티플렉서 (a) 회로와 등가 논리회로 심볼 (b) 시뮬레이션 결과
Fig. 6. 4-to-1 Multiplexer (a) Circuits representation and equivalent logic gate symbol for 4-to-1 MUX. (b) Simulation results

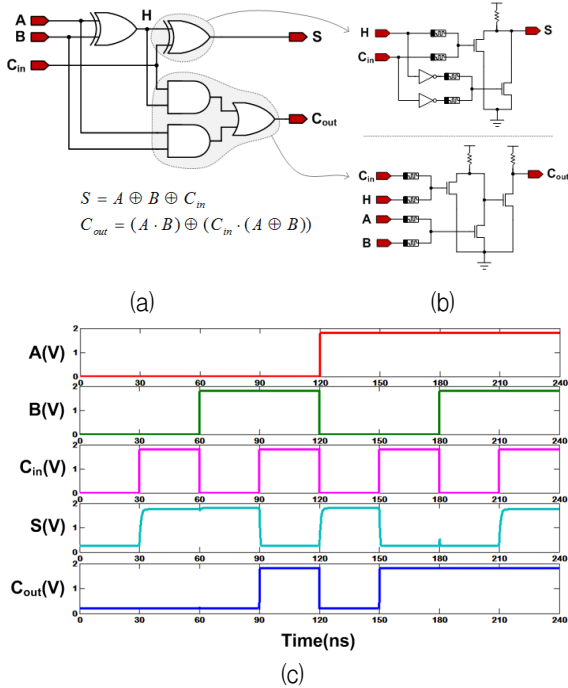


그림 7. 멤리스터-CMOS 전가산기 (a) 전가산기 구조 (b) 멤리스터와 모스를 결합한 회로의 전가산기 구조 (c) 시뮬레이션 결과
 Fig. 7. Memristor-CMOS full-adder (a) Construction of full-adder (b) Logic using Memristor-CMOS circuit construct (c) Simulation results

라. 물리적 구현방법 및 면적비교 결과

멤리스터-CMOS 회로 설계 기법은 CMOS 회로에 비하여 실리콘 면적의 이득이 있다. 멤리스터-CMOS 회로는 기존의 CMOS 웨이퍼 위에 멤리스터 소자를 만들기 위한 추가적인 공정이 요구된다. 멤리스터와 연결될 컨택트를 갖는 CMOS 회로를 먼저 제작하고 멤리스터를 위한 후 공정이 실시되어야 한다. CMOS 2-input NAND 게이트의 레이아웃을 그림 8(a)에, 멤리스터-CMOS 2-input NAND 게이트의 레이아웃을 그림 8(b)에 나타내었다. CMOS 웨이퍼에 3개의 메탈 레이어를 사용하여 회로를 집적한 후, 멤리스터 레이어를 구성했을 경우의 멤리스터-CMOS 회로의 3차원 구조를 그림 9에 나타내었다.

CMOS 회로는 fan-in이 늘어남에 따라 게이트 캐패시턴스(Cg)가 증가하기 때문에, 동작 속도 및 전력 면에서 제약이 있다. 멤리스터-CMOS 회로는 NAND/NOR 게이트의 경우, 입력의 개수에 상관없이 CMOS 인버터만 사용하므로 제작되는 멤리스터의 특성에 따라

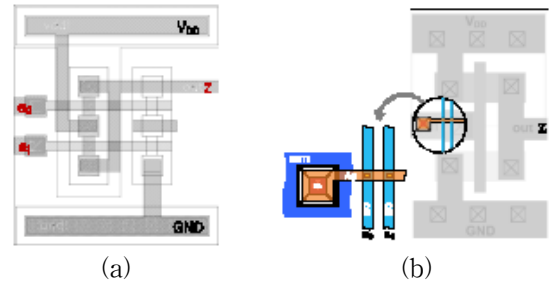


그림 8. 2-input NAND의 CMOS와 멤리스터-CMOS 회로의 레이아웃 (a) 2-input CMOS NAND 게이트 (b) 2-input 멤리스터-CMOS NAND 게이트
 Fig. 8. Comparison with classic CMOS and Memristor-CMOS on area of physical implementations by layout work (a) 2-input CMOS NAND gate, (b) Physical implementation strategy of Memristor-CMOS NAND gate.

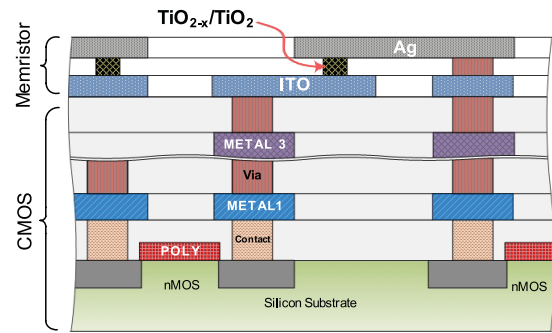


그림 9. 멤리스터와 CMOS의 결합회로 레이아웃의 단면도
 Fig. 9. Physical structure of Memristor-CMOS combination.

표 1. 0.18 μm 공정의 CMOS와 멤리스터-CMOS의 레이아웃의 면적 비교

Table 1. Area comparison table including an improvement for 0.18 μm CMOS technology for layout

Gate	# input	Area (μm ²)		Improvement (%)
		CMOS	MCM	
NAND	2	6.7	4.8	27.5
	3	8.5		43.2
	4	10.3		53.4
NOR	2	6.8	4.8	29.3
	3	8.5		43.2
	4	10.3		53.4
XOR	2	27	6.8	74.8
4-bit Full-adder	-	74.1	38.8	47.6

입력의 개수를 증가시킬 수 있다. 입력 개수에 따른 NAND, NOR, XOR, 그리고 전가산기에 대한 CMOS와 멤리스터-CMOS 회로의 면적비교 결과를 표1에 나타내었다. 멤리스터-CMOS 2-input NAND/NOR 게이트의 경우 기존의 27.5/29.3 %, 4-input의 경우 53.4 %의 면적을 절약할 수 있다. 특히 2-input XOR의 경우에 74.8 %의 이득이 있다.

IV. 결 론

멤리스터-CMOS 회로 설계 기법은 포화상태에 가까운 CMOS 기술이 무어의 법칙을 극복하는 대안으로 주목받고 있다. 본 논문에서는 멤리스터 기반의 논리 게이트와 멤리스터-CMOS 기반의 프리미티브 IP 회로를 제안하였다. 멤리스터의 AND 및 OR 연결을 기본으로 회로 설계를 위한 멤리스터 모델을 제시하고 이것을 이용한 멤리스터-CMOS 프리미티브 IP를 제안하였으며, 응용회로로 전가산기를 설계하고 0.18 μm CMOS 공정과 멤리스터 SPICE 모델을 이용한 시뮬레이션을 통해 검증되었다. 또한 멤리스터와 CMOS 결합을 위한 레이아웃 및 stacking 구조를 제안하고, 여러 가지의 논리 및 디지털 회로에 대한 면적비교를 수행하였다. 멤리스터-CMOS 전가산기는 CMOS 전가산기에 비하여 47.6 %의 면적을 절약할 수 있다.

참 고 문 헌

- [1] International Technology Roadmap for Semiconductors, ITRS 2009 Edition, Emerging Research Devices. from <http://www.itrs.net>.
- [2] N. H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design: A systems perspective," Addison Wesley, 1985.
- [3] 강순구, 김두환, 이상진, 조경록 "멤리스터의 모델링과 연상메모리(M-CAM) 회로 설계," 전자공학회논문지, 제48권 SD편, 제7호, 328-336쪽, 2011년 7월
- [4] J. Borghetti, Z. Li, J. Straznicky, X. Li, D. A. A. Ohlberg, W. Wu, D. R. Stewart, and R. S. Williams, "A hybrid nanomemristor/transistor logic circuit capable of self-programming," Proceedings of the National Academy of Sciences, vol. 106, no. 6, pp. 1699-1703, 2009.
- [5] J. Borghetti, G. S. Snider, P. J. Kuekes, J. J. Yang, D. R. Stewart, and R. S. Williams, "'Memristive' switches enable 'stateful' logic operations via material implication," Nature, vol. 464, pp. 873-876, 2010.
- [6] L. O. Chua, "Memristor—the missing circuit element," IEEE Transactions on Circuit Theory, vol. 18, no. 5, pp. 507 - 519, 1971.
- [7] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," Nature, vol. 453, pp. 80-83, 2008.
- [8] D. Strukov and R. Williams, "Exponential ionic drift: fast switching and low volatility of thin-film memristors," Applied Physics A: Materials Science & Processing, vol. 94, no. 3, pp. 515 - 519, 2009.
- [9] K. Cho, S. J. Lee, O. Kavehei, and K. Eshraghian "Influence of memristor 4th fundamental circuit component on nano-electronics educational platform," 9th European Workshop on Microelectronics Education, pp. 67-70, 2012.
- [10] O. Kavehei, A. Iqbal, Y. S. Kim, K. Eshraghian, S. F. Al-Sarawi, and D. Abbott "The fourth element: characteristics, modelling, and electromagnetic theory of the memristor," The Proceedings of Royal Society A: Mathematical, Physical & Engineering Sciences, pp. 1-28, 2010.
- [11] K. Eshraghian, O. Kavehei, K. R. Cho, J. M. Chappell, A. Iqbal, S. F. Al-Sarawi, and D. Abbott "Memristive device fundamentals and modeling: applications to circuits and systems simulation," Proceedings of the IEEE, vol. 100, no. 6, pp. 1991-2007, 2012.
- [12] J. G. Simmons, "Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film," Journal of Applied Physics, vol. 34, no. 6, pp. 1793 - 1803, 1963.
- [13] F. Miao, J. J. Yang, J. P. Strachan, D. Stewart, R. S. Williams, and C. N. Lau, "Force modulation of tunnel gaps in metal oxide memristive nanoswitches," Applied Physics Letters, vol. 95, no. 11, art. no. 113503, 2009.
- [14] D. R. Stewart, D. A. A. Ohlberg, P. A. Beck, Y. Chen, R. S. Williams, J. O. Jeppesen, K. A. Nielsen, and J. F. Stoddart, "Molecule-Independent electrical switching in Pt/Organic Monolayer/Ti devices," Nano Letters, vol. 4, no. 1, pp. 133 - 136, 2004.
- [15] A. Shkablo, M. H. Aguirre, P. Hug, A. Weidenkaff, I. Marozau, and T. Lippert, "The effects of switching time and SrTiO₃-xNy

nanostructures on the operation of Al/SrTiO₃-xNy/Al memristors,” IOP Conference Series: Materials Science and Engineering, vol. 8, no. 1, art. no. 074508, 2010.

- [16] S. H. Jo, T. Chang, I. Ebong, B. B. Bhadviya, P. Mazumder, and W. Lu, “Nanoscale memristor device as synapse in neuromorphic systems,” Nano Letters, vol. 10, no. 4, pp. 1297 - 1301, 2010.

— 저 자 소 개 —



한 가 람(학생회원)
2011년 충북대학교 정보통신공학과 학사 졸업.
2013년 충북대학교 정보통신공학과 석사 졸업.
<주관심분야 : 멤리스터, 아날로그 correlator 설계>



이 상 진(학생회원)
2008년 충북대학교 화학공학과 학사 졸업.
2010년 충북대학교 정보통신공학과 석사 졸업.
2010년 3월~현재 충북대학교 정보통신공학과 박사과정.
<주관심분야 : CMOS image sensor, 멤리스터-CMOS 회로설계>



Kamran Eshraghian(정회원)
1968년 B.Tech, Electrical & Electronic Eng., University of Adelaide.
1978년 MEng. Sc., Electrical & Electronic Eng., University of Adelaide.
1980년 Ph.D., Electrical & Electronic Eng., University of Adelaide.
1969년~1977년 Philips 선임연구원.
1979년~1994년 University of Adelaide 교수.
1994년~2004년 Edith Cowan University 교수.
2007년~2009년 University of California Merced 객원교수.
2009년~현재 충북대학교 전자정보대학 석좌교수
<주관심분야 : CMOS VLSI 설계, system on system (SoS) multi-technology 회로설계>



조 경 록(정회원)
1977년 경북대학교 전자공학과 학사 졸업.
1989년 일본 동경대학교 전자공학과 석사 졸업.
1992년 일본 동경대학교 전자공학과 박사 졸업.
1979년~1986년 (주)금성사TV연구소 선임연구원.
1999년~2005년 Oregon State University 객원교수.
1992년~현재 충북대학교 전자정보대학 교수.
2008년~2011년 World Class University program (충북대학교) 책임.
2010년~현재 IDEC 충북대지역센터장
<주관심분야 : 통신시스템 LSI 설계, 저전력 고속 회로설계, Platform 기반의 SoC 설계>