

논문 2012-50-4-6

저전력 3차 델타-시그마 모듈레이터 설계

(Design of Low-Power 3rd-order Delta-Sigma Modulator)

인 병 화*, 임 새 민*, 박 상 규**

(Byoung Wha In, Saemin Im, and Sang-Gyu Park)

요 약

디지털 보청기에 적합한 저전력 3차 델타-시그마 모듈레이터를 설계하였다. 적분기의 출력 스윙을 최소화 하도록 모듈레이터 구조의 계수를 최적화하고, AB급 출력단을 갖는 2단 연산증폭기와 switched-capacitor 구조를 사용하여 전력소모를 최소화 하였다. 본 모듈레이터는 130nm CMOS 공정을 이용하여 제작되었으며, 샘플링 주파수가 3.2MHz일 때 100Hz-10kHz의 신호대역에서 79dB의 SNR(Signal-to-Noise Ratio)이 측정되었다. 전력소모는 1.2V 전원전압에서 60μW에 불과하며 A/D 변환기 코어의 크기는 0.53mm×0.53mm 이다.

Abstract

This paper presents a design and implementation of a low power switched-capacitor 3rd-order delta-sigma modulator for a digital hearing-aid application. The power consumption is reduced by minimizing the output swing of integrators through optimizing the coefficients of modulator architecture and using class-AB output operational amplifiers. The modulator was implemented in a 130nm CMOS technology, and measured to have 79dB of SNR(Signal-to-Noise Ratio) in the signal bandwidth between 100Hz and 10kHz with an oversampling ratio of 160. The power consumption was 60μW from 1.2V power supply and the modulator core occupied 0.53mm×0.53mm.

Keywords : delta-sigma modulator, analog-to-digital converter, switched-capacitor, class-AB op-amp

I. 서 론

보청기는 청각이 약한 사람이 음성 신호를 들을 수 있도록 도와주는 장치이다. 그 중 디지털 보청기는 단순히 약한 신호를 증폭하는 데 그치는 아날로그 보청기와 달리 다양한 디지털 신호처리를 통해 음질을 개선해

준다. 최근 마이크로일렉트로닉스의 발전으로 보청기 시장에서는 디지털 보청기가 빠르게 아날로그 보청기를 대체하고 있다^[1~2].

디지털 보청기에서 핵심적인 부품의 하나가 A/D (analog-to-digital) 변환기이다. A/D 변환기는 신호의 대역폭과 샘플링 속도의 관계에 따라 Nyquist 변환기와 오버샘플링 변환기로 분류할 수 있다^[3].

Nyquist 변환기는 샘플링 속도가 Nyquist 샘플링 정리가 요구하는 최소 샘플링 속도인 신호대역폭의 2배 보다 약간 큰 변환기를 말하며, 플래시(Flash) A/D 변환기, 파이프라인(pipeline) A/D 변환기 등이 이에 속한다. Nyquist 변환기는 고속 신호처리에 유리하지만 해상도가 낮고, 프로세스 변화에 대응하기 위한 보정 회로와

* 학생회원, 한양대학교 전자컴퓨터통신공학부
(Dep. of Electronic and Computer Engineering, Hanyang University)

** 정회원, 한양대학교 융합전자공학부
(Dept. of Electronic Engineering, Hanyang University)

※ 본 논문은 서울시 전략산업지원사업 (SS100022)에 의해 지원받았습니다
접수일자: 2012년8월17일, 수정완료일: 2013년3월22일

같은 부가적인 기법과 회로가 필요하며, 면적이 크다는 단점이 있다. 오버샘플링 A/D 변환기는 신호의 대역폭보다 매우 높은 속도로 샘플링을 하는 변환기를 말하는데, 아날로그를 디지털로 변환하는 과정에서 발생하는 양자화 잡음을 넓은 주파수 대역으로 분산시키므로 신호대역 안의 양자화 잡음을 줄여 높은 해상도를 얻을 수 있다. 특히 대표적인 오버샘플링 변환기인 델타-시그마 A/D 변환기는 잡음 shaping 특성으로 인해 양자화 잡음을 신호대역에서 고주파 대역으로 밀어냄으로써 SNR(signal-to-noise ratio)을 더욱 향상시킬 수 있다. 또한 델타-시그마 A/D 변환기에서는 많은 신호처리가 디지털 도메인에서 수행되기 때문에, CMOS 공정이 미세해 지고 구동전압이 낮아짐에 따라 전력 소모를 현저히 줄일 수 있는 장점을 가지고 있다. 따라서 신호의 대역폭이 비교적 작고 높은 SNR이 요구되는 음성신호용 A/D 변환기로는 델타-시그마형의 오버샘플링 변환기가 많이 사용된다^[4].

한편 보청기는 일반적인 오디오 기기보다 신호대역의 폭이 좁고 요구되는 SNR이 높지 않은 특성이 있다. 예를 들어 일반적인 콤팩트 디스크(CD)급 오디오는 44.1kHz의 샘플링 율과 20kHz 정도의 대역폭을 갖고 있다. 하지만 보청기들은 일반적으로 6~7kHz 정도의 대역폭을 가지고 있으며, 최근 더 넓은 주파수 대역폭이 난청 환자들에게 도움을 준다는 연구결과로 인해 10kHz나 그보다 약간 더 큰 대역폭을 갖는 보청기가 선보이고 있는 정도이다^[5-7]. 또한 SNR도 일반 오디오가 100dB에 가까운 SNR을 요구하는 것과 달리 보청기에서는 80dB 이하의 SNR 만이 필요하다. 반면에, 다른 음향기와 달리 늘 착용해야 하는 특성상 저전력이 매우 중요하다. 특히 보청기는 귀 안에 들어가거나 (CIC: completely in the canal), 귀 뒤에 위치해야 (BTE: behind the ear) 하는 등 크기가 매우 작아야 한다. 이 때문에 용량이 큰 배터리는 커서 사용이 불가능하므로, 전력소모를 줄이는 것이 특히 중요하다.

본 연구에서는 디지털 보청기에 사용될 수 있는 저전력 A/D 변환기를 설계하였다. A/D 변환기의 구조로는 델타-시그마 모듈레이터를 채용하였으며, 100Hz-10kHz의 신호대역에서 80dB의 SNR을 얻는 것을 목표로 하였다. 130nm CMOS 공정으로 실제 구현된 회로의 측정결과 79dB를 얻었으며, 1.2V의 전원전압에서 전력 소모는 60μW이었다.

II. 본 론

1. 시스템 레벨 설계

델타-시그마 ADC의 출력 잡음은 크게 양자화 잡음과 연산증폭기나 스위치에 의한 잡음으로 나눌 수 있다^[8]. 후자에 의한 잡음을 줄이기 위해서는 일반적으로 샘플링 커패시터의 크기를 크게 하고 연산증폭기의 전력소모를 크게 해야 한다. 대략적으로 SNR을 2배로 하기 위해서는 전력소모가 2배가 되어야 한다.

양자화 잡음을 줄이기 위해서는 모듈레이터의 차수를 높이거나 오버샘플링율을 높이는 등의 방법을 사용해야 하며, 이를 위해서도 전력소모가 증가하게 된다. 하지만 연산증폭기나 스위치에 의한 잡음에 비하면 작은 전력소모의 증가로도 쉽게 잡음을 줄일 수 있다. 따라서 본 연구에서는 신호주파수 대역 내에서 양자화 잡음이 연산증폭기와 스위치의 잡음에 비하여 무시할 만큼 작게 하여, 연산증폭기와 스위치에서 발생하는 잡음이 ADC의 SNR을 결정하도록 설계하였다. 이를 위해 SQNR (signal to quantization noise ratio)이 100dB 이상이 되어, 목표 SNR 보다 20dB 이상 크게 되도록 설계하였다.

본 연구에서는 단일 비트 3차 CIFB(Cascade of Integrators FeedBack form) 구조^[9]를 선택하였으며, 오버샘플링율(OSR)은 160으로 정하여 3.2MHz의 샘플링 속도로 동작하도록 하였다. 단일 비트 비교기를 사용하지 않고 멀티비트 비교기를 사용할 경우 더 낮은 OSR에서 변환기를 동작시킬 수 있다. 하지만, 이 경우 멀티비트 DAC의 비선형성을 제거하기 위하여 DEM (dynamic element matching)등의 기법을 사용해야 하기 때문에, 시스템이 복잡해지고 전력소모가 더 증가할

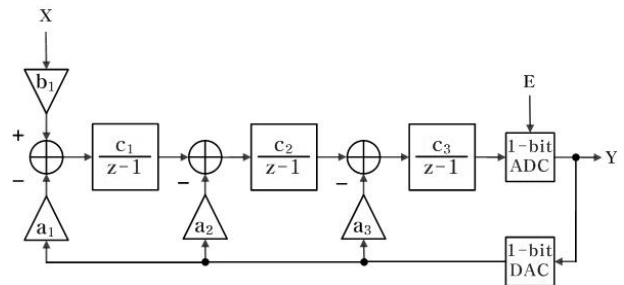


그림 1. 단일-비트 3차 델타-시그마 모듈레이터의 블록도
 Fig. 1. Block diagram of the single-bit 3rd-order delta-sigma modulator.

수 있다^[10-11].

그림 1은 본 논문에서 사용된 단일비트 3차 델타-시그마 모듈레이터의 블록도를 보여준다. X, Y 그리고 E는 각각 입력과 출력 그리고 양자화 잡음을 뜻한다. 델타-시그마 모듈레이터에서 첫 번째 적분기의 입력기준 잡음(input-referred noise)은 입력 신호에 그대로 더해지며, 모듈레이터의 잡음 웨이핑에 의해서 크기가 감소되지 않는다. 따라서 첫 번째 적분기의 잡음은 매우 작아야 한다. 이를 위해서는 큰 소모 전력이 필요한데, 그런 가운데서도 첫 번째 적분기의 출력 스윙을 최소화하여 전력 소모를 줄일 수 있도록 behavioral 시뮬레이션을 이용하여 각 계수 값을 최적화 하였다. 표 1은 시뮬레이션을 통하여 결정된 루프필터의 각 계수의 값을 보여준다.

그림 2는 최적화된 파라미터를 사용하여 behavioral 시뮬레이션을 하였을 때 얻은 각 적분기 출력 값의 히스토그램을 나타내고 있다. Behavioral 시뮬레이션에서 모든 적분기는 이상적인 것으로 가정하였다. 히스토그

표 1. 모듈레이터에 사용된 계수 값
Table 1. Coefficient values used in the modulator.

a_1	0.125	a_2	0.125	a_3	0.125	b_1	0.125
c_1	0.25	c_2	0.25	c_3	1		

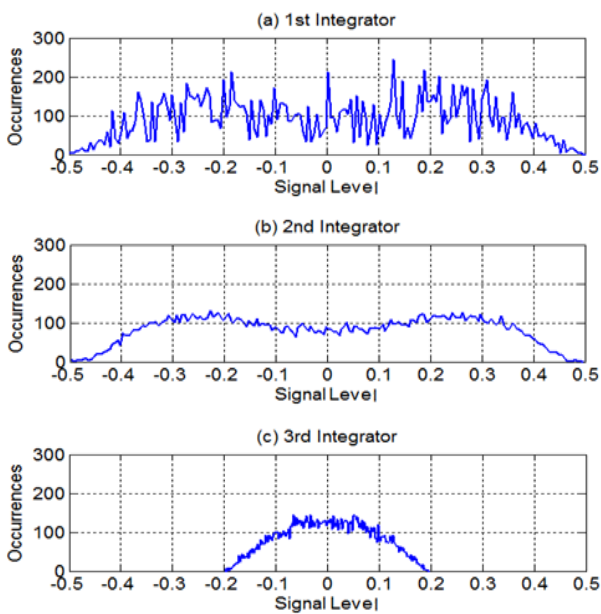


그림 2. 적분기 출력 스윙 히스토그램 (a) 1번째 적분기 (b) 2번째 적분기 (c) 3번째 적분기
Fig. 2. Histogram of integrator output swing (a) 1st integrator (b) 2nd integrator (c) 3rd integrator.

램에서 모든 적분기 출력 스윙 범위가 레퍼런스 전압의 1/2을 넘지 않은 것을 확인할 수 있다.

그림 3은 제안된 델타-시그마 모듈레이터의 behavioral 시뮬레이션 통해 얻은 시간 공간 출력을 푸리에 변환하여 얻은 전력 스펙트럼을 보여주고 있다. 이 시뮬레이션에서도 이상적인 적분기들을 가정하였고, 입력으로는 주파수가 1.0kHz이고 진폭이 -3.7dBFS인 정현파를 사용하였다. 진폭이 -3.7dBFS일 때 SQNR은 최대인 105dB가 된다. 그림에서 고조파 성분이 거의 발생하지 않는 것을 확인할 수 있다. 3차 고조파에 해당하는 3.0kHz 부근에 매우 작은 피크가 발견되는데, 그 크기는 기본파에 비해 130dB 이상 작아서 SNDR에 영향을 주지 않는다.

그림 4는 입력 신호의 크기를 변화시키면서 시뮬레이션을 반복하여 입력 크기와 SQNR의 관계를 측정한다

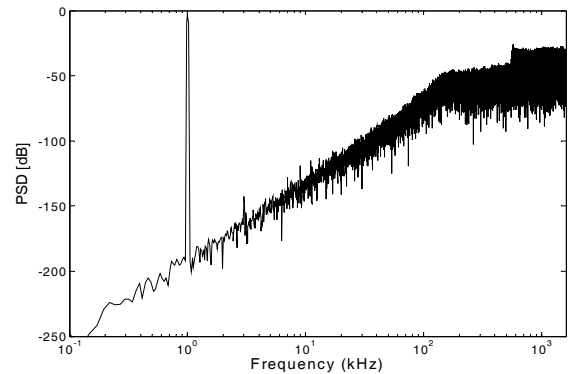


그림 3. 이상적인 적분기를 사용한 behavioral 시스템에서 얻은 출력 스펙트럼
Fig. 3. Output spectrum from behavioral simulations based on ideal integrators. ($f_{in}=1kHz$, $V_{in}=-3.7dBFS$).

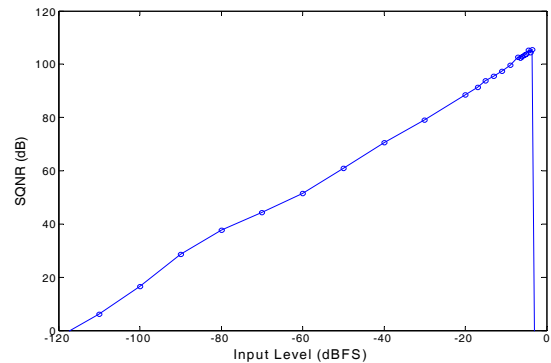


그림 4. 입력 신호의 크기에 따른 SQNR의 변화 시뮬레이션
Fig. 4. Simulated SQNR vs. input amplitude.

결과를 보여주고 있다. 입력 신호의 크기가 -10dBFS 보다 작을 때는 SQNR이 신호의 크기에 비례하여 증가하나 신호의 크기가 이보다 클 때에는 SQNR의 증가가 완만해져서 입력크기가 -3.7dB일 때 105dB의 최고값에 도달한다.

2. 회로 구현

가. 모듈레이터

그림 5는 본 연구에서 구현한 switched-capacitor 방식의 단일-비트 3차 델타-시그마 모듈레이터의 전체 구조를 개략적으로 보여주고 있다. 모듈레이터는 3개의 적분기로 구성되어 있으며 3.2MHz의 겹치지 않는 (non-overlapping) 2 위상 클락에 의해 동작한다.

II-1에서 언급한 대로 본 모듈레이터는 양자화 잡음 전력이 충분히 작도록 설계되었기 때문에, 모듈레이터의 SNR은 스위치와 연산증폭기에서 생성된 열잡음 및 플러커 잡음 등에 의해 결정된다. 이러한 잡음의 크기는 일차적으로 샘플링 커패시터의 크기에 의해 정해진다. 특히 열잡음의 경우 샘플링 커패시터의 크기 C_S 와 커패시터에 샘플링되는 잡음전력 사이에 식(1)과 같은 반비례의 관계가 성립한다^[3].

$$P_{noise} = \frac{k_B T}{C_S} \tag{1}$$

위에서 k_B 는 볼츠만 상수이고, T 는 절대온도이다. 따라서 SNR을 높이기 위해서는 커패시터의 크기를 증가시켜야 하는데, 이는 적분기의 입장에서 부하가 커지는 것으로 전력소모의 증가를 수반하게 된다.

여러 개의 적분기가 사용되는 고차 델타-시그마 모듈레이터에서는 특히 첫째 적분기의 잡음을 줄이는 것이 중요하다. 왜냐하면 첫 번째의 적분기의 출력은 둘째와 셋째 적분기에 의해 모두 적분되어 비교기 입력에 전달되는 반면에, 둘째 적분기의 출력은 셋째 적분기에 의해서만 적분되어 전달되고 셋째 적분기의 출력은 그대로 비교기에 전달되기 때문이다. 따라서 첫째 적분기의 커패시터의 크기를 가장 크게 하고 뒤로 갈수록 적분기의 커패시터의 크기를 작게 하였다.

비교기의 출력은 세 개의 적분기에 모두 피드백 된다. 첫 번째 적분기에서는 피드백 신호와 입력신호를 샘플링하는 커패시터(C_{S1})를 공유하여 샘플링 잡음을 줄였다. 이것이 가능하였던 것은 모듈레이터 파라미터 a1과 b1이 같았기 때문이다. 둘째 적분기의 입력부에서

표 2. 모듈레이터에 사용된 커패시터들의 크기 (pF)
Table 2. Capacitors used in the integrators (pF).

샘플링 커패시터				적분 커패시터	
C_{S1}	1.0			C_{I1}	8.0
C_{S2}	0.2	C_{I1}	0.2	C_{I2}	1.6
C_{S3}	0.1	C_{I2}	0.1	C_{I3}	0.8

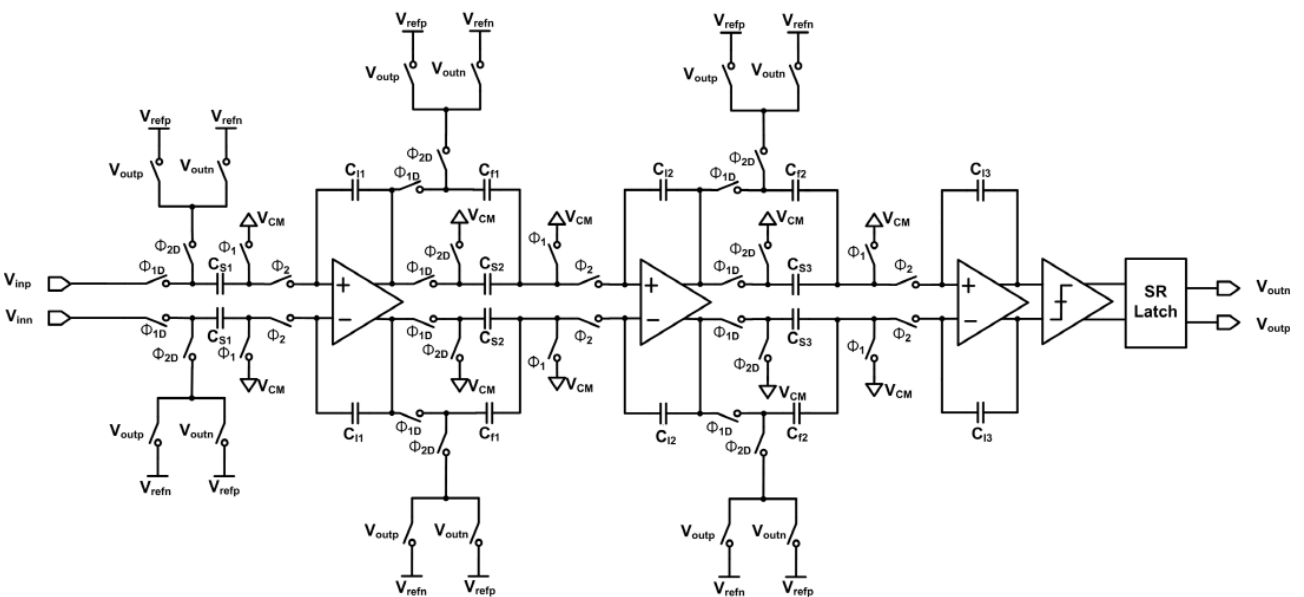


그림 5. 단일-비트 3차 델타-시그마 모듈레이터의 회로도
Fig. 5. Schematic diagram of the single-bit 3rd-order delta-sigma modulator

첫째 적분기의 출력은 $C_{S2}+C_{C1}$ 에 의해서, 피드백 신호는 C_{C1} 에 의해서 샘플링된다. 셋째 적분기는 C_{S3} 과 C_{C2} 를 사용하였으며, 원리는 둘째 적분기의 경우와 같다. 적분기들에 사용된 커패시터의 크기들은 표 2에 나타나 있다.

나. 저전력 AB급 연산증폭기

루프 필터의 적분기에 사용되는 연산증폭기는 델타-시그마 모듈레이터에서 대부분의 전력을 소모하고, 또한 전체 회로의 성능에 가장 많은 영향을 미치는 회로이다. 본 논문에서는 휴대용 기기에 사용될 수 있도록 저전압에서 구동되고 대기모드에서 저전력을 소모하며, 높은 전압 이득을 얻기 위해서 AB급 출력단을 갖는 2단 증폭기를 설계하였다.

그림 6은 본 연구에서 사용된 완전차동(fully differential) 연산증폭기의 구조도를 보여준다. 입력신호는 M_1 - M_4 로 구성된 차동쌍으로 입력되어 1단 증폭된 후 M_{14} 와 M_{16} (M_{13} 과 M_{15})으로 구성된 AB 출력단을 구동한다. AB급 동작을 통하여 출력단의 대기전류가 작 으면서도 최대 출력 전류가 크게 하여(첫째 적분기의

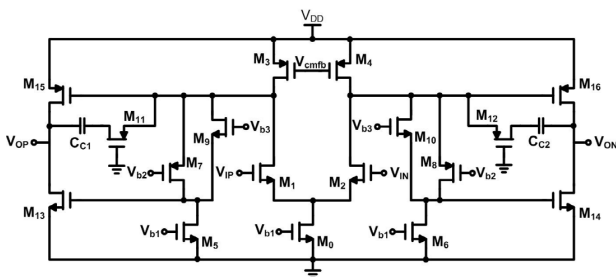


그림 6. AB 급 2단 연산증폭기의 구조도
Fig. 6. Schematic diagram of class-AB two-stage operational amplifier.

표 3. 연산증폭기에 사용된 소자의 크기 (μm , fF)
Table 3. Size of devices in operational amplifiers. (μm , fF).

	1 st	2 nd	3 rd
M_0	1.2/0.5	0.6/0.5	0.3/0.5
$M_1(M_2)$	5.6/3.0	2.8/3.0	1.4/3.0
$M_3(M_4)$	1.2/3.0	0.6/3.0	0.3/3.0
$M_5(M_6)$	1.5/14	1.5/14	1.5/14
$M_7(M_8)$	1.0/0.25	0.5/0.25	0.5/0.3
$M_9(M_{10})$	0.4/0.25	0.3/0.25	0.25/0.3
$M_{11}(M_{12})$	0.55/0.8	0.45/0.8	0.3/1.2
$M_{13}(M_{14})$	1.0/0.25	0.5/0.25	0.3/0.25
$M_{15}(M_{16})$	4.0/0.25	2.0/0.25	1.0/0.25
$C_{C1}(C_{C2})$	166	80	48

경우 각각 $4\mu\text{A}$ 및 $300\mu\text{A}$) 저전력을 실현하였다. M_6 , M_8 , M_{10} (M_5 , M_7 , M_9)는 AB급 동작을 위해서 출력단의 NMOS와 PMOS의 게이트에 가해지는 전압의 차를 조절한다^[12].

세 개의 적분기에서 사용되는 연산증폭기는 모두 같은 구조로 설계되었다. 하지만 둘째와 셋째 적분기는 더 작은 샘플링 커패시터와 적분 커패시터(C_I)를 사용하여 부하가 적으므로, 연산증폭기도 더 작은 크기의 트랜지스터를 사용하여 전력소모를 줄였다. 표 3은 연산증폭기들에 사용된 소자들의 크기를 보여준다.

연산 증폭기의 단위 이득 주파수는 적분기의 정착시간에 영향을 미친다^[13]. 긴 정착시간에 의한 적분기의 오차를 막기 위해 연산증폭기의 단위 이득 주파수는 ADC의 동작주파수보다 크게 해야 한다. 본 논문에서 사용한 연산증폭기의 주극점(dominant pole) ω_{p1} 은 $M_1(M_2)$ 의 드레인에 위치하는데, 첫 번째 단의 이득을 A_1 , 두 번째 단의 이득을 A_2 라고 한다면, ω_{p1} 은 밀러 근사법을 사용하여 다음과 같이 나타낼 수 있다.

$$w_{p1} \approx \frac{1}{A_2 C_{C1} R_{out1}} \quad (2)$$

위에서 R_{out1} 은 입력단의 출력저항이며 $R_{out1}=A_1/g_{m1}$ 의 관계가 성립한다. g_{m1} 은 $M_1(M_2)$ 의 트랜스컨덕턴스이다. 이때 단위이득 주파수는 다음과 같이 구할 수 있다.

$$GBW = A_1 A_2 w_p = \frac{g_{m1}}{C_{C1}} \quad (3)$$

가 된다. 첫째 적분기의 연산증폭기의 경우 $g_{m1}=23\mu\text{V}/\text{V}$, $C_{C1}=166\text{fF}$ 이므로, $GBW=22\text{MHz}$ 가 될 것을 기대할 수 있다. 그림 7은 첫 번째 적분기에 사용된 연산증폭기의 AC시뮬레이션 결과이다. GBW 는 27MHz 로 ADC의 대역폭보다 6배 이상 크게 하였으며, 위의 분석과 비교적 잘 일치한다. DC 이득은 80dB , 위상 마진은 60° 를 얻었다. 표 4는 사용된 연산증폭기 세 개의 성능을 비교한 것이다.

완전차동 연산증폭기는 출력 공통모드전압을 일정하게 유지하기 위해서 CMFB (common mode feedback) 회로가 필요하다. 본 연구에서는 비교적 구조가 간단하고 전력소모가 적은 switched-capacitor 구조의 CMFB 회로를 사용하였다^[14~15]. 그림 8에 CMFB 회로의 회로도 가 나타나 있다. 이 CMFB 회로는 연산증폭기의 출

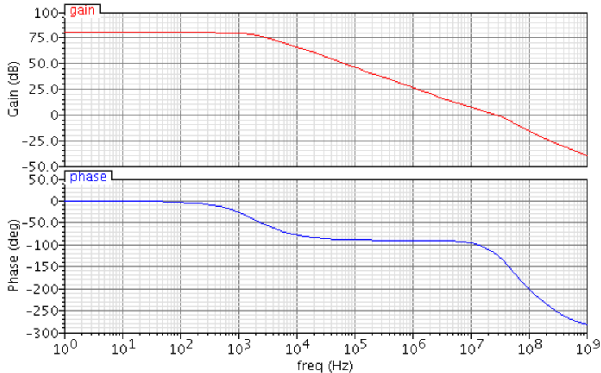


그림 7. 1째 적분기에 사용된 연산증폭기의 주파수 응답

Fig. 7. Frequency response of the operational amplifier in the 1st integrator.

표 4. 모듈레이터에 사용된 연산증폭기의 성능 비교
Table 4. Performance Summary of the Op-amps.

parameter	1 st	2 nd	3 rd
Supply voltage (V)	1.2	1.2	1.2
DC Gain (dB)	80	73	73
Phase Margin (degree)	60	57	72
Load Capacitor (pF)	1	0.4	0.2
GBW (MHz)	27	22	22
Power Consumption (μW)	16	8	4

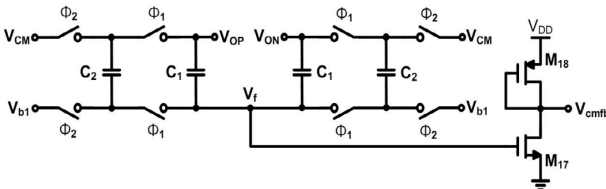


그림 8. switched-capacitor CMFB 회로
Fig. 8. Switched-capacitor CMFB circuit.

력 전압 V_{ON} , V_{OP} 를 감지하여 커패시터에 저장한 후 공통모드 전압 V_{CM} 과 비교하여 그 오차를 V_f 로 출력하는 형태이다. 연산증폭기의 입력 차동쌍의 PMOS 전류원의 전류 크기를 조절하는 방법으로 공통모드 전압을 조절한다. 피드백 신호의 극성을 맞추기 위해 V_f 는 인버터를 거쳐서 V_{cmfb} 로 변환되어 연산증폭기에 입력된다.

다. 비교기 및 SR-래치

그림 9는 본 논문에서 구현한 단일비트 양자화기에 사용된 비교기와 SR-래치를 보여준다. 비교기로는 전력소모를 줄이기 위해 클락 신호에 의해 제어되는 다이내믹 비교기를 사용하였다^[16]. 비교기의 동작을 살펴보

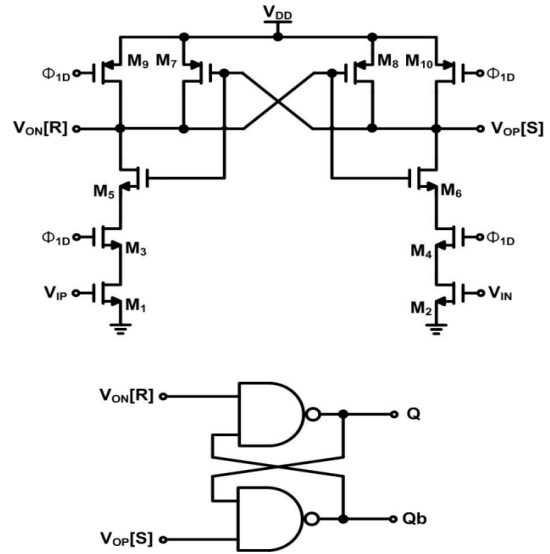


그림 9. 비교기와 SR-래치
Fig. 9. comparator and SR-latch.

면 다음과 같다. Φ_{1D} 가 로우(low)가 되면 비교기는 리셋 되어 출력 $V_{on}[R]$ 과 $V_{op}[S]$ 는 모두 하이(high)가 된다. 이 후, Φ_{1D} 가 다시 하이(high)가 되면 비교동작을 시작한다. 입력 전압이 높은 쪽의 출력 전압이 더 빨리 떨어지기 시작하는데, 이것이 비교기 내부의 포지티브 피드백에 의해 강화되어 입력이 높은 쪽의 출력은 로우가 되고 반대편 출력은 하이(high)가 된다. 비교기의 출력 전압은 SR-래치에 의해서 저장된다. SR-래치는 비교기의 출력값을 유지하면서, 델타-시그마 피드백 루프의 스위치를 구동하는 역할을 한다.

라. 겹치지 않는(non-overlapping) 클락 발생기
서로 겹치지 않는 두 위상의 클락 Φ_1 , Φ_2 는 switched capacitor 회로의 동작에서 중심적인 역할을 한다. 그림

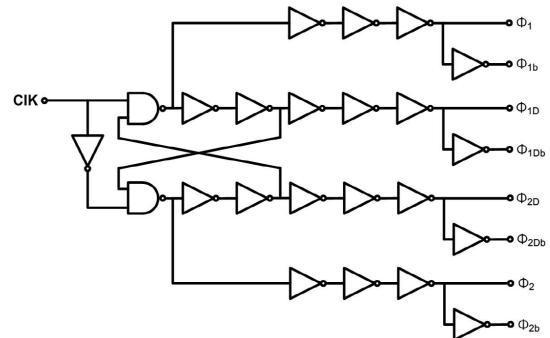


그림 10. 겹치지 않는 클락 생성기의 구조도
Fig. 10. Schematic diagram of non-overlapped clock generator.

10은 본 연구에서 사용한 클락 발생기를 보여준다. 외부에서 인가되는 클락을 교차 연결된 인버터 체인 구조에 입력하여 Φ_1 , Φ_2 를 만든다. Φ_{1D} , Φ_{2D} 는 지연된 클락 신호인데 적분기의 동작에 스위치의 전하 주입(charge injection)이 주는 영향을 최소화하기 위해 사용된다.

III. 측정 결과와 논의

설계된 델타-시그마 모듈레이터는 130nm CMOS 공정을 사용하여 제작하였다. 그림 11은 제작된 모듈레이터의 칩 사진이다. 패드를 제외한 코어(core)의 면적은 $0.53\text{mm} \times 0.53\text{mm}$ 이다.

그림 12는 -3.6dBFS 의 크기를 갖는 1kHz의 정현파

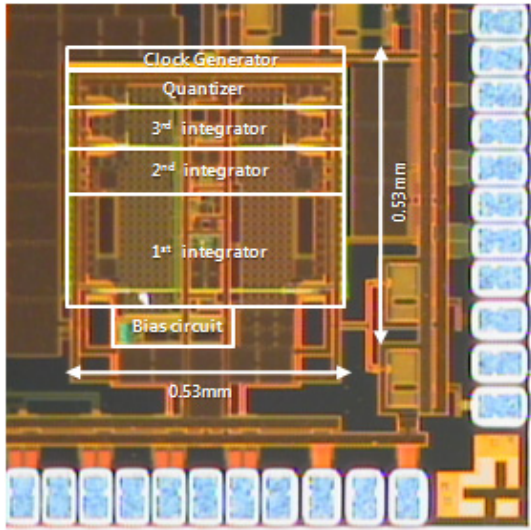


그림 11. 칩 사진

Fig. 11. Chip microphotograph.

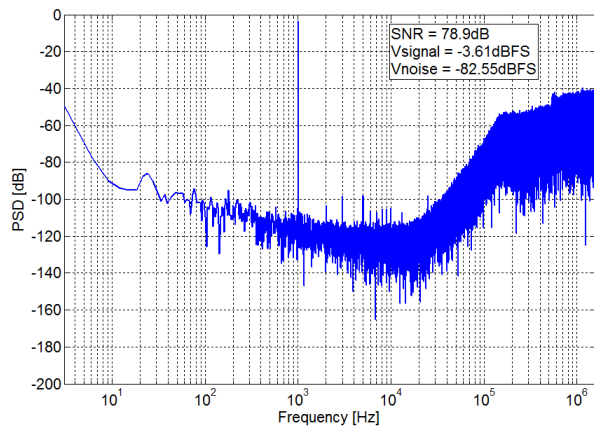


그림 12. 측정된 출력 스펙트럼

Fig. 12. Measured output spectrum.

를 입력하였을 때 측정된 출력 스펙트럼을 나타낸다. 100Hz-10kHz 사이의 잡음 전력을 계산하여 SNR을 측정한 결과 79dB를 얻었다. 다른 주파수의 입력을 가했을 때도 거의 같은 최대 SNR을 얻었다. 1kHz의 정수배의 주파수에서 고조파들에 해당하는 작은 피크들을 볼 수 있다. 홀수배에 해당하는 고조파 피크들이 우세한데 1kHz의 기본파에 비교할 때 모두 98dB 이상 작으므로 SNDR에는 영향을 주지 않으며, 따라서 SNDR은 SNR과 거의 일치한다.

그림 12에서 1kHz 이하의 주파수에서 잡음 전력밀도가 증가하는 것을 볼 수 있다. 주파수 대역에 따른 잡음의 분포를 살펴보면 100Hz-1kHz 사이가 54%, 1kHz-10kHz 사이가 46%를 차지한다. 1kHz 이하의 잡음은 대략 플리커 잡음으로 볼 수 있는데, 이를 줄이기 위해서 chopping 이나 CDS(correlated double sampling) 등의 방법을 사용할 수 있다. 하지만 이 때 고주파 대역의 열잡음이 aliasing 되어 내려와서 신호 대역의 잡음이 증가하는 현상이 발생하는 것과^[17], 플리커 잡음의 비중이 전체의 1/2 정도인 것을 고려할 때, 이들 방법을 사용할 때의 전체적인 이득은 제한적일 것으로 예상된다.

전원 전압으로 1.2V를 사용하였으며 이 때 모듈레이터가 소모하는 전력은 $60\mu\text{W}$ 에 불과하다. 표 5는 칩으로 구현된 델타-시그마 모듈레이터의 성능 및 사양을 종합하여 보여주고 있다.

표 5. 성능 요약

Table 5. Performance summary.

Parameter	Value
Number of order	3
Supply voltage	1.2 V
Sampling frequency	3.2 MHz
Signal bandwidth	10 kHz
Oversampling ratio	160
Peak SNDR	79 dB
SFDR	94.4 dB
Power consumption	60 μW
Core area	$0.53\text{mm} \times 0.53\text{mm}$
Technology	0.13 μm CMOS

IV. 결론

본 논문에서는 저전력 3차 델타-시그마 모듈레이터

를 switched-capacitor 구조를 이용하여 설계하였다. 적분기의 출력 스윙을 최소화 하는 시스템의 계수를 선택하고 AB 급 구조의 연산증폭기를 설계하여 모듈레이터의 소모 전력을 최소화 하도록 하였다. 제안된 A/D 변환기는 130nm CMOS 공정을 사용하여 구현되었으며, 제작된 칩을 측정 한 결과 79dB의 SNR을 얻었다.

참 고 문 헌

- [1] A. M. Engebretson "Benefits of digital hearing aids" IEEE Engineering in Medicine and Biology Mag., Vol. 13, pp. 238-248, Apr./May 1994.
- [2] K. A. Mullins "Design of a digital hearing aid" Northcon/96, pp. 281-284, Seattle, USA, Nov. 1996.
- [3] F. Maloberti, "Data Converters", Springer, 2007.
- [4] L. Yao, M. S. J. Steyaert, W. Sansen, "A 1V 140uW 88dB Audio Sigma-Delta Modulator in 90nm CMOS" IEEE J. of Solid-State Circuits, Vol. 39, no. 11, pp. 1809 - 1818, Nov. 2004.
- [5] T. A. Ricketts, A. B. Dittberner, E. E. Johnson, "High-frequency amplification and sound quality in listeners with normal through moderate hearing loss", J. of Speech, Language, and Hearing Research, Vol. 51, no. 1, pp. 160-172, Feb. 2008.
- [6] P. G. Stelmachowicz, A. L. Pittman, B. M. Hoover, D. E. Lewis, M. P. Moeller, "The importance of High-frequency audibility in the speech and language development of children with hearing loss", Arch Otolaryngol Head Neck Surg, Vol. 130, no. 5, pp. 556-562, May 2004.
- [7] Siemens, Siemens Hearing Instruments Product Portfolios - Fall/Winter 2012/13
- [8] J. M. de la Rosa "Sigma-delta modulators: tutorial overview, design guide, and state-of-the-art survey" IEEE Transactions on Circuits and Systems I, vol. 58, no. 1, pp. 1-21, 2011.
- [9] R. Schreier, G. C. Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE Press, pp. 115-120, 2005.
- [10] E. Fogleman, I. Galton, "A dynamic element matching technique for reduced-distortion multibit quantization in delta-sigma ADCs" IEEE Tran. on Circuits and Systems II, Vol. 48, no. 2, pp. 158-170, 2001.
- [11] 김동균, 조성익 "개선된 DWA 구조를 갖는 3차 3-비트 SC Sigma-Delta Modulator" 전자공학회 논문지, 제48권 SD편, 제5호, 18-24쪽, 2011년 5월
- [12] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, J. H. Huijsing, "A compact CMOS 3-V rail-to-rail input/output operational amplifiers for VLSI cell libraries," IEEE J. Solid-State Circuits, Vol. 29, no. 12, pp. 1505-1513, 1994.
- [13] Klass Bult, Govert J. G. M. Geelen, "A fast-settling CMOS Op amp for SC circuits with 90-dB DC gain" IEEE J. of Solid-State Circuits, Vol. 25, no. 6, pp. 1379 - 1384, 1990.
- [14] O. Choksi, L. R. Carley "Analysis of switched-capacitor common-mode feedback circuit," IEEE Tran. on Circuits and Systems II, Vol. 50, no. 12, pp. 906-917, 2003.
- [15] A. Noman, M. Dessouky, K. Sharaf, "A dual phase SC CMFB circuit for double sampling modulators" 2003 IEEE 46th Midwest Symp. on Circuits and Systems, Vol. 1, pp. 287-290, Cairo, Egypt, Dec 2003.
- [16] 최영길, 노형동, 변산호, 남현석, 노정진 "99dB의 DR를 갖는 단일-비트 4차 고성능 델타-시그마 모듈레이터 설계" 전자공학회 논문지, 제44권 SD편, 제2호, 25-33쪽, 2007년 2월
- [17] C. Enz, G. C. Temes, Circuit techniques for reducing the effects of Op-amp imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization, Proc. IEEE, Vol. 84, pp. 1584-1614, 1996.

저 자 소 개



인 병 화(학생회원)
2011년 서경대학교 전자공학과
학사 졸업.
2013년 한양대학교 전자컴퓨터
통신공학과 공학석사
2013년~현재 LG전자

<주관심분야 : Low-Voltage, Low-power
circuits, Mixed-Signal CMOS Integrated
circuits>



임 새 민(학생회원)
2010년 한양대학교 전자통신컴퓨터
공학과 학사 졸업.
2013년 한양대학교 전자컴퓨터
통신공학과 공학석사
2013년~현재 한양대학교 전자컴
퓨터통신공학과 박사과정

<주관심분야 : Low-Voltage, Low-power
circuits, Mixed-Signal CMOS Integrated
circuits>



박 상 규(정회원)
1990년 서울대학교 전자공학과
공학사 졸업.
1992년 서울대학교 대학원
전자공학과 공학석사
1998년 Purdue Univ., School of
Electrical and Computer
Eng., Ph.D.

1998년~2000년 AT&T Labs-Research, Senior
Technical Staff Member

2000년~현재 한양대학교 융합전자공학부 교수
<주관심분야 : Mixed-Signal CMOS integrated
circuits, CMOS sensor circuits, Optical fiber
transmission systems>