

# 단상 3-레벨 PWM 컨버터를 위한 중성점 전압 변동 보상 기법

## (DC-link Voltage Ripple Compensation Method for Single Phase 3-level PWM Converters)

이희면\* · 이동명\*\*

(Hee-Myun Lee · Dong-Myung Lee)

### Abstract

This paper proposes a DC-link voltage variation compensation method for a 3-level single phase converter for high-speed trains. Since 3-level NPC(Neutral Point Clamped) type converters have the split DC-link causing the inherent problem of voltage fluctuations in the upper and lower capacitors, reducing the voltage difference between the top and bottom capacitors is required. In this paper, compensation time proportional to the voltage difference is added to PWM switching time to solve the voltage variation. The compensation time is obtained by a PI controller. Simulation results demonstrate the validity of the proposed method.

Key Words : PWM Converter, Multi-level Systems, DC-link Voltage Ripple Compensation

## 1. 서 론

철도 시스템의 추진 시스템은 인버터와 컨버터로 구성되어 전동기를 구동하는 시스템으로 한국의 고속 철도는 출력전압이 2-레벨인 시스템이 이용되고 있다. 이러한 전력변환기 중 모선의 AC 전압을 DC전압으로 만드는 컨버터는 단상 컨버터가 사용되고 있다. 한편 단상 컨버터의 스위칭에 따른 고조파를 저감하

기 위하여 2개의 컨버터를 병렬 운전하고 있으며, 두 컨버터의 스위칭 시점을 반주기 어긋나도록 스위칭을 행하여 고조파를 제거하는 기법을 사용하고 있다 [1-2]. 그러나 이러한 단상 컨버터의 병렬 운전 방식은 병렬 운전되는 컨버터가 변압기를 통하여 자기적으로 결합되어 있음으로 인해 한쪽 컨버터의 스위칭이 다른 한쪽의 컨버터 제어에 영향을 미치는 간섭현상이 발생하고 이를 제거하기 위한 기법이 연구되고 있다[3-4]. 병렬 운전에 따른 간섭현상을 제거하기 위하여 2-레벨 구조를 가진 전력변환기에 비하여 고조파 특성이 우수한 3-레벨 구조의 단상 컨버터를 단독으로 사용하는 구조에 대한 시뮬레이션 모델이 연구되었다[5].

3-레벨 NPC (Neutral Point Clamped) 컨버터의 경우 상, 하단으로 분리된 DC 링크 커패시터를 가지고

\* 주저자 : 신보정보통신 연구원  
\*\* 교신저자 : 홍익대 전자전기공학부 부교수  
\* Main author : Shinbo Ltd.  
\*\* Corresponding author : Hongik University, School of Electronic and Electrical Engineering.  
Tel : 02-320-3047, Fax : 02-320-1193  
E-mail : dmlee@hongik.ac.kr  
접수일자 : 2012년 12월 15일  
1차심사 : 2012년 12월 22일  
심사완료 : 2013년 2월 25일

있으며, 각 스위치의 상태에 따라 전원과의 전력전달에 관여하는 커패시터가 달라짐으로 인해서 상, 하단 전압의 변동이 발생한다. 과도한 중성점 전압 변동은 전력용 스위치에 과전압이 야기되며, 소자의 정격 전류 증가를 가져온다[6].

DC 링크 커패시터의 값의 변동이나 차이, 소자의 특성 변동에 따라서 상, 하단 DC 링크단 전압 변동 현상은 악화된다. 현재까지 3상 컨버터 DC 링크단 전압 변동보상 등에 대한 연구가 많이 발표되었다[7-9]. 이에 비하여 3-레벨 NPC 구조를 적용한 단상 PWM 컨버터의 대한 연구는 일부만이 발표되고 있다[10-12]. 문헌 [10]에서는 회전자표계 전류 생성 방식에 따른 성능을 주로 비교하고 있다. 문헌 [11]에서는 중성점 전압 변동 보상을 위한 스위칭 시간을 연산처리하고 있으며 스위칭 시간 결정을 위해 커패시터 용량과 같은 상수가 사용된다. 문헌 [12]에서는 3-레벨 단상 PWM 컨버터와 단상 인버터와 정류회로를 통한 DC/DC 변환기에서의 DC 링크단 전압 균형화 기법을 소개하고 있으며 정상상태의 DC 링크 전압파형만을 제시하고 있다.

본 논문에서는 기존의 공간전압 PWM(SVPWM) 기법을 고속철도용 단상 3-레벨 컨버터에 적용을 위해 제시된 저자의 시뮬레이션 모델[5]에 대한 중성점 전압 변동 기법을 제안하고자 한다. 이 기법에서는 상, 하단 커패시터의 전압차를 PI 제어기를 통하여 보상 전압의 크기를 결정하고, 공간전압 PWM에 의해 생성되는 스위칭 시간에 더해주는 형태로 인가하여 상, 하단 커패시터의 전압의 균형을 이루도록 한다. 시뮬레이션을 통해서 제안하는 기법의 타당성을 보인다.

## 2. 단상 3-레벨 PWM 컨버터

### 2.1 PWM 컨버터 및 SVPWM 기법

그림 1은 본 논문에서 적용하는 3-레벨 NPC 단상 PWM 컨버터의 구조를 보인다. 단상 PWM 컨버터의 PWM 기법은 [5]에 자세히 나와 있으며 본 논문의 이해를 돕기 위하여 주요 내용만을 서술한다. 그림 1의 단상 3-레벨 컨버터의 경우 스위칭의 형태는 9가지가

존재하나 선간 전압은 표 1과 같이 4가지만 존재한다. 표 1에서 스위칭 상태는 1, 0, -1로 나타내었고, a 상을 예로 하였을 때 각각 상단 2개의 스위치 ( $S_{a1+}$ ,  $S_{a2+}$ ) 중간 2개의 스위치 ( $S_{a2-}$ ,  $S_{a1-}$ ) 하단 2개 스위치( $S_{a1-}$ ,  $S_{a2-}$ )가 온이 된 상태로 출력전압은 o점 기준으로 각각  $V_{dc}/2$ , 0,  $-V_{dc}/2$ 이다.

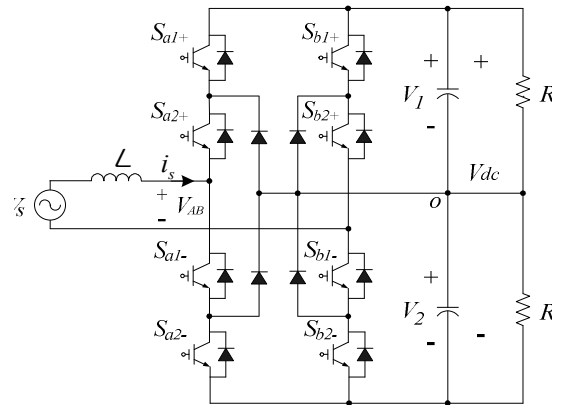


그림 1. 단상 3-레벨 PWM 컨버터의 구조  
Fig. 1. Configuration of single phase 3-level PWM converter

표 1. 3-레벨 단상 컨버터의 스위칭 상태와 출력전압  
Table 1. Voltage output of single-phase 3-level converters corresponding to switching status

스위칭 상태	출력 전압	스위칭 상태	출력 전압
(1, -1)	$V_{dc}$	(1,1), (0,0), (-1,-1)	0
(-1,1)	$-V_{dc}$		
(1,0),(0,-1)	$V_{dc}/2$	(0,1),(-1,0)	$-V_{dc}/2$

(x,x)=(A상의 스위칭 상태, B상의 스위칭 상태)

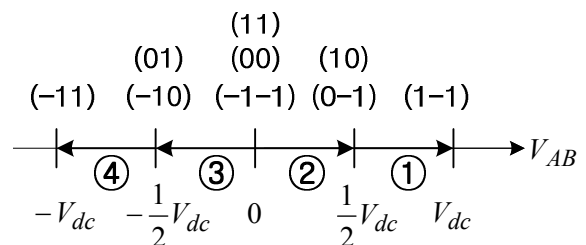


그림 2. 단상 3-레벨 컨버터의 출력전압 벡터도와 영역  
Fig. 2. Voltage vectors and regions in a 3-level converter

전압 지령치의 크기에 따라 영역은 그림 2와 같이 4개로 나눌 수 있다. 영역 1은  $V_{ref} > V_{dc}/2$ , 영역 2는  $0 < V_{ref} \leq V_{dc}/2$ , 영역 3은  $-V_{dc}/2 \leq V_{ref} < 0$ , 영역 4는  $V_{ref} < -V_{dc}/2$ 인 구간이다. 그림 2의 전압 벡터 중  $V_{dc}$ ,  $-V_{dc}$ 를 생성하는 (1,-1) 혹은 (-1,1)의 스위칭 상태에서는 상, 하단의 커패시터 모두 전력의 전달에 관여하며  $V_{dc}$  크기의 양 혹은 음의 큰 전압을 생성하고, 이를  $V_p$  혹은  $V_n$ 으로 각각 표시한다. 한편 상, 하단의 커패시터가 모두 전력전달에 관여하는  $V_p$  혹은  $V_n$ 으로는  $V/2$ (상단 커패시터 전압),  $V/2$ (하단 커패시터 전압) 변동을 제어할 수 없다.

$1/2 V_{dc}$ 를 생성하는 스위칭 상태는 (1,0), (0,-1)이다. 이 중 스위칭 상태 (1,0)인 경우 상단 커패시터가 전력 전달에 관여하고, (0,-1)에서는 하단 커패시터가 전력 전달에 관여한다. 따라서 DC 링크 상단에 관여하는 (1,0)은 small positive vector ( $V_{sp}$ )로, (0,-1)은  $V_2$  전압 즉 DC 링크 하단이 관여하므로 small negative vector ( $V_{sn}$ )라고 명명한다. 한편 지령치 전압 ( $V_{ref}$ )은 전압벡터가 위치한 영역에서의 우측 벡터( $V_r$ )와 좌측 벡터( $V_l$ )의 시간 합으로 생성되며 식 (1)과 같다.

$$\int_0^{T_s} V_{ref} dt = \int_0^{T_r} V_r dt + \int_{T_r}^{T_s} V_l dt \quad (1)$$

식 (1)은 샘플링시간  $T_s$  동안  $V_{ref}$ 가 일정하다고 가정시 식 (2)로 나타난다.

$$V_{ref} \cdot T_s = V_r \cdot T_r + V_l \cdot T_l \quad (2)$$

식 (2)를 정리하여  $T_r$ 을 구한다. 좌측 벡터의 인가시간  $T_l$ 은  $T_s - T_r$ 로 구해지며, 각 영역에서의  $T_r$ ,  $T_l$ 은 표 2와 같다.

표 2. 영역에 따른 우측 전압벡터 인가시간( $T_r$ )  
Table 2.  $T_r$  corresponding to each region

영역 1	$T_s(2V_{ref}/V_{dc}-1)$
영역 2	$2T_s \times V_{ref}/V_{dc}$
영역 3	$T_s(1+2V_{ref}/V_{dc})$
영역 4	$2T_s(1+V_{ref}/V_{dc})$

그림 3은 영역 1에 전압벡터가 머물 때의 폴 전압과 이 형태의 전압을 생성하기 위한  $S_{a1+}$ ,  $S_{a2+}$ 의 스위칭 상태를 보인다. 그림 위쪽에 표시한 폴 전압을 생성하기 위해서는  $S_{a1+}$ ,  $S_{a2+}$ 의 스위칭 시간의 아래쪽 그림과 같이 나타나야 함을 알 수 있다.

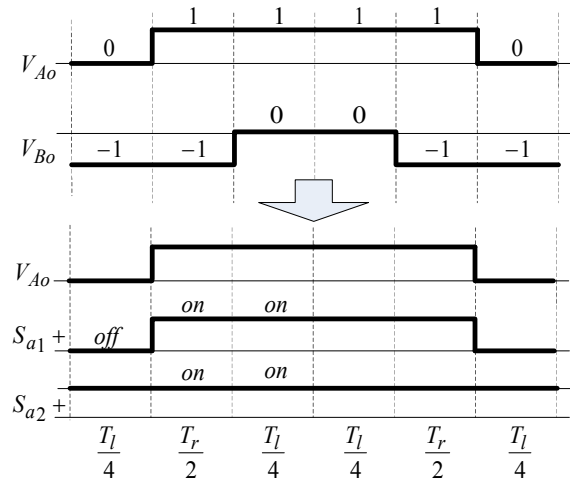


그림 3. 폴 전압과 대응하는 상단 스위치의 게이트 신호  
Fig. 3. Pole voltage waveform and the gate signals of upper switches for making the pole voltage waveforms

컨버터 구동을 위해 구해야 할 인가시간은 각 레그의 상단 2개의 스위치에 해당하는 시간을 구하고, 각 레그의 하단 2개의 스위치 인가시간은 상단 스위칭 시간을 상보적으로 적용하여 구한다. 표 3은 각 영역에서의 각 스위치의 인가시간을 정리한 것이다.

표 3. 각 스위치의 인가시간  
Table 3. Switching times for each switch

	영역 1	영역 2
$S_{a1+}$	$T_s - T_l/2$	$T_r/2 + T_l/3$
$S_{a2+}$	$T_s$	$T_s - T_l/3$
$S_{b1+}$	0	$T_l/3$
$S_{b2+}$	$T_l/2$	$T_s - T_l/3 - T_r/2$
	영역 3	영역 4
$S_{a1+}$	$T_r/3$	0
$S_{a2+}$	$T_s - T_r/3 - T_l/2$	$T_l/2$
$S_{b1+}$	$T_r/3 + T_l/2$	$T_s - T_r/2$
$S_{b2+}$	$T_s - T_r/3$	$T_s$

### 2.2 제안하는 DC-link 전압 균등화기법

스위칭 상태에 따른 상, 하단 커패시터의 전압( $V_1$ ,  $V_2$ )의 변화는 아래와 같이 설명할 수 있다. 그림 4 (a), (b)는 그림 1의 단상 PWM 컨버터의 스위칭 상태가 각각 (0,-1)인 경우와 (1,0)인 경우의 등가회로이다. 입력 전류  $i_s$ 의 극성에 따라서 전압의 형태는 다음과 같이 나타난다.

그림 4 (a)와 같이  $V_{sn}(0,-1)$ 을 선택 시  $i_s$ 가 양인 경우  $V_2$ 가 상승하며,  $i_s$ 가 음인 경우는 반대로  $V_2$ 가 하강한다. 전류의 부호는 왼쪽에서 오른쪽으로 흐를 때를 양의 방향으로 정하였다. 이에 비해 스위칭 상태 (1,0)인  $V_{sp}$ 를 선택 시  $i_s$ 가 양인 경우  $V_1$ 은 상승하고, 음인 경우  $V_1$ 은 하강하게 된다. 따라서 전류 방향이 양인 경우  $V_1 > V_2$  조건에서 전압 불균형 제거를 위하여  $V_2$ 를 상승시키려면 (0,-1)을 선택해야하고  $V_2 > V_1$ 인 경우  $V_1$ 을 상승시키려면 (1,0)을 선택하여야 한다. 전류 방향이 음인 경우에는  $V_1 > V_2$  조건에서  $V_1$ 를 하강시키려면 (1,0)을 선택하고  $V_2 > V_1$ 인 경우  $V_2$ 를 낮추려면 (0,-1)을 선택하여야 한다. 따라서 상, 하단 DC 링크간의 전압의 불평형이 발생하는 경우  $i_s$ 의 전류의 부호와  $V_1$ 과  $V_2$ 의 전압 관계를 통하여 동일한 전압  $\pm V_{dc}/2$ 을 생성 가능한 두 개의 전압 벡터  $V_{sp}$ ,  $V_{sn}$ 의 시간적 분배를 통하여 상, 하단 커패시터의 전압 균형을 이룰 수가 있다.

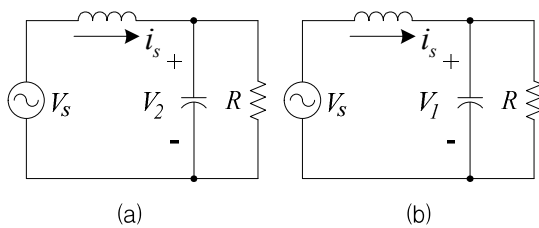


그림 4. 스위칭 상태에 따른 등가회로(a(0,-1),b(1,0))  
Fig. 4. Equivalent circuit for the switching status  
(a)(0,-1), and (b)(1,0)

위의 기법을 적용하여 각 영역에서 전압의 크기 조건과 전류의 방향을 고려 시에 선택해야 할 작은 전압 벡터는 표 4와 같이 나타낼 수 있다. 예를 들어 지령

전압이 영역 3에 위치하고,  $V_1 > V_2$ 이고 전류가 양(+)일 때는 (0,1)을 전류가 음(-)인 경우는 (-1,0)을 선택하여  $V_1$ 과  $V_2$ 의 균형을 이루도록 한다.

표 4. 전압 균등화를 위해 선택해야 할 스위칭 형태  
Table 4. Selection of small voltage vectors for balancing voltages of the DC-link capacitors

구분	전류방향	$V_1 > V_2$	$V_2 > V_1$
영역 1 & 2	+	(0,-1) $V_{sn}$	(1,0) $V_{sp}$
	-	(1,0) $V_{sp}$	(0,-1) $V_{sn}$
영역 3 & 4	+	(0,1) $V_{sp}$	(-1,0) $V_{sn}$
	-	(-1,0) $V_{sn}$	(0,1) $V_{sp}$

한편 표 4와 같이  $V_{sp}$ (예를 들면 (1,0)) 혹은  $V_{sn}$ (예를 들면 (0,-1))의 인가 시간의 증감과 각 스위치의 인가시간과의 관계는 그림 5와 같다. 그림 5는 그림 3에서 나타낸 영역 1에서의  $S_{a1}^+$ 와  $S_{a2}^+$ 의 인가 시간을 예로 한다.

영역 1에서  $V_1 > V_2$ 이고, 전류의 극성이 양인 경우 (0,-1)의 인가 시간을 증가, (1,0)의 인가시간을 감소시켜는 경우 그림 5에서 보이듯이 화살표가 가리키는  $\Delta t/2$  만큼을 감소시키는 경우  $S_{a1}^+$ 의 온 시간이  $\Delta t$ 만큼 인가 시간이 줄어들음을 볼 수 있다. 한편 그림에서 보듯이  $S_{a2}^+$ 의 인가시간은  $T_s$ 로  $\Delta t$ 가감에 상관없이 동일하다. 결과적으로 그림 5의 경우는 (0,-1)의 인가시간은  $\Delta t$ 만큼 증가하고, (1,0)의 인가시간은  $\Delta t$ 만큼 감소하게 되며, (1,-1)의 인가시간은 동일하게 유지됨을 볼 수 있다.

각 영역에 대한  $\Delta t$ 의 증감을 위한 각 스위치의 시간을 정리하면 표 5와 같다. 그림 5에서 보았듯이  $\Delta t$ 의 증감은  $S_{a1}^+$ 의 증감에는 영향을 미쳤으나  $S_{a2}^+$ 의 시간 변화는 일어나지 않는다. 이와 같은 스위칭 타임의 변화는 각 영역에서 유사한 형태로 일어나고, 각 영역에서 증감되는 스위칭 타임은 두 개의 스위치에서만 나타남을 그림 5와 같은 방식으로 각 영역에서의 스위칭 시간을 도시해 보면 알 수 있다.

$V_{sp}$ ,  $V_{sn}$ 의 관계로 생각하면  $V_{sp}$ 를 감소시키는 경우 (즉 (1,0) 감소), 그림 5로부터  $S_{a1}^+$ 의 온 시간이 줄어

들을 볼 수 있다. 이와 반대로  $V_{sp}$ 를 증가시키는 경우 (즉 (1,0) 인가시간 증가)에는  $S_{a1+}$ 의 온 시간이 증가해야 함을 알 수 있다. 즉  $V_{sp}$  인가시간 증가 시  $S_{a1+}$  증가,  $V_{sn}$  인가시간 증가 시  $S_{a1+}$  감소이다.

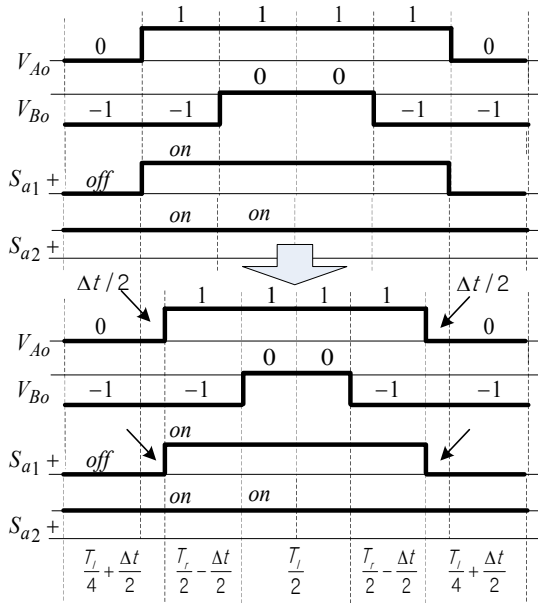


그림 5. 영역 1에서 (0,-1)증가 (1,0)감소시의 스위칭 시간 변화

Fig. 5. Change of switching time with increment of switching time for (0,-1) and decrement of that for (1,0)

한편  $\pm \Delta t$ 로 표시된  $\Delta t$ 의 부호 즉 양 혹은 음의 부호는 영역 1, 2에서 식 (3)과 같이 전류 부호와 상, 하단 전압차이의 부호의 곱으로 결정된다.

$$\Delta t \text{ 부호} = (\text{전류 부호}) \times (V_2 - V_1 \text{의 부호}) \quad (3)$$

예를 들어 표 4의 첫째 행에 나타난 영역 1에서  $V_2 > V_1$ 이며 전류가 양인 경우 선택해야 할 벡터는 (1,0)으로  $V_{sp}$ 이다. 즉  $V_{sp}$ 의 선택 시간을 늘려 주어야 하며, 이는 앞서 설명한 것과 같이 전압의 스위치의 온 시간을 증가시키면 된다.

영역 1, 2에서는 식 (3)으로 계산된 보상시간  $\Delta t$ 의 부호를 갖게 된다. 이에 비해 영역 3, 4에서는 표 4에서 나타난 것과 같이 전류극성이 양이고  $V_2 > V_1$  인 경

우 (-1,0)인  $V_{sn}$ 를 선택해야 한다. 영역 1, 2에서  $V_{sp}$ 를 선택한 것과는 반대이다. 따라서 영역 3, 4에서의  $\Delta t$ 의 극성은 영역 1, 2에서 구해진 부호와 반대이다. 즉 영역 3, 4에서의  $\Delta t = -1 \times (\text{영역 1, 2에서의 } \Delta t)$ 이다. 따라서 표 5에서 영역 3, 4의  $\Delta t$ 는  $\mp \Delta t$ 로 나타난다.

표 5.  $V_1$ 과  $V_2$ 의 균등화를 위한 스위칭 시간의 변화  
Table 5. Modification of switching time for balancing  $V_1$  and  $V_2$

	영역 1	영역 2
$S_{a1+}$	$T_s - T_r/2 \pm \Delta t$	$T_r/2 + T_r/3 \pm \Delta t$
$S_{a2+}$	$T_s$	$T_s - T_r/3$
$S_{b1+}$	0	$T_r/3$
$S_{b2+}$	$T_r/2 \pm \Delta t$	$T_s - T_r/3 - T_r/2 \pm \Delta t$
	영역 3	영역 4
$S_{a1+}$	$T_r/3$	0
$S_{a2+}$	$T_s - T_r/3 - T_r/2 \mp \Delta t$	$T_r/2 \mp \Delta t$
$S_{b1+}$	$T_r/3 + T_r/2 \mp \Delta t$	$T_s - T_r/2 \mp \Delta t$
$S_{b2+}$	$T_s - T_r/3$	$T_s$

전체 DC 링크단 전압제어의 전체 블록도는 그림 6과 같다. DC 링크단 전압제어와 역률 제어는 회전좌표계 전류를 이용한다. 회전좌표계 전류( $i_d, i_q$ )는 정지좌표계 전류와 PLL을 통해 얻어진 입력전압( $V_s$ ) 위상( $\theta$ )를 이용하여 얻는다. 입력전류와 이를 전역통과(all-pass) 필터 등을 이용하여  $90^\circ$  위상을 지연시켜 만든 가상의 전류를 이용하여 2상 정지좌표계  $i_{\alpha s}$ 와  $i_{\beta s}$  생성한다. 이 정지좌표계 전류값을 d-q 변환을 통해 d-q 축 전류( $i_d, i_q$ )를 얻는다. DC 링크단 전압 제어를 위해서는 검출된  $V_{dc}$ 와 실제  $V_{dc}$ 의 비교 값과 PI 제어기를 통하여 전압 지령치  $i_q^*$ 가 생성하고, 역률을 1로 제어해  $i_d^*$ 는 0이다. 지령치 전류와 실제치 전류를 PI 제어기를 통해서 회전좌표계 전압지령치가 생성되고, 이를 정지좌표계를 변환하여 정지 좌표계 전압지령  $V_{\alpha s}^*, V_{\beta s}^*$ 를 얻는다. 또한, SVPWM 블록에서는  $i_s, V_1$ 과  $V_2$ 를 입력으로 하여 보상시간  $\Delta t$ 가 첨가된 스위칭 시간을 생성한다. 한편  $e_d, e_q$ 는 입력전압  $V_s$ 를 동기좌표계 변환시의 q축과 d축 상의 전압 크기이다.

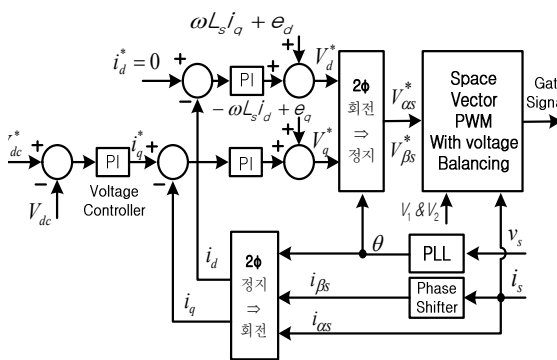


그림 6. DC-link 전압 제어기 블록도  
Fig. 6. Block diagram for voltage controller

### 3. 시뮬레이션 결과

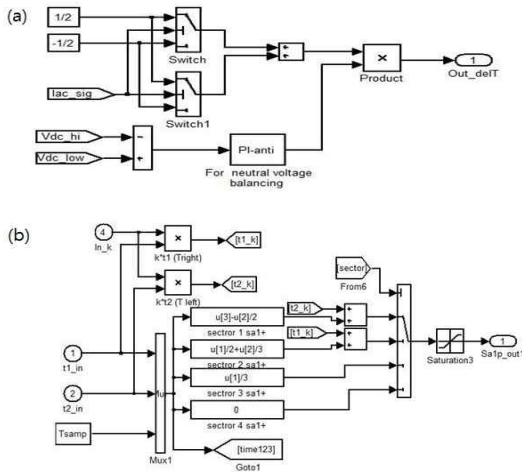


그림 7.  $\Delta t$  인가 시뮬레이션 블록 (a)  $\Delta t$  량 결정 블록, (b)  $\Delta t$  를 반영한  $S_{drt}$  스위칭 시간 결정 블록  
Fig. 7. Simulation block for (a) determining amount of  $\Delta t$  and (b) generating switching time for  $S_{drt}$  with  $\Delta t$

Matlab/simulink를 이용하여 모의 실험하였다. 그림 7은 PI 제어를 통해서 얻게 된  $\Delta t$ 를 영역에 따라서 스위치 인가시간에 가감하는 블록을 나타낸다. 그림 7 (a)와 같이 제안하는 방식에서는  $V_d$ - $V_q$ 를 입력 오차로 갖는 PI 제어를 통해서  $\Delta t$ 의 크기를 결정하고, 입력 전류의 부호를 이용하여  $\Delta t$ 의 부호를 반영한다. 그림 7 (b)는 표 5의 각 영역에서의  $S_{drt}$ 에 대한 인가시간을 결정하는 블록이다. 표 5에서 나타난 것과 같이,  $T_1$ (혹은  $T_i$ ),  $T_2$ (혹은  $T_j$ )로 표시된 우측과 좌측벡터

의 인가시간에 최종적으로  $S_{drt}$ 의 경우에는 영역 1과 영역 2에서는  $\Delta t$ 만큼 가감됨을 볼 수 있다.

제안된 기법의 적용을 정리하면 그림 8의 순서도로 나타낼 수 있다.

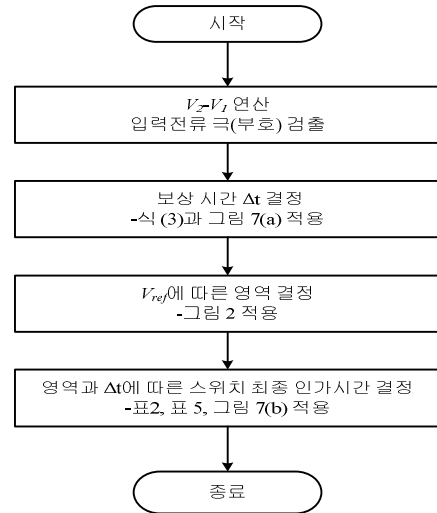


그림 8. 제안하는 알고리즘 순서도  
Fig. 8. Flow chart for the proposed method

표 6은 시뮬레이션 파라미터를 보인다. 전압 불균형을 발생시키기 위해 그림 1의 상단 및 하단 저항은 각각 80Ω, 100Ω으로 설정하여 시뮬레이션을 행하였다.

표 6. 시뮬레이션 파라미터  
Table 6. Parameters used for simulation studies

시스템 파라미터	값
입력 전압	220V, 60Hz
$V_{DC}$ 지령 전압	450V
인덕턴스	10mH
스위칭 주파수	5kHz
부하 저항(상단, 하단)	80Ω, 100Ω

그림 9는 알고리즘을 적용 전후의 DC 링크 전압파형을 보여주고 있다. 0.25초 이후부터 보상을 시작했을 때, 상단 커패시터와 하단 커패시터의 전압 차이가 점차 줄어들어 0.4초 이후부터는 상, 하단 DC 링크의 전압차가 없어지고, 동일한 전압 값으로 수렴되는 것을 확인할 수 있다.

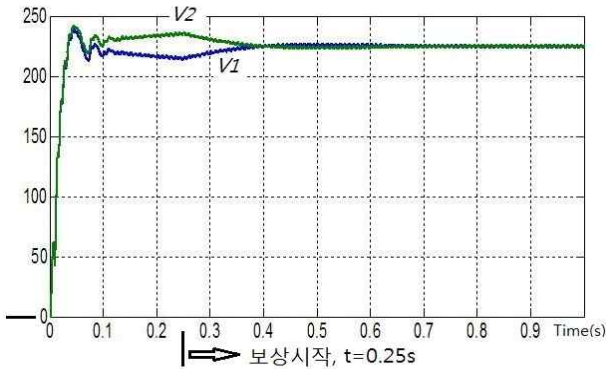


그림 9. 보상 알고리즘 적용을 통한 DC-link단 전압 변동 보상 파형 (t=0.25초 이후 보상 시작)  
 Fig. 9. Simulation waveform of DC-link voltages ( $V_1$  and  $V_2$ ) applying compensation algorithm after t=0.25sec

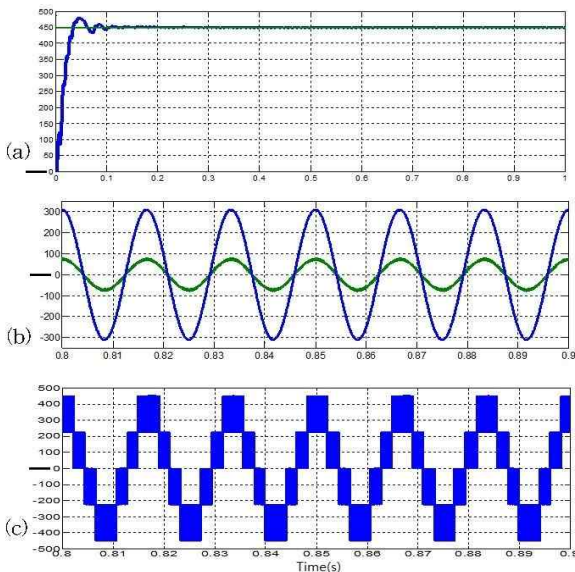


그림 10. 단상 3-레벨 컨버터 시뮬레이션 파형 (a) DC 링크 전압과 전압(50V/div)지령치 (b) 입력 전압 (100V/div)과 입력전류(10A/div) (c) 컨버터 선간전압(100V/div)  
 Fig. 10. Simulation waveforms (a) voltage reference and DC-link voltage, (b) Input voltage and current, and (c) line voltage

그림 10은 단상 3-레벨 컨버터의 시뮬레이션 파형이다. 그림 10 (a)에서 볼 수 있듯이 DC 링크단 전압이 450V 전압지령치로 제어되는 것을 확인할 수 있다. 그림 10 (b)에서는 입력 전압과 전류가 동일한 위상을

보이는 역률 1로 제어가 되는 것을 확인할 수 있으며, 그림 10 (c)에서 출력 선간 전압의 형태가 3-레벨 전력변압기의 형태인 5단계로 나타남을 볼 수 있다.

#### 4. 결론

본 논문에서는 단상 3-레벨 컨버터의 DC 링크단 전압 불균형 현상을 보상하는 기법을 제안하였다. 제안된 기법은 상, 하단 DC 링크의 전압차를 PI 제어기를 통하여 보상 시간량을 결정한다. 전류 극성과 지령전압 벡터의 영역에 따라 보상시간을 최종 결정하였으며, 구해진 보상시간을 PWM 인가시간에 가감하는 간단한 형태로 보상 기법을 구현하여 3-레벨 구조에 필연적으로 나타나는 상, 하단 DC 링크 전압의 불균형 형태를 개선함을 보였다. 시뮬레이션을 통해서 제안한 기법의 타당성을 검증하였으며, 본 제안 기법은 단상 3-레벨 PWM 컨버터의 제어 성능향상에 활용되리라 사료된다.

#### 감사의 글

본 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임. (2010-0008884)

#### References

- [1] H.W Lee, S.Y Jang, Y.J Kim, and K.J. Lee, "The parallel operation of single phase PWM rectifier using IGCT," *Trans of KIPE*, vol. 5, no. 1, pp. 11-18, 2000.
- [2] G.W. Chang, H.W. Lin, and S.K. Chen, "Modeling characteristics of harmonic currents generated by high-speed railway traction drive converters," *IEEE Trans. on Power Delivery*, vol. 19, no. 2, pp. 766-773, 2004.
- [3] D.C. Lee, J.W. Choi, and S.K. Sul, "Decoupling control of parallel single-phase GTO PWM converters for electric traction drives," *IPEC*, pp. 1169-1173, 1995.
- [4] B.G Park and D.S. Hyun, "An improved feed-forward controller for the parallel operation of a single-phase PWM converter in high-speed trains," *Trans of KIPE*, vol. 15, no. 2, pp. 226-234, 2010.
- [5] D.M. Lee and C.H. Hong, "Modeling of SVPWM and control method for driving systems of high-speed trains by using multi-level power converters," *Journal of KIIE*, vol. 23, no. 12, pp. 136-145, 2009.
- [6] Y.H. Lee, C.H. Choi, and D.S. Hyun, "Mid-point current



- control for 3-level converter/inverter system," KIPE Fall Conf., pp. 81-84, 1999.
- [7] N. Celanovic, and D. Boroyevich, "A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters," IEEE Trans. on Power Electronics, vol. 15, no. 2, pp. 242-249, Mar. 2000.
- [8] A.K. Gupta, and A.M. Khambadkone, "A simple space vector PWM scheme to operate a three-level NPC inverter at high modulation index including overmodulation region with neutral point balancing," IEEE Trans. on Industry Applications, vol. 43, no. 3, pp. 751-760, May/June 2007.
- [9] A. Lewicki, Z. Krzeminski, and H. Abu-Rub, "Space-vector pulsewidth modulation for three-level NPC converter with the neutral point voltage control," IEEE Trans. on Industrial Electronics, vol. 58, no. 11, pp. 5076-5086, Nov. 2011.
- [10] J. Salaet, S. Alepuz, A. Gilabert, and J. Bordonau, "Comparison between two methods of DQ transformation for single phase converters control application to a 3-level boost rectifier," PESC, vol. 1, pp. 214-220, 2004.
- [11] W. Song, X. Feng, Z. Liu, and S. Chen, "A SVPWM method for single phase three-level NPC voltage-source rectifier," Trans. of China Electrotechnical Society 7, 011, 2007.
- [12] J.S. Ahn, J.G. Joo, M.S. Seo, S.I. Moon, J.Y. Kim, and I.G. Song, "A study on the voltage balancing control of DC link capacitors for 3.3kV, 15kVA three-level NPC converter," KIIEE Fall Conf., pp. 227-228, 2011.

### ◇ 저자소개 ◇



**이희면**(李羲冕)

1982년 4월 20일생. 2011년 경원대 전자정보통신공학과 졸업. 2013년 홍익대 대학원 전자정보통신공학 졸업(석사). 현재 신보정보통신 연구원



**이동명**(李東明)

1969년 8월 25일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2004년 조지아공대 ECE 졸업(박사). 1996~2000년 LG전자 DA연구소 주임연구원. 2004~2006년 삼성 SDI 중앙연구소 책임연구원. 2007년 한양대 BK21 연구교수. 2012년 Texas A&M 대학 방문교수. 2008년~현재 홍익대 전자전기공학부 부교수.