

반도체 패키지 기술 동향

I. 서론

최근 PC보다 스마트폰과 태블릿으로 대표되는 모바일 전자기기 사용이 선호되고 그 활용 분야가 다양해지면서 요구되는 반도체 부품의 처리속도가 빨라지고 대용량에 대한 요구가 커지면서도 전체적인 크기는 경박단소를 요구하고 있다. 지속적으로 고성능의 사양을 추구하는 스마트폰, 태블릿 PC 및 노트북은 다양한 통신 모듈과 센서를 탑재하면서도 얇고 가볍게 제작하기 위해 많은 노력이 이루어지고 있다.

전자부품을 제작하는데 있어 반도체 웨이퍼에 회로를 구현하는 것을 전 공정이라 하고, 웨이퍼를 실제 제품에서 사용할 수 있는 상태로 조립하는 것을 후 공정, 또는 패키징 공정이라고 한다.

본 연구에서는 최근의 반도체 부품을 구현하는 반도체 패키지의 종류와 최근의 동향을 소개하고 모바일 기기에서 요구되는 경박단소와 고용량, 빠른 처리 속도를 가진 반도체 부품을 생산하기 위해 사용되는 핵심 공정기술에 대해 소개하도록 하겠다.

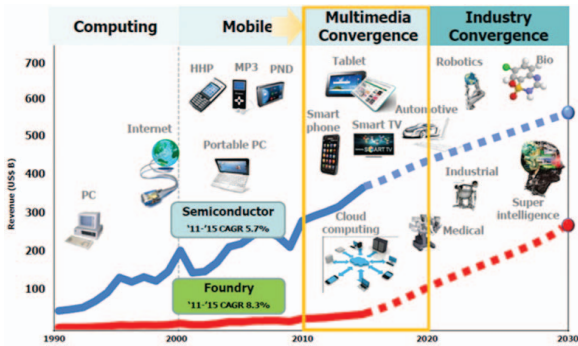
스마트폰에 사용되는 반도체 부품은 빠른 전기적 성능과 저전력 구동, 전자파를 차폐하는 것이 요구되고 있다. 전체 크기를 줄이기 위해

**차세대 조립기술은 칩 집적용
Via를 통해 연결하는
TSV(Through Silicon Via)
기술이 적용될 것으로 예상**

여러개의 칩을 PCB위에 실장한 후 한번에 패키징하는 SIP(System In Package)와 패키지를 적층하는 POP (Package On Package), WLCSP(Wafer Level Chip Scale Package)이 사용 된다. 반도체 부품의 두께를 줄이기 위해 여러개의 칩을 적층한 후 패키징하는



이 혁
하나마이크론 상무



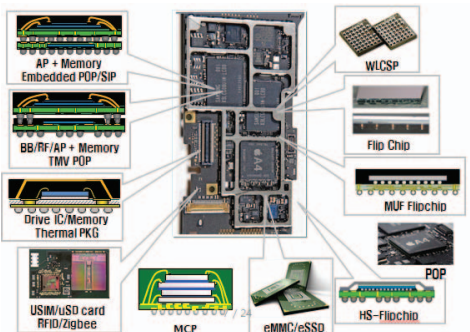
〈그림 1〉 반도체 시장 예측 (출처 : Gartner)



〈그림 2〉 모바일 기기에 요구되는 반도체 부품의 성능

MCP(Multi Chip Package)가 주로 사용되고 있으며, 향 후에는 처리속도를 높이기 위해 칩을 적층한 후 곧바로 Via를 통해 연결하는 TSV(Through Silicon Via) 기술이 적용될 것으로 예상되고 있다.

모바일 기기에 사용되는 반도체 부품은 처리속도를 빠르게하면서도 저렴한 QFN(Quad Flat No-lead), 속도가 빠르고 저렴하면서도 작게 제작할 수 있는



〈그림 3〉 모바일 기기에 사용되는 주요 패키지 형태

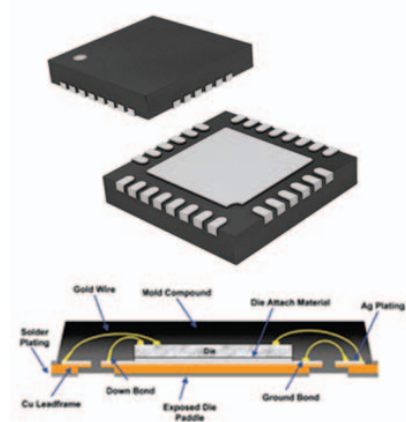
WLCSP, 와이어 대신 솔더 볼을 이용해 칩을 PCB에 곧바로 연결시키는 플립 칩(Flip Chip), POP, MCP가 주로 사용이 되고 있다.

QFN (Quad Flat No lead)

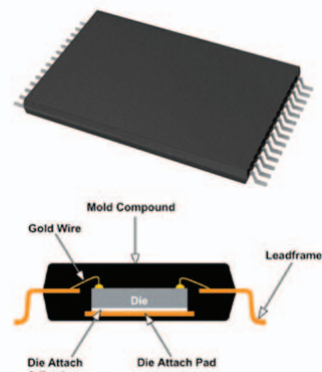
반도체 부품을 구현하는 다양한 패키지에 대해 소개하면 다음과 같다. QFN은 구리 리드프레임 위에 칩이 올리고 와이어 본딩을 한 후 몰딩을 한 형태로 리드가 없어서 작고 가벼우며 전기적 성능과 열적 특성이 우수하고 신뢰성이 좋다. QFN은 반도체 패키지 중 가장 저렴하면서도 지속적으로 사용되는 패키지이다.

TSOP(Thin Small Outline Package)

PC에 사용되는 메모리 패키지로 리드프레임을 사용하는 가장 일반적으로 사용되는 TSOP는 리드프레임



〈그림 4〉 QFN (Quad Flat No lead)



〈그림 5〉 TSOP (Thin Small Outline Package)

위에 칩을 올리고 와이어 본딩, 몰딩을 한 후 리드를 구부려 완성한다. DRAM, SRAM, Flash 메모리 패키지로 주로 사용된다. 패키지 두께가 1mm이고, 리드 간 피치가 0.5mm이다.

BOC(Board on Chip)

PC와 노트북에서 리드프레임이 아닌 PCB형태의 메모리 패키지로 사용되는 BOC(Board on Chip)는 기판에 메모리칩의 본딩면이 부착되며, 칩의 본딩패드와 기판의 본딩패드를 기판의 중앙에 형성된 슬롯을 통하여 와이어 본딩으로 연결하는 구조로 이루어져 있다. 와이어 본딩이 슬롯을 통해 이루어지므로 전체 크기를 TSOP에 비해 작고 얇으며, 고속화가 가능한 장점을 가지고 있다.

MCP (Multi-Chip Package)

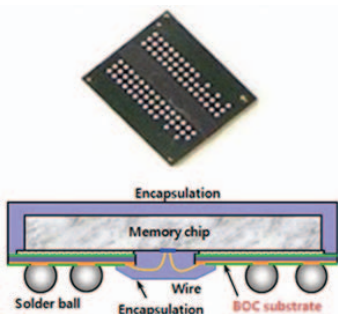
MCP는 박판의 기판위에 50~80um의 얇은 칩을 여러 개 적층하여 용량과 성능을 증가시킨 구조로 모바일 기기에 사용되는 메모리에 사용된다. 패키지 형태로는 FBGA(Fine Pitch Ball Grid Array)이다. 이와 같은 패키지를 구현하기 위해서는 웨이퍼를 얇게 하는 기술, 얇은 칩을 적층하고 와이어 본딩하는 기술이 필요하다. 메모리 소자는 칩을 2층 쌓는 DDP (Double Die Packaging), 3층 쌓는 TDP (Triple Die Packaging), 4층 쌓는 QDP (Quad Die Packaging)가 사용되고 있으며, 최근에는 소자 안에 컨트롤러를 내장한 eMMC (embedded Multi Media Card), eMCP (embedded Multi Chip Package)가 모바일 기기용 메모리 소자로

사용되는 추세이다. 첫번째로, MCP용 핵심 package 공정 기술을 살펴보면, 박형 패키지 구현을 위해서는 얇은 PCB 기판위에 MCP형태로 메모리 칩을 적층한 후 얇게 몰딩하는 기술이 필요하다. Chip 두께를 얇게 back-grinding해야 하는데, 50um두께까지는 일반 mechanical grinding과 polishing으로 진행하고, 50um이하의 두께는 DBG (Dicing before Grinding) 공정 방식을 도입해야 한다. DBG 공정은 백 그라인딩을 하기 전에 wafer saw하고, tape를 마운팅하여 chip을 얇게 백 그라인딩 할 때 발생하는 칩 휨현상(chip warpage)을 방지할 수 있다.

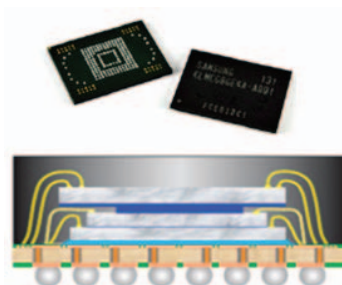
그리고 50um 이하의 얇은 칩을 saw하기 위해서는 laser를 이용하여 칩에 손상이 없도록 최적화해야 한다. 또한 얇은 칩을 웨이퍼 마운트 테이프에서 떼어 PCB에 붙이는 기술 필요한데 이를 위해 pin을 사용하지 않는 특별한 kit 개발이 필요하다.

Chip 두께를 얇게 backgrinding해야 하는데, 50um 두께까지는 일반 mechanical grinding과 polishing으로 진행하고, 50um이하의 두께는 DBG (Dicing before Grinding) 공정 방식을 도입해야 한다. DBG 공정은 백 그라인딩을 하기 전에 wafer saw하고, tape를 마운팅하여 chip을 얇게 백 그라인딩 할 때 발생하는 칩 휨현상(chip warpage)을 방지할 수 있다.

그리고 50um 이하의 얇은 칩을 saw하기 위해서는 laser를 이용하여 칩에 손상이 없도록 최적화해야 한다. 또한 얇은 칩을 웨이퍼 마운트 테이프에서 떼어 PCB에 붙이는 기술 필요한데 이를 위해 pin을 사용하지 않는 특별한 kit 개발이 필요하다.



〈그림 6〉 BOC (Board On Chip)



〈그림 7〉 여러 개의 칩을 적층한 MCP (Multi Chip Package) 구조

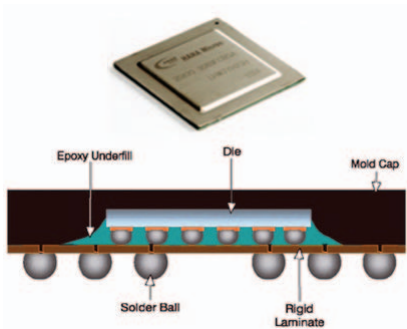
이후 wire bonding 공정에서는 두께가 얇아져서 와이어 본딩 하기 어려운 협소한 공간에 매우 낮은 높이로 와이어 본딩을 진행하여 칩에 손상이 없도록 해야 한다.

플립칩 (Flip Chip)

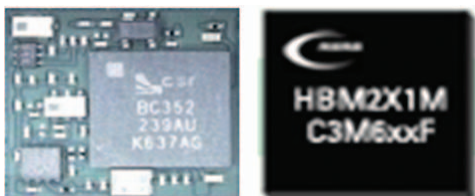
플립칩은 칩 위의 패드와 PCB, 또는 리드프레임을 연결하는 방법으로 와이어본딩 대신에 칩의 본딩패드 위치와 동일하게 기판에 범퍼패드를 만들어 솔더 볼을 이용해 연결한 패키지 형태이다. 와이어본딩을 했을 때 보다 전기적 특성이 좋고, 와이어 본딩 루프의 높이가 없어 좁은 면적으로 칩 실장밀도를 높일 수 있다. Flip Chip 방식은 전체 표면을 전기적 연결 통로로 사용할 수 있어 입출력 단자의 수를 늘릴 수 있는 장점을 가지고 있다. DRAM등의 메모리 소자와 플래시 메모리의 패키지로 사용된다.

SiP (System in Package)

SiP는 기판위에 서로 다른 기능의 능동소자들을 올린 후에 하나의 패키지로 몰딩해서 소자 간 접속 경로의 단거리 확보를 통한 고성능과 우수한 전기적 특성을 확보할 수 있는 패키지 형태이다.



〈그림 8〉 Flip Chip 구조 Application



〈그림 9〉 SiP (System in Package) 형태로 제작한 블루투스 모듈

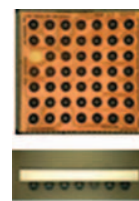
SiP는 와이어본딩과 플립칩 범퍼의 복합기술로 칩의 수직적층과 다른 기능의 칩을 병렬로 배열하여 초경량, 초소형의 반도체 기능을 확보하는 것이 가능하다.

WLCSP (Wafer Level Chip Scale Package)

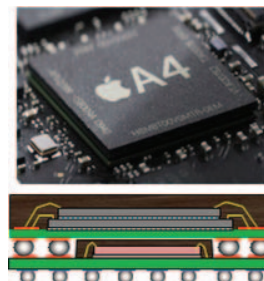
WLCSP는 가장 작은 크기를 구현할 수 있는 칩 크기의 패키지로 전기적 특성이 좋고 저렴하게 생산할 수 있는 장점이 있다. 스마트폰에 들어가는 많은 소자가 WLCSP (Wafer Level Chip Scale Package) 형태로 제작되어 소형이면서도 빠른 스피드를 구현하는 방향으로 개발이 제작되고 있다.

POP(Package On Package)

스마트폰 및 태블릿 PC에서는 수직적 확장으로 3차원 패키지를 구현하기 위해 AP(Application process), 베이스밴드 칩과 메모리를 적층하는 POP 형태를 사용하여 부품 크기를 최소화하고 신호 전달이 빠르게 이루어질 수 있도록 하고 있다. POP는 연결배선의 길이를 최소화 할 수 있어, 이차원 배열시 발생하는 신호 지연, 임피던스 부정합 등의 손실을 최소화 할 수 있고, 공간적으로 수직 방향을 활용하므로 단위 면적당 실장



〈그림 10〉 WLCSP (Wafer Level Chip Scale Package) 구조



〈그림 11〉 POP (Package On Package) 구조

면적을 극대화 하여 대용량, 초소형 부품을 구현할 수 있다. 기존에는 로직 기능을 하는 패키지와 메모리 패키지를 평면에 2차원적으로 배치하여, 보드의 공간을 많이 차지하고, 한 가지 패키지 사양이 변경되면 보드를 새로 제작해야 하므로 추가 비용이 필요하다. 반면에 로직과 메모리 소자를 하나의 패키지로 제작하면, 둘 중 하나가 바뀌면 전체 테스트 프로그램과 테스트 보드를 수정해야 하므로 시간과 비용이 많이 들었다. POP는 로직 패키지와 메모리 패키지를 각각 테스트 한 후 패키지를 적층하므로 변동 발생시 해당 패키지의 테스트 도구만 변경하면 되므로 시간과 비용을 획기적으로 줄일 수 있는 장점이 있어 제작을 용이하게 하고 소자의 성능과 집적도를 향상시키는 효율적인 방법이 되고 있다.

칩 바깥쪽에 패키지 I/O 단자를 배치하는 형태인 팬 아웃 웨이퍼 레벨 패키지(Fan-Out Wafer Level Package, Fan-Out WLP) 기술 개발이 활발

위해 칩 바깥쪽에 패키지 I/O 단자를 배치하는 형태인 팬 아웃 웨이퍼 레벨 패키지(Fan-Out Wafer Level Package, Fan-Out WLP)가 제안되고 있는데, 이 경우 칩 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는 장점이 있다. Fan-out WLP는 패키지 공정이 간단하고 두께를 얇게 구현할 수 있어서 BGA보다 소형화와 박형화가 가능하고 열특성과 전기적특성이 우수하여 모바일 제품에 적합하다. 소형, 박형의 장점이 있는 팬 아웃WLP는 초기 I/O 150~250 pin의 IC를 시작으로 점차 300pin 이상의 IC로 확대 될 것으로 예상되며, 적용 소자도 베이스밴드와 아날로그 IC,

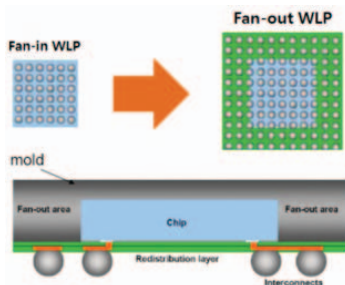
RF소자에 채용되기 시작하여 AP와 PMU(Power Management Unit)에 확대 적용될 예정이다. Fan-out WLP는 <그림 10>에 나타낸 PCB를 이용하는 일반적인 POP보다 더 컴팩트하게 구현할 수 있으며 POP의 휨 현상 발생으로 인한 문제를 극복할 수 있다.

팬 아웃 웨이퍼 레벨 패키지(Fan-Out Wafer Level Package, Fan-Out WLP)

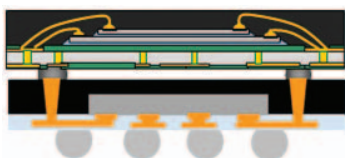
일반적인 WLP(Wafer Level Package)는 패키지 I/O 단자를 모두 칩 안쪽에 배치시켜야 하므로 칩 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 이러한 문제를 해결하기

TSV (Through Silicon Via)

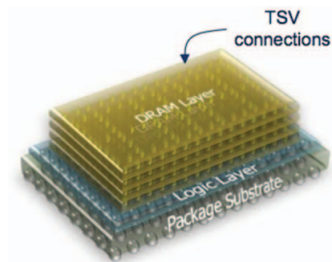
반도체 소자의 집적도를 높이는 방법으로 칩들을 적층하여 와이어 본딩하는 MCP와 패키지를 적층하는



<그림 12> Fan-in & Fan-out WLP 비교



<그림 13> 팬-아웃 기반 3D 패키지 형태



<그림 14> 로직 칩 위에 DRAM이 TSV를 통해 연결된 제품 (출처:www.i-micronews.com)

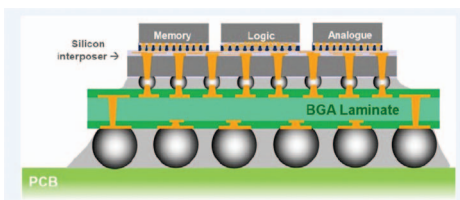


<그림 15> DRAM이 적층된 후 TSV를 통해 연결된 제품 (출처 : SK하이닉스)

POP가 일반적으로 사용되지만 최근 처리속도를 높이기 위한 방법으로 두 개 이상의 칩을 수직으로 적층하고 실리콘을 관통하는 전극 통하여 회로를 연결하는 TSV 기술이 적용되기 시작하고 있다. TSV는 실리콘 웨이퍼의 상하를 전극으로 연결하여 최단거리의 신호 전송경로를 제공하므로 패키지의 경박 단소화에 가장 유리하다.

TSV기술은 CMOS 이미지 센서에 적용되고 있으며, CPU 위에 TSV 와이드 I/O로 메모리를 연결하는 제품, 캐시 메모리로 고속 메모리를 올리는 제품, 휴대전화에 들어가는 베이스밴드 프로세서 위에 TSV로 메모리를 올리는 제품, RF를 포함한 무선 칩에 TSV를 적용하여 전원과 그라운드를 연결해서 고주파 성능을 향상시키는 제품, 플리케이션과 베이스밴드 프로세서를 TSV 인터포저를 이용해 모듈화하는 부품 개발 등이 진행되고 있다.

TSV기술이 양산 제품에 적용되기 위해서는 여러 가지 문제를 해결해야 하는데 열관리, 비아 형성, 박형 웨이퍼 취급 외에도 설계 및 공정 파라미터 최적화, 본딩 환경, W2W 본딩 정렬, 웨이퍼 뒤틀림, 웨이퍼 휨, 검사, 결합 신뢰성, 제조 수율 확보 등이 문제가 되고 있다.



〈그림 16〉 인터포저를 이용하면 작은 피치의 칩과 넓은 피치를 가지 PCB를 연결할 수 있다. (출처 : power-eetimes.com)



〈그림 17〉 하나마이크론의 플렉시블 패키지 기술로 개발한 전자 소자

인터포저 (Interposer)

CPU와 메모리칩의 소자의 고밀도와 회로의 복잡성 때문에 크기나 핀 수가 다른 CPU와 메모리칩을 부착시키기 위해서는 설계의 자유도나 성능에 제약이 있을 수 있다. 인터포저는 서로 다른 피치, 크기, 위치의 패드를 가진 다양한 칩간에 전기적 연결을 제공하는 매체로 실리콘, 글라스 등이 사용되며 면적과 크기가 작고, 고성능, 저비용을 실현할 수 있다.

유연 패키지 기술 (Flexible Package)

최근 제품 사용의 편의성을 위해 휘어지거나 접을 수 있는 전자 제품에 대한 요구가 생겨나고 있다. 전자제품이 유연해 지기 위해서는 사용되는 반도체 부품이 유연해져야 한다. 실리콘 반도체 소자는 두께가 80 μ m 이상일 경우는 딱딱한 성질을 가지고 있는데 그 이하가 되면 유연한 특성을 보이게 된다. 실리콘 소자를 80 μ m이하로 얇게 한 후 유연한 기판에 접합시키고 소자간 연결이 되도록 하면 유연한 반도체 소자를 확보할 수 있다. 이러한 과정을 통해 자유자재로 휘어지는 메모리를 만들어 낼 수 있어서 웨어러블 제품에 적용할 수 있다.

II. 결론

본 연구에서는 반도체 소재에 사용되는 패키지의 종류에 대해 간단하게 언급하였다. 전자제품의 크기가 작아지고 두께가 얇아지기 위해서는 사용되는 반도체 소자가 작아지고 얇아져야 한다. 반도체 소자를 구현하는 기술이 패키지 기술이므로 패키지 기술의 중요성이 점점 증가하고 있다고 할 수 있다. 최근에는 플렉시블한 전자제품을 구현하기 위해 플렉시블한 전자 소자를 만들어내기 위한 연구가 활발하게 진행되고 있다. 칩을 얇게 하고 얇은 칩을 적층하고, 와이어 본딩을 하고, 몰딩을 하기 위해서는 기존의 공정 방법과는 고난이도를 가진 기술이 적용되어야 한다. 따라서 경쟁력 있는 전자제품을 만들기 위해서는 새로운 패키지 기술을 개발하기 위한 지속적인 투자가 필요하다. 최근에는

TSV, Interposer 등의 새로운 패키지 기술이 적용되는 시점이므로, 많은 새로운 기술이 등장할 수 있는 시기이다. 새로운 전자제품은 새로운 패키지 기술이 있어야 만들어질 수 있으므로 패키지 기술에 대한 많은 관심과 투자가 필요한 시점이라고 할 수 있겠다.



이 혁

1987년 2월 서울대학교 기계공학과 학부
 1990년 2월 KAIST 기계공학과 석사
 1996년 2월 KAIST 기계공학과 박사
 1996년 3월~2000년 2월 삼성전자 반도체부문
 패키지팀 선임연구원
 2006년 8월~2009년 1월 세크론 연구소 수석연구원
 2009년 7월~현재 하나마이크론 연구소장

〈관심 분야〉
 반도체 패키지, CAE (Computer Aided Engineering)