



반도체 박막 성장법과 장비기술

I. 서론

반도체 장비는 크게 Wafer Process에 관련된 전공정, 조립 및 패키징, Test장비로 나눌 수 있다. 전체 장비시장 중 전공정 장비가 77 %로 대부분의 비중을 차지하고 있으며 패키징과 테스트 장비가 나머지를 구성하고 있다. 여기서 박막성장용으로 사용되는 CVD 장비는 전공정의 13 %, PVD 장비는 6 %로 총 박막 공정 장비가 19 % 가량을 차지하고 있어 Photo, Etch 장비와 함께 핵심장비로 분류된다. 일반적으로, 박막은 반도체 소자의 유전체(Dielectrics), 액정 표시 소자(Liquid-Crystal-Display)의 투명한 도전체, 및 전자 발광 표시 소자의 보호층 등으로 다양하게 사용된다. 이러한 박막은 일반적으로 증기법(Evaporation Method), 화학기상 증착법(Chemical Vapor Deposition, CVD법), ALD (atomic layer deposition)법 등으로 형성한다. 본 기고에서는 반도체 박막공정에 쓰이는 CVD 장비기술과 PVD 기술의 주류를 이루는 Sputter 장비기술에 알아보고, 최근 들어 각광 받고 있는 CVD 방법의 파생기술인 ALD 장비기술에 대하여 살펴보도록 한다.

박막은 반도체 소자의 유전체 (Dielectrics), 투명한 도전체 및 소자의 보호층 등으로 다양하게 사용된다.



이 병 철
오름반도체 주식회사



성 흥 석
부천대학교 교수

II. CVD(Chemical Vapor Deposition)

1. CVD 개요

CVD는 Chemical Vapor Deposition의 약어로, 화학물질을 기화



시켜 화학반응에 의한 증착 막을 구현하는 반도체 제조 공정 중 하나로, 기체 상태를 취급하는 관계로 온도와 압력, 부피가 가장 큰 공정 제어 요소이며, 박막(Film)이 형성되는 과정에는 동종(Homogeneous) 반응과 이종(Heterogeneous) 반응이 있는데 동종(Homogeneous) 반응의 경우는 기체상(Gas Phase)에서 일어나며 이때 형성된 박막(Film)은 질적인 측면에서 나쁜 특성과 불량입자(particle)가 많은 반면에 이종(Heterogeneous) 반응은 웨이퍼 표면에서 일어나는 반응으로 고순도 박막(High quality film)을 얻을 수 있기 때문에 이종(Heterogeneous) 반응 위주로의 공정 조건을 유도해야 한다.

2. CVD 공정 및 장비 종류

CVD 장비 유형은 크게 AP(Atmosphere Pressure : 대기압) CVD, LP(Low pressure : 저압) CVD, PE(Plasma Enhanced : 플라즈마) CVD로 나눌 수 있다. 현재 AP CVD의 단점을 보완한 SA(Sub Atmosphere : 200 Torr~600 Torr) CVD, PE CVD와 Sputter Etch를 일체화 시킨 HDP CVD가 주력 장비로 많은 반도체 제조 공정에 보급되어 많이 사용되어지고 있으며 Cu 다마신(damascene) 과 관련 저유전율(Low K material) 증착용 장비로 각광을 받을 장비 역시 현재 사용 중인 PE CVD 방식과는 차이가 없다. <표 1>에 여러 가지 공정조건에 쓰여지는 CVD 장비에 대한 사용 압력, 온도, 에너지원, 장비유형, 성장시키는 박막(film)과 주요 장비생산업체에 대하여 분

류하여 보았다.

2.1 대기압 화학 기상 증착(AP, Atmosphere pressure) CVD

실리콘 기반 반도체에서 AP CVD는 상압(대기압) 하에서 TEOS(Tetra Ethyl Ortho Silicate : $(C_2H_5O)_4Si$)와 오존(O_3)을 반응 물질로 산화막(SiO_2)를 형성시키는 공정으로, 오존(O_3)을 사용함으로써 저온에서도 박막 증착이 가능하다. AP CVD의 가장 큰 장점은 대기압에서 반응이 일어나도록 설계되었기 때문에 반응이 단순하며, 또한 압력이 높은 상태에서 가스의 평균자유이동 경로 (mean free path)가 짧기 때문에 공극 채움(Gap fill) 능력이 우수하다.

본 공정의 원리는 상압인(760 Torr) 챔버를 일정 압력으로 분사되는 N_2 막에 의해 외부와 차단된 상태에서 그 밑을 컨베이어 벨트(Conveyor belt)를 따라 웨이퍼가 지나가면서 주입구(Injector)로 주입되는 가스가 열에($500\sim 550^\circ C$) 의한 반응으로 증착되는 방식이다.

반응 물질로 TEOS와 O_3 에 의해 생성된 산화막(SiO_2)를 불순물(doping)이 첨가 되어 있지 않다고 하여 NSG(Nondoped Silica Glass) 또는 USG(Undoped Silica Glass)라 하고, STI(Shallow Trench Isolation) Fill 공정에 이용되며, 위의 반응물질 이외에 불순물로 TMP(Tri Methyl Phosphate : $P(CH_3O)_3$), TMB(Tri Methyl Borate : $B(CH_3O)_3$)를 첨가함으로써 BPSG Film을 얻을 수 있으며, 최근에는 Ethyl기가 함유된 TEPO와 TEBO가 안정한 박막 특성을 갖는 것으로 확

<표 1> CVD 공정 및 장비의 종류

공정	압력(Torr)	증착 온도(°C)	에너지원	유형	제작 필름	주요 장비 업체
AP CVD	760	500~550	Thermal	Belt	SiO ₂ /BPSG	ASML, 캐논
LP CVD	10~100	400~900	Thermal	Single Furnace	W SiO ₂ /SiN/Poly-Si	AMAT TEL, KE, SVG
PE CVD	3~15	350~400	Plasma	Single Batch	SiO ₂ /SiON/SiN SiO ₂ /SiOC/SiC	AMAT Novellus
HDP CVD	5.5×10^{-3}	350~600	Plasma	Single	SiO ₂ /SiOF/SiN/BPSG	AMAT, Novellus
SA CVD	200~600	500~550	Thermal	Single	SiO ₂ /BPSG	AMAT

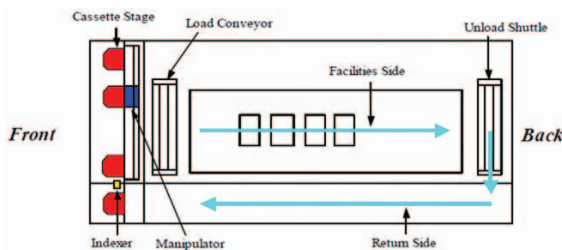
※유형 : Single → Single chamber, Batch → Batch chamber

인되어, 점차 대체 되는 추세이며 PMD(Pre Metal Dielectric) 공정에 이용된다.

AP CVD 방식으로 NSG film을 증착할 때 하층(sub layer) 막질에(surface sensitivity) 따른 성장 속도가 큰 차이를 나타내어 이를 보완하기 위해 NSG film 증착 전에 열 산화막(Thermal oxide)를 미리 증착하여 일정한 성장률을 유지 하도록 공정 조건을 보완하며, PMD 박막층으로 사용되는 BPSG 박막에서 보론(Boron)과 인(Phosphorus)를 산화막(SiO₂)에 첨가하는 이유는 보론(boron)의 경우 산화막이 완전한 단차의 성질을 갖게 하여 850℃ 고온에서 열처리를 실시하면 산화 막이 완만하게 되어 하층막 패턴에 의한 단차를 평탄화가 일어나도록 하는 역할을 하며, 인(phosphorus)의 경우 알카리 이온(Na+ion, K+ion)을 포획하여 트랜지스터 형성층으로 침투를 막는 역할을 하여 소자 특성에 나쁜 영향을 배제하기 위해 적용되고 있다.

메모리 소자에서는 PMD 박막에 CMP 공정을 적용하여 평탄화를 시키는 공정을 적용하지 않고 있기 때문에 BPSG 박막을 현재까지 적용하는 경우가 많으나 비메모리 device의 경우 CMP 공정을 PMD 박막 층까지 적용하고 있으므로 최근에는 박막이 완만하게 하는 특성을 배제시킨 PSG 박막이 적용되고 있는 추세이다. 특히 보론(boron)이 함유되어 있을 경우 간혹 수분과 반응하여 BPO₄라는 크리스탈 모형의 결점(Crystal defect particle)을 생성 시킬 수 있기 때문에 PSG로의 전환은 바람직한 방향 이라고 할 수 있다.

O₃-TEOS의 단점으로는 Si-OH(silanol) 결합이 많아 수분 흡습성이 다른 CVD 박막에 비해 많기 때문에



〈그림 1〉 ASML사의 WJ 1000/1500 AP CVD 장비 구조

후속 공정에 반드시 열 공정을 실시하여 박막을 견고하게 해 주는 공정이 필요 하다. 또한 벨트 구동 방식을 적용하고 있기 때문에 금속오염 문제(metal contamination issue)에 대해서는 항상 논란의 여지가 있으며 특히 초기 공정인 STI fill 증착 에서는 후속 세정(Cleaning) 공정이 매우 중요 하다. AP CVD 장비구조의 참조가 〈그림 1〉에 나타나 있다.

2.2 준 대기압 화학기상증착(SA, Sub Atmosphere pressure CVD)

벨트구동 방식인 AP CVD WJ 999/1000/1500 시리즈는 금속 오염의 문제 (Metal contamination issue)로 인해 등장된 공정이 AMAT社의 SA CVD 공정이며 단독 챔버(single chamber)를 적용하기 때문에 반응 챔버와 대기를 격리시키기 위해 대기압 보다 낮은 (200 Torr~650 Torr) 준 대기압(Sub Atmosphere)을 유지하며, WJ 1000/1500 에서는 각각 반응 가스의 인입구가 다른 주입기를 사용하여 미리 혼합된 가스가 챔버로 유입되지 않으나, SA CVD는 shower head를 사용하는 관계로 챔버 내부로 가스가 인입되기 전 부터 혼합되어지기 때문에 동종(Homogeneous) 반응이 일어나기 쉽다는 단점이 있으나 히터(heater) 방식의 ceramic chuck(CxZ)을 적용하고 있기 때문에 웨이퍼 후면(wafer back side)의 금속오염 문제(metal contamination issue)에 관한한 AP 방식인 WJ 1000/15000 시스템보다는 유리하며 두께 균일도 측면 에서도 shower head type인 SA CVD가 우수하다.

SA CVD의 응용은 AP CVD 적용분야와 동일하며 단독 챔버 형식으로 이루어져 있으나 시간당 생산량(Through-put)이 낮아 이중 챔버(Twin chamber)구조인 PRODUCER 본체 구조로 전환되어 보급되고 있는 상황이며 AP CVD 시장을 많이 잠식 하였으나 앞에서 설명한 장, 단점을 고려하여 현장에서 선택되어지고 있기 때문에 0.18um 공정까지는 두 공정 방식이 적용되고, 0.13um 이하 공정부터는 뒤에서 언급할 HDP CVD 방식으로 전환이 이루어지고 있다.

2.3 플라즈마 화학 기상 증착(PE, Plasma Enhanced CVD)

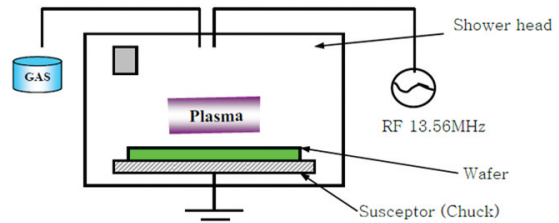
금속 박막층(Al)이 형성된 이후 공정에서는 알루미늄의 녹는점(melting point)이 낮기 때문에 온도에 의한 금속 박막층 변화에 세심한 주의가 요구되어진다. 과거 단층 금속층 구조였던 4M DRAM 제작 당시에는 금속 보호막만이 낮은 온도에서의 증착막이 요구 되었으나, 금속층 구조가 2층, 3층, 4층, 5층 그 이상으로 높게 쌓여 지면서 금속막과 금속막 사이의 절연막으로 낮은 온도에서도 양질의 박막을 얻기 위한 노력의 결과 플라즈마(Plasma) 에너지를 이용, 낮은 온도에서도 반응 가스를 분해하여 증착 할 수 있는 기술이 응용되고 있다.^[1-2] 이를 PE CVD라 하며 플라즈마(Plasma)를 발생시키기 위한 전원으로서는 주로 13.56Mhz(1초에 +와 - 극을 135,600,000회 진동)의 주파수를 갖는 RF(Radio Frequency) 전원을 사용 하며, 300~400℃에서 SiO₂, SiN, SiON Low K(SiC, SiOC, SiOF)막을 형성하는데 사용되며 금속막과 금속막 사이의 절연막 또는 Metal 상부층의 보호막으로 주로 사용된다. <표

<표 2> 공정에 따른 박막 형성 조건

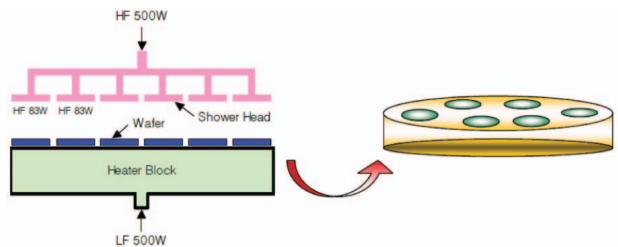
필름	Precursors	Thermal deposition(°C)	Plasma-enhanced(°C)
silicon nitride	SiH ₄ or SiH ₂ Cl ₂ and NH ₃	750	200~500
silicon dioxide	SiH ₄ O ₂ [or often N ₂ O]	350~550	200~400
	TEOS and O ₂	700~900	300~500
amorphous silicon	SiH ₄	550~600	300~400

<표 3> 공정에 따른 박막 형성 조건

공정	공정 가스, 화학물	공정온도 (°C)	공정압력 (Torr)	필름
ARC SiON	SiH ₄ +N ₂ O+N ₂	350~400	4~9	SiON
IMD/PO Oxide	SiH ₄ +N ₂ O+N ₂	350~400	4~9	SiO ₂
	TEOS+O ₂ +He	350~400	8~13	SiO ₂
PO NIT	SiH ₄ +NH ₃ +N ₂	350~400	4~9	SiN
FTEOS	TEOS+SiH ₄ +O ₂ +N ₂	350~400	8~13	SiOF



<그림 2> AMAT CENTURA DLH/DxZ 챔버 구조



<그림 3> Novellus Concept 2 SEQUEL batch type 챔버 구조

2)에 플라즈마 에너지(Plasma energy)와 열에너지만을 사용할 때 성장 온도의 비교를 여러 박막에 대하여 정리되었다. 플라즈마 이용 시 열을 이용하는 CVD 방식 보다 낮은 온도에서 박막을 증착 할 수 있다는 것을 보여 주고 있다.^[1-2]

최근에는 플라즈마 공정 기술을 응용 발전 시켜 ICP(Inductively Coupled Plasma : 유도쌍 플라즈마)를 이용하여 HDP(High Density Plasma : 고밀도 플라즈마)공정이 CVD 전 공정을 응용할 수 있는 수준 까지 이르고 있다. 0.13um 이하 공정부터는 뒤에서 언급할 HDP CVD 방식으로 전환이 이루어지고 있다.

PE CVD 장비 업체로는 Applied Material(AMAT)사와 Novellus사가 세계 시장 및 국내 시장을 양분하고 있으며 그 이외에 ASM, Mattson, 국산화 업체인 주성엔지니어링 등이 있다. <표 3>에 공정에 따른 박막 형성조건이 정리되어 있다.

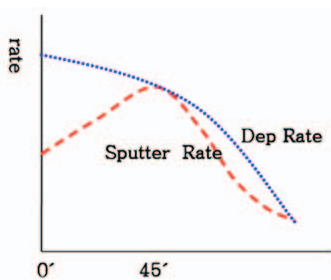
<그림 2>과 <그림 3>에 AMAT CENTURA DLH/DxZ 챔버 구조와 Novellus Concept 2 SEQUEL batch type 챔버 구조가 도시되어있다. 각 사마다 챔버의 구조가 다른 점은 양산에 적합하고 보다 효율적인 플라즈마 생성과 균일도 그리고 플라즈마에 의한 손상

을 최소화 하는 방향으로 기술 개발이 진행되고 있다.

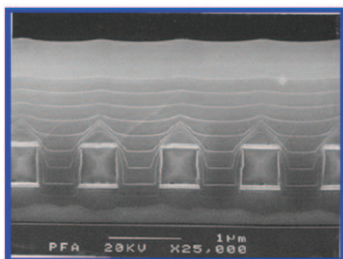
2.4 고밀도 플라즈마 화학기상 증착(HDP, High Density Plasma CVD)

HDP CVD의 등장은 기존 증착(deposition)과 스퍼터 전면 식각(sputter etch back)을 각각 다른 챔버에서 분리해서 진행 하던 방식을 동일 챔버에서 증착과 식각을 동시에 수행 하게끔 설계된 방식이다. 증착과 스퍼터 식각(sputter etch)이 반복 되므로, 좁은 금속막과 금속막 사이 공극을 메울 수(gap fill) 있어 기존 SOG를 이용한 평탄화 공정을 대신 할 수 있게 되었으며 STI 트랜치(trench)을 채우는 공정은 물론, 거의 모든 절연막 CVD 공정을 수행할 수 있는 기능을 구비 하고 있어 제조 공정에서 적용이 늘고 있는 추세다.

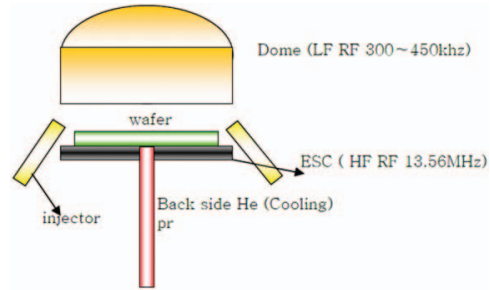
증착과 스퍼터 식각을 동시에 수행 할 수 있다는 것이 HDP 공정의 가장 큰 장점 인데 이는 아르곤 스퍼터(Ar sputter)가 아르곤 이온(Ar ion)의 직진성을 이용하여 박막 표면과 충돌에 의해 식각을 하는 물리적 반응으로 이때 수반되어야 할 가장 중요한 조건으로는 낮은 압력인데(수 m Torr) 낮은 압력이 필요한 이유는 아르곤 이온(Ar ion)이 다른 화학 물질이나 이온들과



〈그림 4〉 각도에 따른 HDP 증착율과 식각율



〈그림 5〉 HDP 두께에 따른 모형의 변화



〈그림 6〉 Novellus HDP SPEED Chamber 구성도

충돌할 확률을 줄여 직진성을 확보하기 위함이다. 즉 아르곤 스퍼터 식각(Ar sputter etch)를 수행하기 위해 낮은 압력이 필요하기 때문에 Turbo Pump를 사용해야 하며, 낮은 압력 하에서 증착 막을 형성시키기 위해서는 기존의 PE CVD shower head 방식으로는 불가능 하여 ICP(Inductively Coupled Plasma: 유도쌍 플라즈마)를 이용하여 High Density Plasma를 생성하여 증착과 식각을 가동 시에 수행이 가능한 HDP 공정이 등장 하게 되었다. 〈그림 4〉 그래프는 HDP 공정의 특성상 패턴 상 45°가 되는 부분에서 스퍼터 식각(Sputter etch)이 가장 극대화 되어 증착 비율과 식각되는 비율이 1:1이 되는 것을 나타낸 것이다. 그래서 HDP 공정이 진행된 뒤 〈그림 5〉과 같이 단면 SEM 사진을 촬영하여 보면 좁은 금속막 위에는 삼각형 형태의 HDP 박막이 형성되고 폭이 넓은 금속 막 위에는 윗변이 밑변보다 작은 사다리꼴 형태의 HDP 모형을 가지게 되는 이유이다.

〈그림 6〉에 Novellus HDP SPEED Chamber 구성도가 도시되어있다. HDP 장비 구조는 PE CVD와 동일 하며 SPEED 챔버는 고밀도 플라즈마를 생성시키는 ceramic dome, 가스를 주입하는 8개의 주입구(injector), 아르곤 스퍼터 식각(Ar sputter etch)를 수행하기 위한 ESC, Turbo pump, HF RF, LF RF가 주요 구성 품이다

2.5 SOG(Spin On Glass)

Device의 고집적화가 계속 이루어지면서 다층 금속 배선이 요구되어 금속간 절연막 을 겹가면서 후속 패턴



〈표 4〉 CVD 공정과 SOG 공정의 장단점

PROCESS	장 점	단 점	응 용
AP CVD	<ul style="list-style-type: none"> • 단순 반응 • 빠른 증착 속도 • Gap fill 능력 우수 	<ul style="list-style-type: none"> • 낮은 스텝커버리지 • Metal 오염 • 젖은 세정 	<ul style="list-style-type: none"> • STI Fill Layer • BPSG/PSG Layer
LP CVD	<ul style="list-style-type: none"> • 불순물이 적음 • 높은 두께 균일도 • 균일 스텝커버리지 	<ul style="list-style-type: none"> • High Temp 	<ul style="list-style-type: none"> • High Temp SiO₂ • SiN • W-silicide, W-plug dep.
PE CVD	<ul style="list-style-type: none"> • Low Temp • 빠른 증착 속도 	<ul style="list-style-type: none"> • Hydrogen content • Plasma 손상 	<ul style="list-style-type: none"> • 금속 층간 절연막 (IMD) • 소자보호막 (Passivation) • 비반사막(DARC SiON)
SA CVD	<ul style="list-style-type: none"> • Metal 오염 free • 긴 세정 주기 	<ul style="list-style-type: none"> • Crack 발생 	<ul style="list-style-type: none"> • STI Fill Layer • BPSG/PSG Layer
HDP	<ul style="list-style-type: none"> • Gap fill 능력 우수 • 모든 절연 공정 	<ul style="list-style-type: none"> • Plasma damage 	<ul style="list-style-type: none"> • STI Fill • Stop etch Nitride • IMD(USG, FSG) • Passivation
SOG	<ul style="list-style-type: none"> • Gap fill 능력 우수 • Low K 구현가능 	<ul style="list-style-type: none"> • Crack 발생 • Poisson Via 불량 • 낮은 신뢰성 	<ul style="list-style-type: none"> • 금속 층간 절연막 (IMD)

공정도 원활하게 수행시키기 위해 평탄화 기능도 가진 Liquid source coating 형태의 SOG(Spin On Glass) 공정이 각광을 받아왔다. SOG 기본 특성은 열처리(curing)에 따른 수축율(shrinkage)이 수반되는데 Siloxane계가 박막 내에 카본(carbon)이 있기 때문에 산소(O₂)와 반응 하므로 Silicate계에 비해 수축(shrink)이 크다. Spin On Glass공정의 단점은 liquid source의 코팅(coating) 형태이기 때문에 코팅 후 용매를 휘발 시키는 과정이 완벽치 않을 경우 후속 공정인 Via plug 공정에서 Via가 비어있는 상태 (poison Via)를 유발 하거나 패키지(package) 이후 실장에 장착 된 후 재현성 문제(Reliability issue)가 끊이지 않고 제기 되는 등 불안정적인 요인 이 많은 공정이다. 최근에 HDP FSG(SIOF)로 많이 대체 되고 있긴 하나 Low K 물질(material)로 SOG(Spin On Glass) 계열의 제품 소개도 계속 되고 있는 실정이다. 위에서 기술한 4가지 주요 CVD 공법과 SOG 공법을 장단점별로 정리해 보면 〈표 4〉와 같다.

III. PVD(Physical Vapor Deposition)

1. PVD 개요

PVD(Physical Vapor deposition)은 고체 물질로 부터 박막을 얻기 위해 기계적 혹은 열역학적 방법을 사용한다. 도포할 물질들에 에너지나 열을 가해 주면 표면으로부터 작은 입자들이 떨어져 나간다. 이 입자들을 차가운 표면에 부딪치게 하면 입자는 에너지를 잃고 고체층을 형성하게 된다. 이 모든 과정은 진공상태의 챔버 내에서 이루어져 입자들이 자유롭게 챔버 내의 공간을 이동할 수 있게 된다. 입자들은 직성방향으로 나아가려는 경향이 있기 때문에 물리적 방법으로 도포되는 박막은 일반적으로 방향성을 가진 상태가 된다. 모든 전기 제품이 전선을 통해 전기를 공급해야 작동하듯이, 반도체 칩(chip)도 외부로부터의 전원(전류)을 내부 소자에 전달해야 동작한다. 외부로부터의 전원(전류)은 금속 배선을 통해 이동한다. 반도체 chip에서 금속 배선의 역할은 전원 공급(전류 이동 통로), 전기 신호의 전달, 반도체 칩(Chip)과 외부를 연결이고, 배선형성 방법은 소자제조에 매우 중요하다.^[3-5]

금속(Metal) 공정은 하부 구조(소자, Gate등)가 완성된 상태의 반도체 표면에 금속 배선을 형성하기 위한 금속막(주로 알루미늄, AL)을 얇게 입히는 공정이다. 이런 공정에 쓰이는 주된 장비 시스템이 Sputter이다. 금속 공정은 금속막(Metal Film)의 종류에 따라 크게 4가지로 분류된다.

- ① 실리사이드 스퍼터(Silicide sputter) 금속 박막
- ② 베리어 금속(Barrier Metal) 박막
- ③ 플러그 텅스텐(Plug W) 박막
- ④ 금속(Metal : AL) 박막

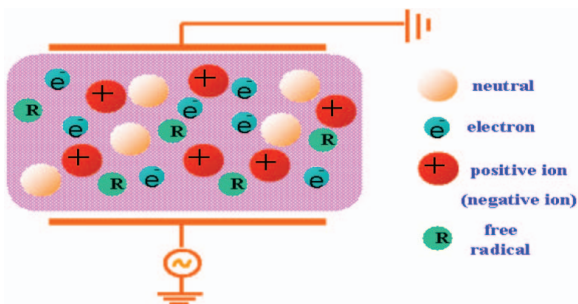
반도체 공정에서 대부분 금속 박막을 증착하는 스퍼터링 방법은 Dispaly나 유기물질의 금속 박막의 증착으로 확대하여 현재 유용한 증착기술로 현대 산업사회의 중요한 장비기술 부분의 한 축을 이루고 있다. 특히 대형화, 인쇄전자 등에 쓰이는 Roll to Roll 생산 방법에서 매우 유용한 금속 박막 증착 공법으로 자리 잡고 가고 있다. 스퍼터링 공정과 쓰여지는 장비들에 대하여

살펴본다.

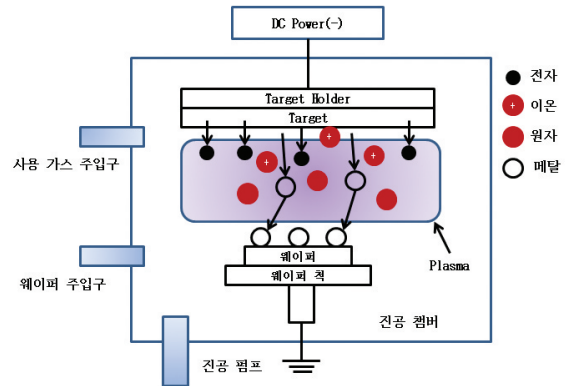
2. 스퍼터링의 개요

스퍼터링 공정을 위한 장비의 주요 구성요소는 진공 챔버, 진공펌프, 플라즈마 형성 시스템, 쓰여지는 금속 Target 등이다. 진공챔버는 고진공(5×10^{-8} Torr 이상)을 요하는 구조를 갖고 있어야하고, 이를 위해 Cryo(크라이오), Tuerbomolecular(터보) 등의 고진공 펌프와 저진공 펌프로 건식(Dry) 펌프를 주로 사용한다. 플라즈마 시스템은 챔버안에 연속적이고 균일한 상태를 유지해야한다. “가스”는 전기적으로 중성 상태의 원자들이 모인 상태를 말하며, 플라즈마는 중성 원자와 함께 동일한 수의 이온화된 원자와 전자가 함께 섞여있는 상태이다. 주로 보라색을 띤다. 플라즈마가 형성되어야 이온이 금속 타겟과 충돌하여 스퍼터링이 가능하게 된다. 스퍼터링에 쓰이는 플라즈마는 가스의 이온화율이 높아야하는데 가스의 이온화 정도는 입자의 이온화 에너지가 낮을수록, 온도가 높을수록, 압력이 낮을수록(중성 입자가 적을수록) 높아진다. 평균 자유 행로(Mean Free Path)는 플라즈마 내의 입자들이 다른 입자, 전자, 이온과 충돌하지 않고 이동할 수 있는 평균 거리를 말하며, 플라즈마의 이온화 율에 영향을 준다. 플라즈마의 이온화 과정이 <그림 7>에 나타나 있다. 일반적인 스퍼터링 이온화 과정이 <그림 7>에 나타나 있다. 스퍼터링 공정의 일련된 과정은 다음과 같다.

- ① 챔버를 진공 상태로 만든다.
- ② 웨이퍼를 챔버에 넣는다.



<그림 7> 플라즈마 이온화 과정



<그림 8> DC 스퍼터 일반 구조도 및 반응 원리

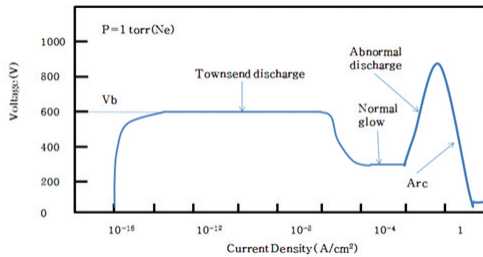
- ③ 챔버에 Ar 가스를 주입한다.
- ④ Cathode(타겟)에 전기(-DC power)를 공급한다.
- ⑤ Ar 가스가 이온화되어 플라즈마 상태가 된다.
- ⑥ Ar+이온이 음극인 타겟으로 날아간다.
- ⑦ Ar+이온이 타겟 표면에 충돌한다.
- ⑧ 타겟으로부터 금속 입자가 분리된다.
- ⑨ 타겟에서 이탈된 금속 입자가 웨이퍼로 날아와 웨이퍼 표면에 박힌다.

일반 스퍼터 장비의 구조와 공정의 역학적 메커니즘이 <그림 8>에 나타나 있다.

3. 스퍼터링의 종류

3.1 DC(Direct Current) 스퍼터링

가스의 방전(Discharge)이란 용기(chamber)내에 가스를 주입한 상태에서 전류가 흐르는 것이다. 챔버의 양단(target 및 wafer)에 DC 전압을 인가하고 전압을 서서히 증가시키면, 전류가 서서히 증가하고 전압이 600 V를 넘어서는 순간 전류가 급속히 증가하여 전압이 증가하지 않아도 전류가 증가한다. Gas breakdown(V_b) 전류의 breakdown이 일어나기 전의 영역을 “Townsend discharge”라고 하는데, 10~10A의 작은 전류만 흐르며 V_b 의 일정한 전압에서 전류가 계속 증가한다. 이때 챔버의 양극에 가해진 전장을 따라 이동하는 전자가 챔버에 주입된 Ar 가스와 충돌하여 Ar을 양이온화 시키고, 이 양이온이 타겟에 충돌하



〈그림 9〉 DC Glow 방전의 형성그림

여 2차 전자를 방출시킨다. 급격히 증가하는 전자가 계속 이온을 만들어 이온이 급증(Avalanche)하는 상태를 만들고 방전이 자체적으로 유지된다. 이때, 보라색 빛을 발하는 플라즈마가 형성되고, 전압은 감소하고 전류는 급격히 증가하게 되는데 이를 “Normal Glow”라 한다. 이때 양이온의 충돌은 일정하지 않고 스퍼터링이 타겟(target)의 끝이나 돌출 부위에 집중 된다.

전원을 계속 증가시키면 스퍼터링이 타겟 전체에서 일정하게 일어나고 방전 전압 과 전류가 모두 증가하는 “Abnormal Glow” 구간이 형성되는데, 이 영역이 스퍼터링에 사용하는 구간이다. 일반적인 DC 글로우 방전의 형성도가 〈그림 9〉에 나타나있다. 〈그림 9〉에 DC 글로우 방전을 이용한 스퍼터 장비시스템 개념도가 도식되어있다.

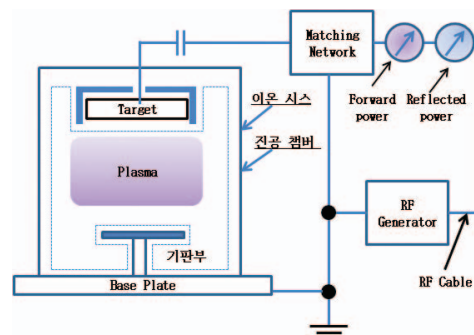
DC 스퍼터링 공법의 특징은 스퍼터링(Sputtering)에 적용되는 글로우 방전(abnormal glow discharge)를 형성시키는 변수가 Breakdown 전압이다. 이 전압은 2차 전자의 평균 자유 행로를 결정하는 챔버내 가스 (Ar) 압력과, 음극과 양극 사이의 거리에 영향을 받는다. 만일 기체 압력이 너무 낮아서 2차 전자의 평균 자유 행로가 너무 커지거나 음극(target)과 양극(웨이퍼) 사이의 거리가 너무 짧으면, 2차 전자가 Ar 원자와 충돌하여 충분한 이온을 만들기 전에 타겟에 충돌한다. 만일 반대로 압력이 너무 높거나 양극간 거리가 너무 먼 경우, Ar+ 이온이 다른 입자와 비탄성 충돌할 기회가 많아져서 속도가 느려지고 2차 전자가 감소한다. 방전 전류나 전압, Ar 압력에 따라 스퍼터링 효율이 큰 영향을 받고, 많은 금속 재료에 대해 넓은 면적의 균일한 막(target 직경의 50~60% 내외에서 ± 5% 이하)

을 얻을 수 있다. 문제점으로는 전자가 target에서 웨이퍼까지 먼 거리를 이동하며 Ar 가스를 이온화시키기 때문에, Ar 원자의 수% 정도만 이온화되는 비효율적인 방식이다.

3.2 RF(Radio Frequency) Sputtering

RF Sputtering은 절연막에 비아(VIA) 홀을 형성한 후, Barrier Metal을 증착하기 전에 비아(VIA) 하부의 금속막 표면에 존재하는 자연 산화막을 제거해야만 비아(VIA) Rc를 낮출 수 있다. 즉, 절연막 상태의 웨이퍼 표면을 스퍼터링을 해야 한다. 그런데, 절연막 표면을 스퍼터링 하기 위해 절연막이 코팅(coating)된 웨이퍼에 음전압을 인가하면, A+의 양전하가 절연막 표면에 충전(charge-up)된다. 양전하로 충전된 웨이퍼 표면으로는 플라즈마 내의 Ar+ 이온이 지속적으로 날아올 수 없다. 따라서, 양전하로 충전된 웨이퍼 표면에 전자를 공급하여 웨이퍼 표면과 프라지마 내의 Ar+ 간의 전위차기를 높여야 스퍼터링이 계속될 수 있는데, 절연막이 존재할 경우 웨이퍼 쪽에 음전압을 가해도 절연막을 통과하여 절연막 표면으로 전자를 공급할 수 없기 때문에 스퍼터링이 중지된다. RF 스퍼터링 구조가 〈그림 10〉에 나타나있다.

RF 스퍼터링은 웨이퍼 뒷면의 전극에 (+)와 (-) 전압을 교대로 인가하는데, 공업용 주파수인 13.56 MHz를 사용한다. 이는 1초에 13,560,000번 (+)와 (-)가 교차한다. 이 고주파 전위를 웨이퍼쪽에 걸어주면, “-” 주기 동안에는 Ar+를 끌려오게 하여, 웨이퍼



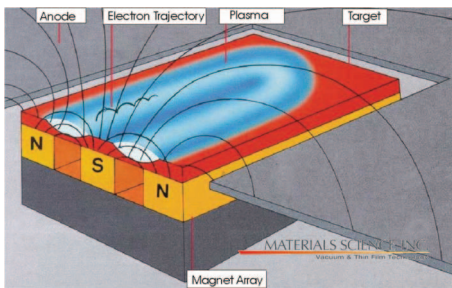
〈그림 10〉 RF 스퍼터링 구조

표면의 절연막을 스퍼터링하여 식각한다. 다음 “+” 주기 동안에는 플라즈마 내의 전자를 끌어와 절연막 표면에 충전된 Ar+를 중화시킨다. 따라서, 절연막 표면의 Ar+ 흡착(charge-up) 문제를 해결하면서, 절연막의 스퍼터링이 가능하다.

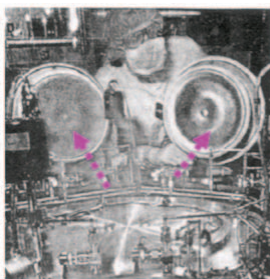
이 공법은 비아(VIA) 형성후, 장벽 금속막(Barrier Metal) 증착시 실시간(In-situ)으로 절연막을 식각 하는데 이용하고, 웨이퍼에 전압을 인가하는 방식을 Bias 스퍼터링이라 하므로, 일반적으로 장벽 금속막(Barrier Metal) 증착시의 절연막 식각을 RF bias sputter라고 한다.

3.3 Magnetron Sputtering

기본적인 원리와 메카니즘은 타겟(Target)에 인가된 “-” power는 타겟(Target) 면에 수직한 방향으로 전기장을 형성시킨다. 이때 타겟(Target) 면에 수평한 방향으로 자기장을 걸어주면, 전자는 타겟(Target) 표면 근처에서 나선 운동(Spiral motion)을 하게 된다. 전자가 타겟(Target) 부근에서만 운동하므로, 실제로 스퍼터링(sputtering)이 일어나는 타겟(Target) 표면 근처에서 Ar을 집중적으로 이온화시킬 수 있다. 또한, 전자의 나선 운동을 통해 전자가 Ar과 충돌할 확률을 크게 증가시킨다. 이와 같은 효과를 통해 스퍼터링(sputtering) 효율을 획기적으로 향상시킬 수 있다. 최근에는 막 두께의 균일도(uniformity), 증착율(deposition rate), 타겟 부식(target erosion)개선을 위해, 기존의 planer Magnetron 방식 대신 자장의 범위를 타겟 전면에 만들어 주는 영구 자석의 circular Magnetron 방식을 일반적으로 사용한다. 영구 자석이 타겟(Target) 주위를 회전 운동한다. <그림 11>와 <그림 12>에 Magnetron Sputtering의 기본 원리와 Sputtering용 타겟 모형이 도식되어있다.



<그림 11> Magnetron Sputtering의 기본 원리(자료 : Materials Science Inc.)



<그림 12> Sputtering용 타겟 모형

Magnetron Sputtering의 특징은 타겟 표면의 전류 밀도가 기존 DC 다이오드(diode) 방식에 비해 10~100배 향상되므로, 스퍼터 효율도 크게 개선된다는 점이다. 막 두께 균일도를 개선하기 위해, 타겟의 크기가 웨이퍼의 크기보다 크게 제작된다. 8인치(200mm) 웨이퍼의 경우, 타겟 크기는 보통 14인치를 사용한다. 현재의 스퍼터 시스템은 대부분 circular Magnetron 방식을 채택하고 있다.

스퍼터링 효율을 증진하기 위하여 이온 빔(beam)을 보조로 사용하는 마그네트론 스퍼터링 장치가 개발되고 있는데 이 스퍼터링 장치는 고가로 인해 생산현장에 많이 사용되고 있지 않지만 최근에는 마그네트론 스퍼터링 장치에 부가적으로 장착하여 사용하고 있다. 또한 대면적의 타겟이 필요하여 이에 대응되는 대형 이온소스 개발도 진행 중이다. 플라즈마는 이온소스 안에서 발생하도록 구성되어 있다.

또 다른 장비 구성의 방향은 전자석의 배치를 대칭형으로 배치하지 않고 응용되는 unbalanced magnetron sputtering 방법도 있다. 이 장치의 특징은 내부 자석과 외부 자석의 자장의 세기가 다르다. 자장이 내부와 외부 사이를 벗어나 기관의 표면 쪽으로 향하는 유속이 생긴다. 이러한 자장은 전기장 방향과 가까워 자기장의 방향과 전기장의 방향이 비슷해져 전자가 자장을 따라 스프링 모양을 그리면서 나선운동을 하여 기관쪽으로



향하여 플라즈마가 음극 부근에 국한되지 않고 전체적으로 유지 가능하다. 증착 도중 이온의 충돌은 막에 있어서 nucleation behavior, morphology, composition, orientation, mechanical properties 등을 변화시킨다. magnetron sputtering에서 기판에 1~500 V의 negative potential을 걸면 기판 주위의 discharge로부터 이온이 나온다. 그러나 일반적으로 막/기판 계면에 입사하는 전류밀도가 매우 낮다.

magnetron sputtering으로 hard coating을 할 경우 내부식성, 내마모성을 최대화하기 위해 결정내의 damage를 최소화하고, 입계, 입내의 공공을 줄이고, 기판에 bias 전압을 걸어주어 기판으로의 이온 전류를 증가시킨다. bias 전압을 증가시키면 공공은 작게 되나 입내에 결합이 생기기 쉬우며, 응력 상태가 증가하여 adhesion이 나빠지고, 막의 품질이 나빠진다. 이온의 전류 밀도를 증가시키고, bias voltage를 낮게 유지하여 이온의 에너지를 낮게 유지해야 한다.

3.4 Reactive 스퍼터링

Reactive 스퍼터링은 타겟과 동일한 단일 성분의 금속막 대신에 TiN등의 혼합물(compound) 금속막을 형성하기 위한 방식이다. Ti 타겟을 사용하여 DC sputtering을 진행하는 챔버에 N₂ 가스를 주입한다. Ti 원자가 웨이퍼 표면에 도달한 후 질소(N) 가스 원자와 반응하여 TiN 막을 형성한다. N₂ 가스의 부분 압력에 따라 Ti와 N의 조성비(stoichiometry)가 달라지게 된다. 일반적인 N₂:Ar 비율은 1:1이다. 막의 특성은 N₂ 부분압, 전체 가스 압력, 스퍼터링 전원, 웨이퍼 가열 온도에 영향을 받는다.

IV. ALD(Atomic Layer Deposition)

1. ALD의 개요

나노란 희랍어 '나노스'에서 파생된 말로 10억분의 1을 의미하는 접두어다. 나노미터는 10억 분의 1m이며 머리카락 굵기의 8만분의 1수준이다. 나노공정을 적용한 반도체부터 시작해서 탄소나노튜브, 은입자 코팅기

술, 나노화장품등 그 응용범위는 무궁무진하다. 나노기술이 각광을 받는 까닭은 물질이 나노상태로 쪼개지게 되면 이전에 가능하지 않던 물성이나 이동이 가능하게 되어 새로운 응용제품 생성이 가능하고 기존물질의 적용범위가 넓어지기 때문이다. 고용량, 스피드, 원가절감을 위한 반도체업체들의 패턴사이즈 줄이기 노력이 필사적으로 진행되면서 반도체산업이 나노기술에서 선두를 걷고 있고 이미 소재, 공정, 장비 등에서 변화가 시작되고 있다. 막 형성에 필요한 원소를 한번에 한 가지씩 증발시켜 ZnS 박막을 형성하는 원자층 적층 성장(atomic layer epitaxy, ALE) 기술은 1974년에 핀란드 특허가, 1977년에 미국 특허가 등록되었지만 그 당시에는 큰 관심을 끌지 못하였다. 아마도 기존의 박막 형성 방법과 너무 다르고 응용 분야가 특수하게 보였기 때문이었을 것이다. 그러나 이 기술을 사용하여 핀란드의 Lohja사가 ZnS:Mn을 사용하여 미국과 일본의 경쟁사 제품보다 훨씬 뛰어난 대면적의 EL 표시 소자를 1980년대 초에 내놓았고 이것이 1982년에 Society of Information Display 학회가 수여하는 기술상을 받은 이후 ALE 기술은 고품질의 박막을 형성하는 방법으로 주목을 받기 시작했습니다. 적층 성장이 아닌 경우도 포함하기 위해 더 일반적으로 이 기술을 ALE가 아니라 원자층 증착(atomic layer deposition) 즉, ALD 기술이라고 부르게 되었다.

다른 실리콘 반도체 기술과 달리 ALD 기술을 실리콘 반도체 소자 제조에 적용하려는 노력은 한국에서 최초로 시작되었다. 1996년부터 국내의 반도체 장비업체와 소자업체가 ALD 기술을 사용하는 장비와 소자 연구를 시작하여 삼성전자가 반도체 소자업체로는 최초로 ALD 기술을 개발하고 1998년에 이 기술을 적용하여 차세대 DRAM을 개발했다고 발표하였다. CVD법은 생산성이 좋은 반면에, 염소 등을 포함한 소스가스를 이용하여 박막을 형성할 경우, 박막 내에 잔류한 염소 등과같은 불순물을 제거하기 위하여 플라즈마(Plasma) 처리와 같은 추가 공정이 필요한 단점이 있다. 최근에는 박막의 두께 균일성, 단차피복성(Step Coverage), 및 초기 상압(Atmospheric Pressure)으로 사용할 때의 오염 등의 문

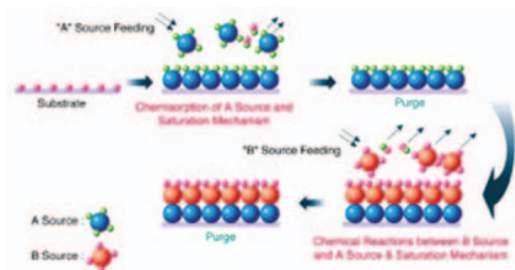
제점을 극복하기 위하여 저압 영역에서 CVD 공정을 많이 진행하고 있다. 이와 같이 저압에서 공정을 진행할 경우에는 증착 속도가 감소하게 되어 생산성이 떨어지게 된다. 따라서, 증착 속도를 증가시키기 위해서는 반응기체의 분압을 높이거나 공정 온도를 증가시켜야 한다. 그러나 반응기체의 분압을 높이는 것은 미반응 기체들 상호간의 반응을 유발시켜 원하지 않는 입자에 의한 오염을 발생시키고, 공정 온도를 증가시키는 것은 하지 막의 변형을 초래하여 바람직하지 않다.

반면, ALD법은 CVD법에 비해 생산성이 낮은 단점이 있지만, 낮은 온도에서 우수한 단차 피복성과 균일한 조성을 가지는 박막을 형성시킬 수 있고, 박막 내의 불순물 농도를 감소시킬 수 있다. 시간 당 막 성장 속도가 느리다는 것이 ALD 기술을 실리콘 반도체 공정에 적용하기 어려운 이유였지만 반도체 소자의 미세화에 따라 얇고 두께를 정밀하게 제어해야 할 메모리용 유전막, 확산 방지막, 게이트 유전막 등의 수요가 많아지기 때문에 ALD 기술은 핵심적인 반도체 제조 기술 중의 하나가 되고 있다.

2. ALD 공정 장점

원료 공급 주기 안에서 각 원료의 공급이 충분하면 기판 표면의 형상에 관계없이 매 원료 공급 주기마다 일정한 두께의 막이 형성된다. 막의 성장 속도는 시간이 아니라 원료 공급 주기의 수만에 비례할 뿐, 원료 공급량, 유량 등의 공정 조건에 민감하지 않기 때문에 얇은 막의 두께를 정밀하게 제어할

ALD법은 CVD법에 비해 낮은 온도에서 우수한 단차 피복성과 균일한 조성을 가지는 박막을 형성시킬 수 있다.



〈그림 13〉 ALD법에 의한 증착 메커니즘

〈표 5〉 반도체소자 제조용 박막 증착 방법

Item	ALD	CVD	PVD
증착 방법	원자층 증착	화학기상 증착	물리적 증착
막 증착 두께	< 200 Å	> 200 Å	> 200 Å
균일도 조절	1 Å	10 Å	50 Å
막 두께 조절	매우 우수	우수	보통
step coverage	매우 우수	우수	나쁨
막 특성	매우 우수	우수	제한적
cleanliness	No Particles	Particles	Particles
base vacuum	Medium(1×10^{-3} Torr)		High(1×10^{-7} Torr)
확장성	No Limit	90~65 nm	100 nm Technology
생산성	Poor	Fair	Good

수 있다. 따라서 ALD 기술에는 다음의 장점이 있다.

- ① 매우 얇은 막을 형성할 수 있다.
- ② 기판의 면적이 넓어도 균일한 두께의 막을 형성할 수 있고, 대면적의 표시 소자에 적용되었고 300mm 웨이퍼에도 쉽게 적용할 수 있다.
- ③ 기판의 요철에 관계없이 일정한 두께의 막이 형성되기 때문에 단차 피복성이 매우 좋다.
- ④ 형성된 막에 핀 홀(pin hole)이 없다.
- ⑤ 분말이나 다공성 물질에도 균일한 두께의 막을 형성할 수 있다.

〈그림 13〉에 기본적인 반응 메커니즘이 도식되어 있다. 기본적으로는 CVD와 같은 반응이나 mono layer가 연속적으로 쌓여 간다는 점이 다르다.

〈표 5〉에 반도체 소자 제조공정에서 사용하는 주요 세 가지 박막증착 방법을 요약했다.

3. ALD 응용

3.1 장비 구조

Applied Materials와 Novellus와 같은 일부 업체들은 자체 독특한 프로세스를 이용하여 텅스텐 플러그 애플리케이션용 ALD를 개발했다. plug에 이용되는 CVD WF₆ 화학처리에서 근본적인 문제는 막의 핵형성(film

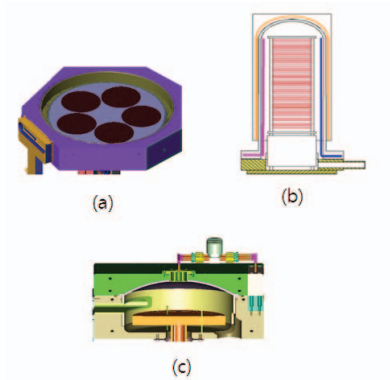
nucleation)이라고 할 수 있다. 이전부터 핵형성을 촉진시키기 위하여 high-pressure silane exposure 등과 같은 다양한 방식들을 적용해 왔다. 그러나 동일한 프로세스의 화학처리에 ALD 방식을 적용하면 conformal한 텅스텐 박막 핵형성을 구현할 수 있다. ALD 공정을 이용하여 일단 막 두께가 수십 Å로 형성되면 이 프로세스는 via를 완전하게 채우기 위하여 conventional CVD 공정으로 바뀌게 된다. 이러한 ALD/CVD 프로세스 시퀀스 공정은 300 mm에서 보편적으로 이용될 것으로 보인다. ALD가 주류가 되려면 디바이스 영역에서 설 자리를 찾아야 할 것으로 판단된다. 전부터 업계의 성장과 이해, 이득이 걸려 있는 배선영역이 대표적이라 할 수 있다. ALD를 디바이스 영역으로 확장한다는 것은 copper 적용을 의미하는데, 현재 130 nm 디바이스 노드에서는 이 이슈가 해결이 된 상태다. 100 nm로 이행함에 따라 특히 PVD 기반 프로세스를 벗어나야 할 것으로 보인다. 100nm 이하에서는 CVD나 ALD로 눈을 돌려야 한다. CVD에 있어서는 copper CVD가 가장 큰 장애물로 현재까지 생산적으로 이 프로세스를 구현할 수 있는 해결책은 나와 있지 않다. ALD도 이와 똑같은 문제에 직면해 있다. 100 nm에서는 수율 목표치에 좌우되는 균일성으로 인하여 ALD가 요구된다. 물론 CVD에 의해서도 달성할 수 있겠지만 ALD를 적용하면 전혀 다른 수준의 수율 목표치를 얻을 수 있다. TiN barrier를 예로 들 수 있다. TiN은 상당기간 PVD를 의미했었다. MOCVD TiN으로 이행하는 데 시간이 걸리긴 했지만 수율개선 효과가 높았고 그 결과 MOCVD TiN가 사실상 업계 표준이 되었다.

ALD TiN 프로세스를 동일선상에서 비교해 보자. 이 프로세스는 trench 구조 깊이가 7.25 μm 일 때 재료 조성이 균일하고 기판의 단차피복성이 완전하여 사실상 100 % conformality를 입증하고 있다. 하드웨어적으로 볼 때 ALD는 거의 알려진 셈이다. CVD에서 ALD로 이행은 점진적이긴 하나 하드웨어적으로 굉장히 중요한 변화라고 할 수 있다. 현행 CVD 프로세스 챔버는 ALD 챔버로 업그레이드가 가능하며 ALD 역시 화학중

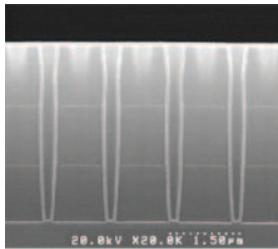
작 이기 때문에 이행은 비교적 수월할 것으로 보인다. Genus는 이미 개발된 CVD 웨이퍼 핸들링 및 프로세스 모듈 플랫폼/아키텍처에 ALD 제품을 도입한 경우이다. ALD 플랫폼은 자사의 CVD 플랫폼을 확장했으며 파트의 대부분은 이미 양산 CVD 프로세스에 이용되고 있는 플랫폼과 흡사하다. ALD를 deposition 개선에 이용한다면 좋은 seed를 사용, plating의 process window를 확장하여 탁월하고 용이한 plating을 구현할 수 있을 것이다. 그러나 현행 barrier는 PVD 기반 탄탈륨, TaN이므로 어려움이 있다. ALD TaN를 하고자 할 경우 Ta 금속유기 precursor를 사용해야 한다. 한편 챔버에 하드웨어적인 문제가 있다. CVD와 마찬가지로 ALD의 경우 막이 웨이퍼 뿐만 아니라 반응챔버 표면에도 코팅이 이루어지므로 원위치(in situ)에서 챔버를 깨끗하게 할 수 있는 방법을 모색해야 한다. 대부분은 어떤 재료를 선택하느냐에 따라 달려 있다 할 것이다.

ALD는 또한 단차비가 높은(high aspect-ratio) 구조의 경우 탁월한 conformality를 구현할 수 있다. 일부 CVD와 PVD 프로세스에서는 단차비가 높은 구조의 sidewall에서 조성이 다르게 나타난다는 점이 문제이다. 이 문제는 특히 deep trench & highaspect-ratio 구조에서 발생할 것으로 보인다. 이 문제는 표면 과포화 화학처리 recipe와 conformality로 해결할 수 있다. ALD에서는 웨이퍼상의 균일성과 웨이퍼간 탁월한 균일성 확보가 가능하다는 점이 장점이다. 막의 두께가 미세화됨에 따라 현재 옹스트룡(Å) 레벨에 머물고 있는 막 두께 측정기술에서 디바이스 퍼포먼스를 위한 퍼센티지 두께 제어가 요청되고 있다. 이러한 요구는 closed-loop control optical ellipsometric 방법으로 어느 정도 커버가 가능할 것으로 본다.

반도체 제조업체들은 새로운 재료를 적용하기보다는 기존 재료를 계속적으로 사용하면서 적용범위를 넓히는 쪽을 선호하는 입장이다. 그러나 기존 재료의 쌓아 온 장비도 바야흐로 무너질 것으로 보인다. 금속질화물을 적용하는 경우에는 저항률 감소와 conformality 확보가 관건이기 때문에 ALD가 새로운 캐패시터, 게이트,



〈그림 14〉 ALD 장비구조 유형
(a: 준 배치식, b: 배치식, 단일식)



〈그림 15〉 ALD 기술로 형성한 Ti-Si-N 막

커패시터 전극용 유전재료에 대한 요구에 대응할 것으로 보인다. ALD 기술이 가장 각광받는 영역은 현재 10 Å~50 Å 역이다. 100 Å 이상에서는 ALD의 속도가 느려지기 때문에 생산성(throughput) 문제를 야기할 수 있다. 생산성(throughput) 개선방법은 몇 가지가 있다. 병렬 프로세싱 (parallel processing)이 가장 대표적인데 병렬 구조(parallel cluster)장비를 이용하거나 웨이퍼 몇 개를 동시에 노출시키는 방법이다. ALD 기술의 견인차는 다른 아닌 원자층 고품위 저온막(atomic layer conformal low temperature films)이다. 업계에서는 재료보다는 웨이퍼에 대해 의견이 엇갈리고 있다. 업계의 경우 반응성 에칭, 평활막(planar film), 공극채우기(gap fill)이나 다마신(damascene) 기술 등 기성 기술에 의존하는 경향을 보이고 있다. 표면주위 코팅을 할 수 있는 3-D 막 제조가 가능하다면 가까운 미래에 에어 갭(air-gap) 구조나 바닥(bottom)이 없는

**반도체 장비는 450mm 이상의
대면적화와 디스플레이 장비는 8세대
이상 장비 개발이 활발하다.**

3-D 버티칼 구조나 바닥(bottom)이 있더라도 코팅된 3-D 수직구조 등 굉장한 구조(structure)가 등장할 것이다. 이 모든 것을 ALD는 초미세선폭에서 구현하면서 새로운 단차피복의 지평을 세울 것으로 기대된다. 〈그림 14〉에 ALD 장비의 기본 구조도가 도식되어 있고, 〈그림 15〉에 ALD 기술로 형성한 deep trench Ti-Si-N 막의 형성을 보여주고 있다.

V. 맺는말

앞서 살펴본 박막 증착에 대한 공법과 이를 이행하는 장비들의 기본 구조에 대하여 살펴보았다. 반도체 장비는 이제 어느 한 부분의 치우쳐 쓰이지 않고 여러부분의 산업 부분에 응용되어 사용되어지고 있다. 일례로 박막 실리콘 태양전지가 시장에서 우위성을 얻기 위해서는 제조비용을 줄이는 것이 최대의 과제인데, 이를 위해 에너지 변환효율의 향상과 함께 박막 실리콘 제조 공정에 활용되는 플라즈마 CVD의 생산성을 높이는 것이 중요하다. 생산성 향상 방안으로는 제막 면적의 대면적화와 고속제막 기술이 주목을 받아 집중적으로 연구되고 있다. 또한 고속제막기술에 초고주파(VHF)를 사용하면 기존의 고주파(13.56MHz)에 비해 성능저 없이 제막속도를 향상시키는 것으로 알려져 있는데, 최근 외국에서는 실험실 규모이지만 전극 양단에서 공급하는 초고주파 전력의 위상변조법을 응용하여 60MHz 초고주파로 1m²를 초과하는 대면적 플라즈마를 생성시키고 있다. 스퍼터링 장치를 이용한 금속박막 증착법은 1990년대 초반에 반도체 공정에 사용이 시작된 후로 20년간 여러 산업 분야에 널리 응용이 시도되고 있지만 디스플레이 산업 쪽에는 아직 초기 단계이다. 마그네트론 스퍼터링뿐 아니라 기타 표면 처리에도 가능성 있는 분야가 많이 있으며 대면적화는 병렬 안테나의 사용, 주파수 변화를 통한 임피던스 감소 등으로 해법이 나오고 있으며 상용 시스템이 개발되고 있으므로 패널에 곧 적용이 되리라고 생각한다. 이는 특히 태양



전지, 디스플레이 산업의 투명전극형성에 매우 필요한 공법이다^[6-10]. CVD나 PVD 모두 발전의 동행자는 플라즈마 발생장치와 공법에 매우 의존성이 높다. 앞에서 기술한 고밀도 플라즈마 장치들의 개발은 12"웨이퍼 크기의 현 플라즈마 공정에 초점을 맞추어 개발되어 왔다. 그러나 VLSI공정이 미세화와 고 집적화의 추세로 감에 따라 반도체 원가와 수율 관점에서 반도체 장비는 450mm 이상의 대면적화 추세가 지배적이고, 디스플레이 장비는 8세대 이상 장비 개발이 활발할 것으로 예측된다. 따라서 최근 수 년 전부터 웨이퍼의 대면적 추세에 발맞춰 플라즈마 장비의 대면적화가 서서히 대두되고 있다. 대면적 플라즈마 장비의 개발은 미국을 비롯해서 일본 등에서 활발히 연구되기 시작하고 있으며, 몇 가지 장비들이 제시된 바 있다. 현재 가장 큰 문제점은 안테나의 임피던스 감소와 플라즈마 밀도의 공간 균일성 확보이다. 지금까지 대면적으로 크기 확장이 가능한 최적의 고밀도 플라즈마 장비로는 평판형 유도 결합 플라즈마 장비로 본 실험실에서도 이러한 장비 구조에서 크기 확장이 가능한 플라즈마 안테나를 제시한 바 있다^[11]. 최근 일본의 NEC사의 Samukawa^[12]와 그의 팀에서 500MHz의 대면적 플라즈마 장비를 제시한 바 있다. 장래에는 대면적 플라즈마 장비를 개발한 국가에서 반도체/디스플레이 사업의 주도적인 역할을 할 것으로 여겨져 이에 대한 많은 참여가 기대된다. 앞에서 언급한 것처럼 20 nm 이하의 디자인 룰을 가진 반도체 소자의 시대가 열리게 됨에 따라서, ALD 공정의 중요성은 더 이상 강조할 나위가 없다. 특히 게이트와 커패시터 유전막, 금속 전극 그리고 스페이서와 같은 높은 종횡비를 가지면서 매우 얇고 저온 증착막을 요구하는 공정 등 차세대 반도체 증착 기술에서는 PVD와 CVD 증착에 의한 막보다 ALD를 이용한 막 증착의 필요성이 더 증가할 것이다. 특히 ALD장치는 배치형 ALD 장치와 싱글형 장치의 단점을 제거할 수 있으면서 장점을 살린 세미 배치형 ALD 장치가 표준화될 것으로 예상된다.

참고 문헌

- [1] Donahoe, T. J., and R. Rief, J. Appl. Phys., 57:2757(1985)
- [2] Yew, T. R., and R. Rief, J. Appl. Phys., 68:4681(1990)
- [3] C. Hang, Y. Tian, C. Wang, and N. Wang, Thin Solid Films 524, 224(2012).
- [4] J. M. Ha, H. J. Shin, S. W. Lee, Y. W. Kim, and J. K. Lee, Kor. J. Mater. Res. 3,166(1993).
- [5] Y. S. Park and J. Y. Kim, J. Korean Vac. Soc. 5, 161(1996).
- [6] I. Hamberg and C. G. Granqvist, J. Appl. Phys. 60, 1986, R123
- [7] M. S. Lee et al, J. Korea mat. Sci. 8(5), 1998, 383
- [8] J. C. Manificier, Thin Solid Films 90, 1982, 297
- [9] V. K. Jain and A. P. Kulshreshtha, Sol. Energy Mater. 4, 1981, 151
- [10] J. P. Marton and D. A. Lopic, J. Electrochem. Soc. 121, 1974, 234
- [11] G. H. Bai, S. H. Seo and H. Y. Chang, J. Korean Vac. Soc. 7, 273(1998).
- [12] S. Samukawa and T. Nakano, J. Vac. Sci. Technol. A14, 1002(1996).

**이 병 철**

1986년 2월 전북대학교 학사(물리학)
 1988년 8월 전북대학교 석사(물리학)
 1996년 8월 전북대학교 이학박사(물리학)
 1996년 11월~2004년 3월 (주)동부하이텍
 2004년 4월~2005년 7월 옵토팩(주)
 2005년 10월~2008년 8월 광전자(주)
 2008년 9월~2010년 9월 (주)에이스프라임
 연구소장
 2010년 10월~2012년 2월 포엔사 연구소장
 2012년 3월~2012년 8월 (주)씨에스이 연구소장
 2012년 9월~2013년 8월 (주)제이하라 부사장
 2013년 9월~현재 오름반도체(주) 수석연구원

<관심분야>

디스플레이, 전력소자, 광학소자, PKG

**성 흥 석**

1986년 2월 서강대학교 전자공학과 학사
 1988년 2월 서강대학교 전자공학과 석사
 1997년 2월 서강대학교 전자공학과 박사
 1988년 2월~2000년 2월 한국전자통신연구원
 선임연구원
 2000년 3월~현재 부천대학교 부교수

<관심분야>

반도체 장비, 자동화 설비 제어