

Etch의 기술 개발 및 Etch와 Lithography 기술 시장 동향

I. 서론

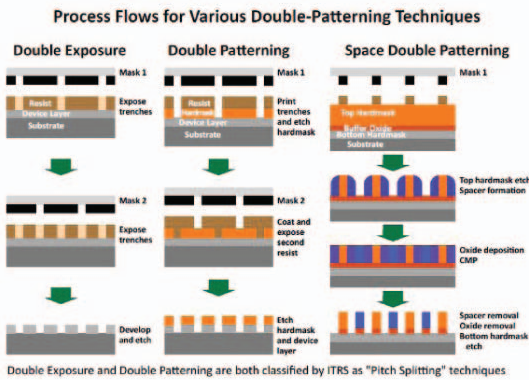
현재 2013년 개발 중인 반도체 소자의 선 폭은 10nm급 NAND 까지 감소되었고, 2014년에는 3D NAND Flash가 개발 될 것이며 2015년에는 14nm급 logic 소자, 2016년에는 450mm 급 제조 장비개발이 가시화 될 것이다. 또한 2017년 이후에는 emerging logic 반도체가 개발될 전망이다^[1]. 그리고 capacitor 형성의 높은 기술적 난이도에도 불구하고 DRAM memory 역시 20nm 초반 급까지 개발 중에 있는 것으로 알려져 있다^[2]. 이에 제조기술의 한계로 R&D 비용이 기하급수적으로 증가하면서 업체가 소수화되고 있으며, 개발 비용 절감을 위해

현재 2013년 개발 중인 반도체 소자의 선 폭은 10nm급 NAND까지 감소되었고, 2014년에는 3D NAND Flash가 개발 될 것이며 2015년에는 14nm급 logic 소자...

국제 연구 consortium의 결성이 활발해지고 있다^[3]. 따라서 선 폭의 미세화 기술뿐 만 아니라 수율(yield)을 포함하는 원가 경쟁력 역시 중요시 되고 있다. 원가 절감에 대한 한계를 극복하기 위해 인텔, TSMC, 삼성 등은 wafer의 450mm 대구경화에 대한 연구가 진행되고 있고, 소자의 선 폭을 결정하는 미세화의 병목 기술인 photolithography 기술에 대한 요구들을 만족시키기 위해 EUV에 대한 연구가 IMEC, SEMATECH, ASML 등에서 진행되고 있다^[4]. 하지만 EUV 기술의 경우 공정안정성에 대한 기술적인 문제와 생산 효율성 및 대당 1억 5천만 달러를 호가하는 비용 문제 때문에 적용이 지연되고 있다. 반도체 업체에서는 기존의 ArF 기술로 EUV 대체를 위해 <그림 1>과 같이 double expose, double patterning 등



이 중근
부천대학교
전자공학과 교수



〈그림 1〉 Double patterning 기술의 종류^[5]

분야	비중	기술수준	재표 국산화
세정건조장비	5.3%	90%	70%
CVD	14.0%	90%	60%
포팅장비	8.0%	90%	60%
식각장비	17.0%	85%	60%
벌치리장비	2.6%	85%	50%
PR 처리장비	3.8%	80%	85%
연마장비(CMP)	3.2%	75%	55%
검사장비(Tester)	10.5%	60%	45%
PVD	4.2%	60%	-
속칭분석장비	6.4%	40%	50%
노광장비	25.0%	10%	-
전체	-	65%	55%

자료: 반도체연구조합(2010), 토러스투자증권 리서치센터

〈그림 2〉 반도체 공정 별 비중 및 국내 기술력^[7]

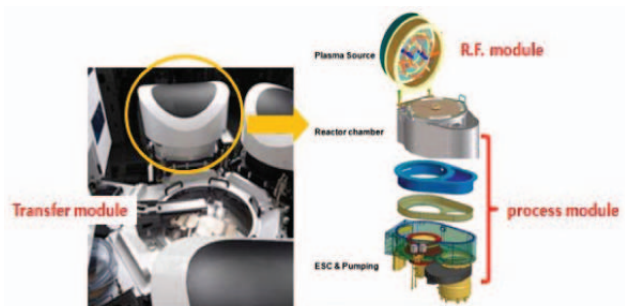
의 기술을 통해 한계를 극복하고 있다^[5]. NAND 플래시 업체들 중 하이닉스, 마이크론, 삼성 전자와 도시는 이미 2Xnm 공정 및 1xnm 제품 군에 193nm immersion photolithography 공정을 확장하고 있다^[6]. Logic 소자 측면에서 인텔은 14nm node에 DRAM 업체들 역시 30nm 이하 제품군까지 double patterning 기술을 확장할 계획이다^[4]. 이 때문에 전체 소자 제조 공정에서 photolithography 와 etch 공정의 단계가 급격히 증가되었고, 특히 etch 공정의 경우 〈그림 2〉와 같이 전체 장비 투자비용에서 photolithography 다음으로 큰 비중을 차지하고 있으며 앞으로 그 중요성이 더욱 높아질 것으로 예상되고 있다^[7]. 본 논문에서는 etching 장비의 기술 개발과 etch 및 미세 pattern lithography의 시장 동향에 대해 서술하고자 한다.

II. Etching 장비 개요

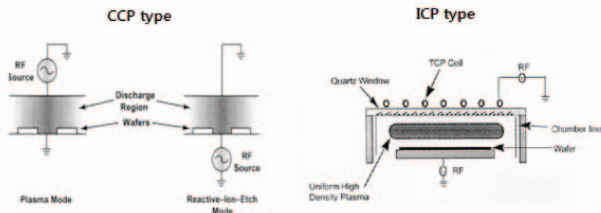
1. Etch 장비의 구조

Etching 장비는 그 역할에 따라 〈그림 3〉과 같이 몇 가지 세부 module로 구분할 수 있다^[8]. wafer를 chamber로 이송하는 buffer chamber를 포함하는 transfer module, wafer를 plasma로 가공하기 위한 vacuum chamber를 포함하는 process module, 주입된 gas에 power를 인가하여 plasma를 발생시키기 위한 R.F. power module, 그리고 그림에는 없지만 chamber 내로 공정 gas를 주입하는 gas module과 반응된 gas를 배기 위한 pumping module, 그리고 상기의 module들을 전기적, 기계적인 방법들로 상호간 유기적으로 조절하기 위한 control module 등이 있다.

Wafer가 실려 있는 FOSB(Front Opening Shipping Box)가 transfer module에서 장비 외부에 위치한 stage에 장착이 되면 robot arm에 의해 wafer를 저진공 상태의 buffer chamber로 이송한다. buffer chamber는 고진공 상태를 유지하는 process chamber의 진공 상태를 유지하면서 wafer를 chamber 내로 진입시키기 위한 중간 단계의 chamber이며, 양산 장비의 경우 한 개의 buffer chamber에 다수의 process chamber가 연결된 array 형태이다. Process chamber 내부로 wafer가 공급되어 ESC(Electro Static Chuck)에 고정 되고, 설정된 gas의 종류와 유량이 MFC(Mass Flow Controller)에 의해 공급된다. ICP 또는 CCP 등의 plasma 생성방식에 따라 설계된 source와 bias 전극에 R.F. power가 인가



〈그림 3〉 Etching 장비의 system 구성



〈그림 4〉 Plasma 형성 방식에 따른 etch 장비의 구분

되어 발생된 plasma에 의해 etch 반응이 일어난다.

2. Etch 장비의 종류

Etching 장비를 plasma 생성방식에 따라 분류하면 〈그림 4〉와 같이 가장 광범위하게 적용 중인 CCP (Capacitively Coupled Plasma)와 ICP(Inductively Coupled Plasma)로 분류할 수 있으며, 부가적으로 PR 제거를 위한 ashing 공정에 국한되어 사용되는 micro wave plasma 등도 사용 되고 있다^[9]. 이외에도 여러 가지 형태의 plasma 생성 방식이 개발되었으나, 공정 능력, 공정 영역 및 etch uniformity 등의 이유로 현재 반도체 제조 공정에는 일반적으로 사용되지 않고 있다. CCP 형태의 경우 R.F. power를 하부 wafer 쪽 전극에 인가하는 방법을 사용하고 있다. 이 방식의 경우 etch 시 plasma 내의 들이 wafer 방향으로 향하게 되어 화학적인 etch 뿐만 아니라 ion energy를 이용한 물리적인 etch도 동시에 가능하게 한다. 초기에는 CCP 방식으로 Silicon, Oxide, Metal 계열 등 대부분의 박막을 etch하였으나, pattern이 미세화 되어 공정의 난이도가 증가하면서 저압 공정, 상대적으로 낮은 밀도의 plasma에서 진행되는 공정 등의 한계로 현재는 좁은 전극간 gap과 높은 ion energy를 필요로 하는 silicon oxide etch를 중심으로만 적용되고 있다.

ICP 방식은 chamber의 상부 또는 측벽에 antenna를 원형 또는 나선형 형태로 형성하고 R.F. power를 인가하면 Coil을 흐르는 교류 전류로 인해 chamber 내부의 발생된 plasma 내 전자 energy를 전달함으로써 고밀도의 plasma를 얻게 된다. 또한 wafer가 놓여진 하부 ESC에 R.F. power를 직접 power와 bias power라고도 한다. 상호간 거의 독립적인 운용이 가능해

plasma 밀도와 ion energy 조절에 유리하다. 측벽에 antenna가 설치된 경우를 cylindrical type, 상부에 설치된 경우를 planar type이라고 하며, 현재 사용되는 wafer의 크기가 대면적화 되면서 plasma의 uniformity 등의 문제로 인해 현재는 planar type이 주로 사용되고 있다. ICP는 CCP 대비 앞서 언급한 바와 같이 고밀도 plasma 생성뿐만 아니라 저압 공정이 가능하며 uniformity 측면에서도 유리하다.

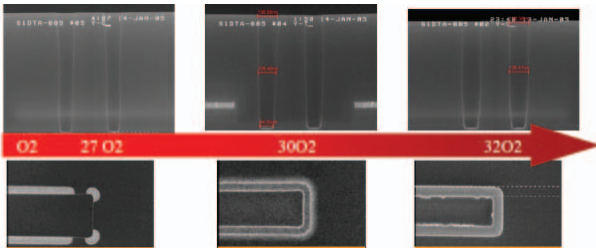
Micro wave plasma의 경우 electro-magnetic wave의 전달로부터 power를 전송하는 원리로 기존의 ICP 또는 CCP 대비 power 전환 효율이 매우 높다. 이로 인해 고밀도 plasma 생성이 가능하지만, radical 조절에 대한 어려움 때문에 정밀한 etch 공정에는 사용되지 않고 주로 높은 etch율을 필요로 하는 ash 공정에 적용된다.

Ⅲ. 박막 별 etch 기술^[9]

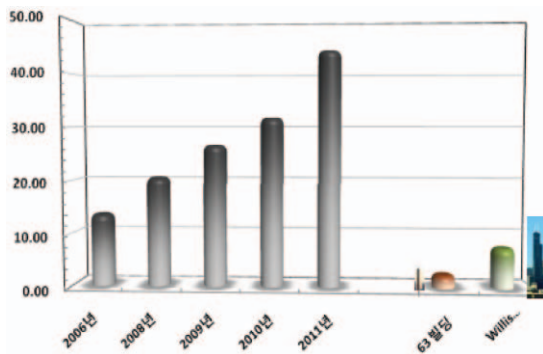
1. 유전막 etch 기술

반도체 공정에서 일반적으로 사용되는 유전막질은 silicon dioxide를 필두로 silicon nitride 와 low-k 계열 등이 있다. DRAM과 Flash memory 등의 memory 반도체 공정에서는 SAC(Self Aligned Contact), landing plug 및 back-end 공정에서의 damascene 등을 포함하는 shallow contact 및 line etch와 3D capacitor 형성 위한 silicon oxide etch 및 metal contact etch 등을 포함하는 deep contact etch로 나눌 수 있다.

Shallow contact 및 line etch에서 SAC etch의 경우 pattern 하부 gate 단의 silicon nitride를 mask로 삼아 contact을 형성하는 단계로 silicon nitride의 손실을 최소화하면서, silicon oxide를 etch 하는 것이 핵심이다. 따라서 etch 시 silicon nitride의 손실을 줄이기 위해 carbon 계열 polymer 형성 시키는 Carbon/Fluorine 비율이 높은 C4F8, C4F6 등의 gas를 일반적으로 사용하게 된다. 반면, 지나치게 polymer rich한 조건에서 SAC 또는 damascene etch를 할 경우



〈그림 5〉 Inverse RIE Lag 현상



〈그림 6〉 Silicon oxide contact의 종횡비 증가 경향

〈그림 5〉와 같이 small contact 형성이 가능하고 silicon nitride의 selectivity 역시 증가하지만, 후속 layer와 pattern 정렬을 위한 align mark와 같이 넓은 open 면적을 갖는 pattern은 etch rate이 상대적으로 감소하거나, 심각할 경우 etch stop 등의 Inverse RIE Lag 현상이 발생하여 후속 공정이 불가능해진다. 즉, selectivity, etch 형태와 pattern의 etch open 능력간에 상반되는 trade-off 현상이 존재하며 이는 소자의 pattern이 미세해 질수록 심각해져 공정 가능 영역이 감소되며, 이에 대한 공정 영역 확대가 etch 장비 개발 시 요구되고 있다.

Deep contact etch의 경우 요구되는 높은 종횡비 HARC(High Aspect Ratio) contact 때문에 DRAM에서 capacitor의 경우 특정 용량 유지를 위해 일정 면적이상이 필요로 하여 3D 형태 이고 이에 대한 틀은 deep silicon oxide etch 공정을 통해 형성한다. 종횡비는 소자의 미세화에 따라 〈그림 6〉과 같이 지속적인 증가 추세에 있으며, capacitor 높이의 증가에 따라 metal contact 역시 종횡비가 크게 증가되고 있다. 종횡비가 증가하게 되면, 다시 말해 pattern의 개구부가

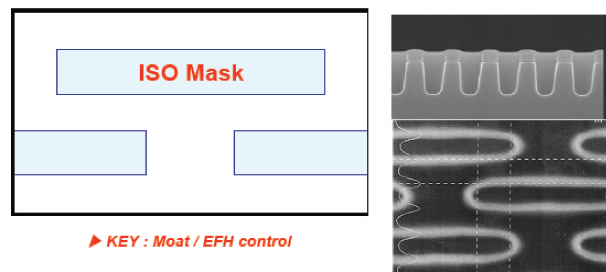
작아지거나 etch 깊이가 깊어지게 되면 silicon oxide의 etch rate이 감소하는 depth loading 효과가 나타나게 된다. 이 현상은 plasma의 중성입자의 확산 제한 모델링이나 mask 상부에 국부적인 전계 집중으로 contact 내 입사되는 ion의 경로를 방해한다는 charge-up 모델링에 의해 설명이 가능하다. 이로 인해 etch 공정 시간이 증가하게 되고 mask의 손실율이 증가한다. 뿐만 아니라 측벽에 불균일하게 증착되는 polymer 때문에 ion의 입사 경로가 변경되어 etch 형태가 변형되며 contact 휨 현상이 발생하며, 이는 종횡비가 증가할수록 심화된다. 따라서 deep contact etch에서는 plasma 내 입자들의 contact 내 체류 시간을 최소화하고 입사되는 ion의 energy 손실을 최소화시키는 것이 가장 중요한 요소가 된다.

2. Conductor etch 기술

Conductor etch 분야로는 transistor 간 전기적인 격리를 위한 STI(Shallow Trench Isolation) etch, gate etch와 back-end 모듈의 금속라인 형성을 위한 metal etch 등으로 분류할 수 있다.

STI etch의 경우 isolation을 위해 poly silicon etch 시 후속 공정인 silicon oxide gap fill이 유리하게 profile을 형성해야 한다. 〈그림 7〉과 같이 수직적이지 않고 약 70~80° 수준의 각도를 갖는 형태를 정밀하게 조절할 수 있어야 한다. 또한 gap이 넓은 영역의 etch rate이 좁은 영역보다 빠른 dielectric etch와 상반되는 loading 영향 역시 최소화 시켜야 한다.

Gate의 경우 과거의 W-Si gate에서 저저항, 높은



〈그림 7〉 STI pattern 형태 및 etch 후 profile

work function, 낮은 누설 전류 등의 장점 때문에 logic 제품 군을 필두로 W-metal gate로 적용되고 있다. 뿐만 아니라 gate 산화막 역시 Hafnium oxide, Aluminum oxide 등의 고유전율(High-k) 박막이 사용되고 있다. Gate 구조 측면에 서는 제품에 따라 기존의 stack 형태뿐 만 아니라 FINFET 구조 역시 적용되고 있다. Gate의 metal etch 시에는 metal의 주요 etchant가 되는 Halogen 계열의 gas와 passivation을 위한 gas와 적절한 조합을 통해 수직 형태의 profile을 확보하는 것이 중요하며, dielectric etch 시 상기 언급한 고유전율 박막들의 경우 기존 silicon oxide 대비 금속 원자와 산소원자 사이의 강한 결합을 갖고 있어 etch 시 조건에 따라 gate 측벽에 etch by-product들의 재 증착이 생성되어 전기적 특성에 영향을 미칠 수 있다. 또한 gate over etch 시 하부 Silicon의 손실을 최소화해야 하며, Silicon에 대한 selectivity를 과도하게 향상시킬 경우 gate 하부의 측벽이 etch되는 notch 현상이 생길 수 있다. 과거에는 etch 후 profile만으로 제품이 요구하는 목표치를 달성하면, 전기적 특성 역시 만족시킬 수 있었지만, 요구되는 전압전류 특성에 대한 spec이 강화되면서 etch 시 plasma에 의한 ion damage가 실제 특성에 영향을 미치고 있다.

Back-end 단의 metal etch의 경우 하부 Metal 층이 소자의 선폭 감소 및 소자의 속도 향상을 위해 기존의 aluminum 양각 metal etch 형태에서 음각 형태로 silicon oxide의 space etch 및 Copper gap fill을 하는 damascene 형태로 대부분 전환되면서 소자에서 공정 난이도가 낮은 상부 metal 층에서만 한정적으로 사용되고 있으며, 그 반도체 공정에서 차지하는 비중 역시 감소 추세이다.

3. Ashing 기술

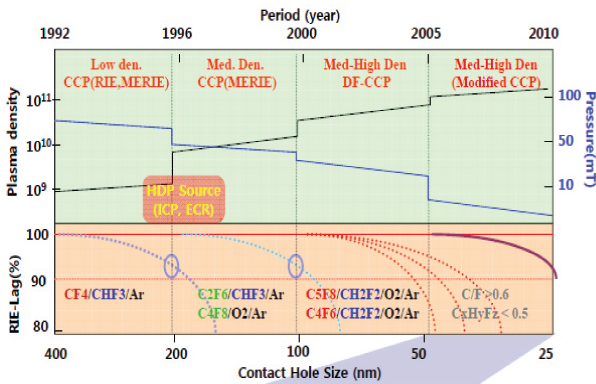
일반적인 Si, Silicon oxide, Silicon nitride 계열 등의 ashing 공정은 박막을 etch 한 후 mask로 사용되고 남은 photoresist를 포함하는 Carbon 계열의 hard mask를 제거 하기 위한 공정으로 일반적으로 Oxygen 기반의 plasma 하에서 반응 시킨다. 상기 ashing 공

정에 있어 가장 중요한 점은 etch 후 plasma에 의해 경화되거나 etch 시 mask의 측벽에 증착된 by-product과의 결합된 화합물을 높은 throughput으로 완벽하게 제거하는데 있다. 이를 위해 ashing 시 200°C 수준의 고온 공정과 고밀도의 plasma가 일반적으로 적용된다. 그러나 gate layer와 같이 도체가 드러나는 공정의 경우 plasma에 의해 Charge가 쌓여 gate 산화막에 Damage 발생에 취약해질 수 있기 때문에 이에 적합한 조건을 적용해야 한다. 더욱이 back-end 공정의 경우에는 metal line간의 거리가 가까워지면서 cross-talk을 방지하기 위해 porous(구멍이 많은)한 low-k 막질이 도입되면서, 이에 특화된 ashing 공정이 적용된다. 기존의 oxygen plasma로 ashing을 할 경우 low-K의 Si-C bonding이 silicon oxide 형태로 변경되면서 k 값의 증가와 함께 누설전류가 증가되는 문제를 유발하게 된다. 이 때문에 low-k ashing의 경우 carbon dioxide 또는 nitrogen 등의 gas를 이용하여 상대적으로 낮은 밀도의 plasma에서 ashing을 하여 damage를 최소화하는 것이 관건이다.

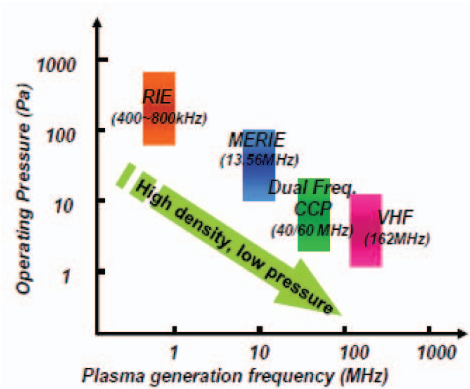
IV. Etch 장비 기술 동향^[10-12]

1. CCP 장비 기술

CCP 장비는 주로 silicon oxide 계열의 박막 etch에 사용되고 있으며, etch profile과 etch stop 및 inverse RIE Lag 간의 trade-off 현상 개선으로 공정 가능 영역의 확장을 위해 장비는 상대적으로 고밀도 plasma를 저압에서 형성할 수 있는 방향으로 개발이 진행되고 있다. <그림 8>과 같이 초기의 저밀도 CCP 형태에서 magnetic field에 의해 ion의 neutral에 대한 충돌을 증가 시켜 plasma의 밀도를 증가시키는 MERIE(Magnetic Enhanced Reactive Ion etcher) 형태가 개발 되었고, 이후 기존 CCP의 문제인 plasma 밀도와 ion energy 분포를 독립적으로 조절할 수 없다는 점을 보완하기 위해 전극의 상부와 하부에 각각 상이한 두 개의 RF. power를 인가하는 형태의 DF-CCP(Dual Frequency-CCP)가 도입되었다. 일반적인



〈그림 8〉 Dielectric etch 장비 변화 및 공정 조건 변화



〈그림 9〉 Dielectric etch 장비의 공정 주파수 변화

DF-CCP 반응 chamber는 수 MHz~10 MHz 수준의 낮은 주파수는 wafer가 놓여져 있는 바닥 쪽 전극에 연결이 되고, 수십 MHz~100 MHz 수준의 높은

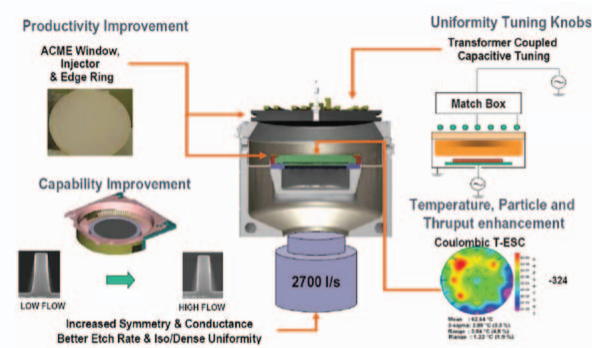
주파수는 상부전극에 연결 된다. 일부 design에서는 저주파수와 고주파수 모두 바닥에 연결되는 경우도 있다. 낮은 주파수로는 ion energy와 각분포(IEDF)를 조절하게 되고, 고주파수는 ion과 라디칼의 생성에 관여하게 된다. 최근에는 DF-CCP에서 더 변형된 Modified CCP 형태도 개발되어 DF-CCP와 함께 사용되고 있는 것으로 알려졌다. 이는 기존의 DF-CCP에 저주파수와 고주파수 사이의 중간 영역대의 R.F. power를 추가로 연결하여, 두 주파수 power의 단점을 보완해 주는 역할을 하게 된다. 공정 압력은 초기 CCP의 50~100mTorr 영역에서 점차 감소되어 현재 ICP와 동등한 수준인 수 mTorr까지 낮아진 상태이다. 공정에 사용되는 gas의 경우 장비의 공정 능력이 향상되면서 Mask에 대한 selectivity를 향상시키고 Etch profile의 조절을 용이하게 하기 위해 기존의CF4에서 C4F8, C4F6 등으로 C/F 비율이 증가하는 방향으로 발전되었다. CHF3 역시 동일하게 CH2F2 등으로 대체되었으며, 현재 개발 중인 gas들은 상기 C/F 비율을 더 증가시키는 방향으로 진행되고 있다.

R.F. power에 사용되는 주파수는 〈그림 9〉와 같이 초기 수백 kHz 대에서부터 지속적으로 증가했으며, 현재 VHF 영역대인 162MHz까지 적용 중인 것으로 알려져 있다. 낮은 주파수의 경우 두 가지 형태의 모드로

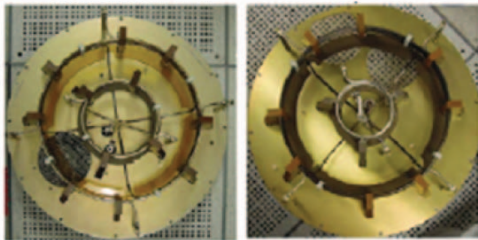
ion energy 분포가 존재하며, 상대적으로 높은 평균 energy를 갖는다. 반면 높은 주파수의 경우 한 개의 좁은 ion energy 분포를 보이며, 낮은 평균 energy를 갖는다. 이는 R.F. 주파수가 감소할 경우 ion은 RF의 하나의 주기보다 빠른 시간 안에 sheath를 통과하게 되어 energy 분포를 나타내는 IEDF(Ion Energy Distribution Function)이 넓어지게 되고 ion energy의 편차는 커진다. 즉, 높은 energy를 갖는 ion의 비중이 증가하게 되고 이는 etch 시 ion 충돌 효과가 커짐을 의미한다. 따라서 wafer 쪽에 위치하는 bias power의 경우 낮은 주파수가 인가되어야 ion energy 조절에 효과적이다. 반대로 높은 주파수의 경우에는 같은 이유로 ion energy의 영향을 최소화한 상태에서 plasma 밀도를 조절할 수 있기 때문에 source power로서 사용된다. 이 때문에 최근에는 100MHz 이상의 VHF plasma의 적용 및 추가적인 연구가 계속 진행 중에 있다. VHF를 적용할 경우 적은 power로 기존 plasma와 동일 수준의 밀도를 가질 수 있으며, 전자온도가 상대적으로 낮아 과도한 중성 입자들의 해리를 방지해 mask에 대한 selectivity를 높일 수 있다. 그럼에도 불구하고 저주파수 대비 Power의 wafer 기준으로 중심부에 몰림 현상이 심화되어 산포 측면에 취약해 업체들 간 이에 대한 개선안을 적용하여 개선하고 있다.

2. ICP 장비 기술

ICP 장비의 경우 silicon oxide 계열의 박막을 제외



〈그림 10〉 CCP 장비의 장비 개발 분야



〈그림 11〉 RF coil type

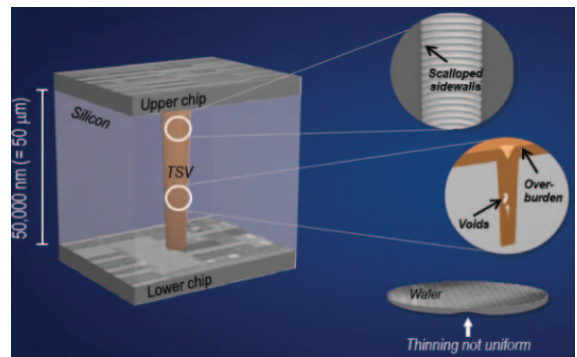
한 대부분의 박막을 etch하고 있다. 특히 대부분 소자의 선폭을 결정하는 line 형태의 미세 pattern을 etch 하기 때문에 pattern의 형태 및 width의 정밀한 조절이 무엇보다 중요하다. 하지만 ICP의 plasma 생성이 코일 형태로 chamber의 상부를 덮고 있는 antenna에 의해 power가 인가되기 때문에 넓은 면적의 전극을 갖는 CCP 대비 wafer 내의 공정 산포 측면에서 불리하다. 소자의 선폭이 미세화되면서 선폭의 허용 오차 범위가 점차 감소하고 wafer의 크기가 증가하는 경향 때문에 CCP처럼 plasma source 자체에 대한 변화 보다는 wafer 내, wafer 간, Lot 간 CD 및 etch rate 산포의 uniformity를 향상시키는데 집중하고 있다.

〈그림 10〉은 ICP 장비의 공정 개선을 위한 예시들로 source power antenna 관점에서는 transformer 결합 형으로 인가되는 RF power를 조절하는 방법이고 그림 11은 RF coil의 배열되는 design을 변경하는 방법 및 RF coil을 wafer의 중심부와 외곽부를 분리함으로써 인가되는 power의 크기를 조절하여 plasma의 uniformity를 조절하는 방법들이 적용되고 있다. wafer를 고정시키고, wafer의 온도를 설정된 수치로

유지시키는 역할을 하는 ESC(Electro Static Chuck)의 경우 온도를 중심부와 외곽부로 분리하여 독립 조절함으로써 etch 반응 정도의 구배를 형성하는 방법 및 공정 gas 역시 위치에 따른 공급 유량을 조절하는 방법들을 통해 uniformity를 향상시키고 있다. 상기에서 언급한 바와 같이 발생하는 wafer 내 etch 특성의 차이는 ICP source의 특성 때문만이 아니라 chamber 내의 다양한 요소들의 결합에 의해 생성된다. 예를 들면 chamber의 진공을 형성하기 위한 pumping 위치에 따라 plasma 밀도의 uniformity 등에 영향을 주게 되기 때문에 이에 대한 부품 design 및 plasma 시뮬레이션에 대한 연구가 활발히 진행되고 있다. Etch 특성의 uniformity 문제는 비단 ICP에 국한된 사항이 아니며, CCP에도 이와 유사한 기술들이 적용되고 있고 차세대 450mm 장비를 개발하는 데 있어서도 가장 중요한 핵심 사안이 되고 있다.

3. Deep Si etch 장비 기술

선폭 감소를 통한 소자의 집적도 및 처리 용량을 증가 시키는데 대한 한계 때문에, wafer를 적층시키는 다양한 방법이 제시되고 있다. 이에 wafer간 전기적 연결을 위해 Wire bonding을 할 경우 처리 신호가 약하고 속도가 느려지며 소형화에 대한 단점 때문에 TSV(Through Silicon Via) 공정에 대한 연구가 활발히 진행되고 있다. 〈그림 12〉와 같이 TSV는 상부 wafer와 하부 wafer를 접착시킨 후, wafer에 contact hole을 형성하고 copper로 채워서 상호간 전기적 연결



〈그림 12〉 TSV(Through Silicon Via) 구조



을 하는 방법이다. 여기서 silicon의 contact hole은 MEMS(Micro Electro Mechanical Systems) 공정에 사용되는 bosch process etch 기술이 적용된다. 이는 수직적인 형태의 deep silicon etch를 위해 silicon 표면에 plasma에 의한 carbon계 polymer 증착과 생성된 polymer와 silicon을 비등방성으로 etch 하는 방법으로 측벽을 보호해서 deep etch를 가능하게 한다. Copper는 void 및 defect이 없게 증착되어야 하며 이를 위해 etch 시 발생하는 scallop 형태의 측벽 profile을 최소화 하고 deep etch로 인해 발생하는 throughput 감소 해결에 대한 연구가 진행 중이다.

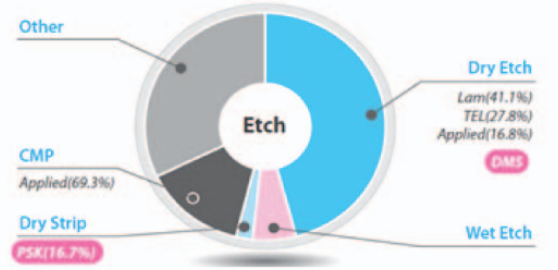
4. 생산성 향상 기술

반도체 생산 업체간 경쟁이 치열해지면서 etch 장비에 대한 공정 능력 못지 않게 원가 경쟁력을 위한 생산성 향상 역시 중요도가 크게 증가 되고 있다. 한 장비 내에서 wafer 처리량과 MTBF(Mean Time Between Failure)을 높게 유지하는 것이 중요하다. 공정시간을 단축하기 위해 빠른 etch rate를 갖는 공정을 확보하는 것뿐만 아니라, 한 개의 chamber에서 서로 다른 박막들로 적층된 구조를 연속적으로 etch하고 ashing까지 In-situ 진행하여 track-in, track-out에 소요되는 시간을 최소화 하는 기법에 대한 연구가 진행 중이다. 또한 장비의 유지 및 관리 관점에서 chamber 내 소모성 부품들의 life time을 증가시켜 장비의 정기적인 maintenance 주기를 연장시키고 wafer 간 공정 오차를 최소화 하기 위한 chamber 내부 오염물질의 자동 정화 능력 향상에 대한 연구도 진행되고 있다.

반도체 생산 업체간 경쟁이 치열해지면서 etch 장비에 대한 공정 능력 못지 않게 원가 경쟁력을 위한 생산성 향상 역시 중요도가 크게 증가 되고 있다.

V. Etch 장비 업계 시장 동향^[13]

Etch 장비 시장은 <그림 13>과 같이 3대 주류 업체인 LAM(미국), TEL(Tokyo Electron, 일본), Applied Materials(미국)의 점유율이 90%를 넘고 있는 실정이다.



자료 : Gartner, KTB투자증권

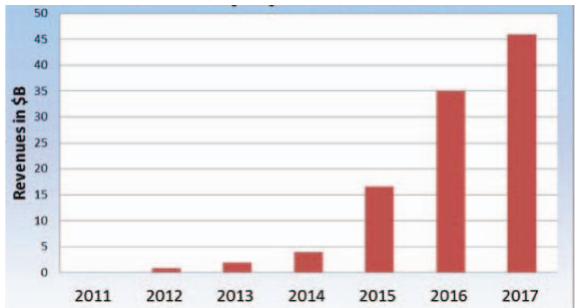
<그림 13> Etch 시장에서 업체별 점유율

다^[13]. 특히 LAM의 경우 과거 200mm 시장에서는 Applied Materials가 etch 시장을 독점하고 있었으나, 300mm 시장에 진입한 이후로 ICP 계열의 conductor etch 장비뿐만 아니라 CCP 계열의 dielectric etch 장비에서도 높은 점유율을 보이며 Applied Materials를 추월한 상태이다. TEL은 Dielectric etch 분야에서만 강점을 보이며 높은 점유율을 보이고 있다.

국내 업체의 경우 200mm 까지는 시장에서 차지하는 비중이 거의 전무했으나, 역시 300mm에 들어오면서 주성 엔지니어링, 세메스, PSK 등의 업체가 성공적으로 시장에 진입했다는 평가를 받고 있으며, 국내 소자 업체들과의 긴밀한 협력을 통해 점유율을 높여가고 있다. PSK의 경우에는 틈새 시장인 ashing 시장에 진입하여, 국내 시장 90% 및 해외 시장 30% 이상을 달성한 것으로 알려졌다. 그리고 향후 4년을 미리 대비하기

위하여 국내 반도체 장비업체들은 450mm wafer 공정용 장비 개발에 착수하고 있다. 이것은 선진국의 장비업체들과 직접 경쟁하기 위한 것이다. 주성엔지니어링은 450mm 공정용 ALD와 식각장비 개발을 시작했고 디엠에스는 30nm 급 450mm etch 장비를 개발하고 있다. 에이디피엔지니어링은 300mm 용 plasma ion doping alpha version을 바탕으로 450mm용 plasma ion doping 장비를 자체 개발하고 있다^[14].

최근 들어 중국 최대의 반도체 장비 생산업체인 AMEC은 막대한 자본을 이용하여 D-RIE Oxide



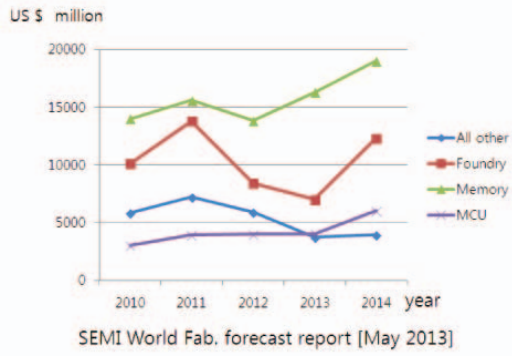
자료 : 2011 VLSI Research Inc.

〈그림 14〉 450mm Fab. 장비 시장

Etcher 장비로 중국, 대만, 싱가포르 등의 major foundry 및 logic 업체로부터 많은 수주를 한국의 대형 소자업체로부터 20nm 급 양산 설비로 수주를 한 것이 알려져, 앞으로의 etch 시장은 장기적으로 미국, 일본 업체들의 수성 노력 속에, 한국 및 중국 업체들이 점유율을 높여가는 다자간 경쟁 체제가 이루어질 것으로 예상되고 있으며, 장기적으로는 450mm 장비가 도입 되면 300mm 도입 시와 유사하게 450mm 기술을 선점하는 업체의 점유율이 급격히 증가할 것으로 예상된다.

〈그림14〉에서 2011년 VLSI Research Inc. 에서 2014년을 기점으로 해서 증가 매우 클 것으로 전망하고 있다^[15].

〈그림 15〉에서의 지표는 국제반도체장비재료협회 (SEMI)은 올해 반도체 소자 업체들의 시설 투자액(전 공정 장비 기준, LED 장비 포함)이 2012년 대비 2013년에는 325억 달러 규모로 형성할 것이라 전망했다^[16]. 그리고 2014년 전망치는 410억 달러로 예



〈그림 15〉 반도체 소자 생산 형태에 따른 Fab. 장비 소비액

상했다. 이것은 반도체 수요 증가 및 chip 평균 판매가격의 상승에 힘입어 전망치를 상향 조정한 것이다. 향후 장비 투자 전망의 지표가 될 수 있는 공장 건설 투자는 2013년 66억 달러에 이를 것으로 예상했다. 그러나 2014년에는 54억 달러 정도로 감소할 것이라 전망했다. 장비 투자는 대만 TSMC 등 foundry 업체들이 이끌 것으로 보이며 2013년 foundry 업체들의 투자액은 2012년에 비해 21% 늘어날 전망이다. 2012년 35% 감축했던 memory 분야의 투자액은 약 1% 정도 성장할 것으로 예측했다. MCU 분야는 5% 성장할 전망이다. 2014년에는 거의 모든 분야의 장비 투자가 성장세를 보일 전망이다. MCU 분야의 투자는 14nm 시설 증가로 50% 이상 성장할 것으로 보인다. Memory 분야의 장비 투자액도 올해 대비 40% 이상 성장할 전망이다. Foundry 분야는 2014년에 fab. 장비 중 가장 높은 투자 규모를 차지하겠지만 성장률은 15%정도로 둔화될 전망이다. 올해 반도체 공장 건설액은 총 66억 달러에 이를 전망이다. 현재 38개의 건설 project가 진행 중이다. 2014년에는 21 개의 project만이 지속될 것이다. 따라서 투자비용도 54억 달러로 하락할 것을 예측했다^[16].

〈표 1〉 2013년SEMI Mid-year Forecast^[17]

By Region	yr-over-yr			yr-over-yr	
	2012	2013F	%Chg	2014F	%Chg
Water Processing	28.15	28.7	1.9	35.59	24
Test	3.55	3	-15.5	3.18	6
Assembly and Packaging	3.08	2.55	-17.2	2.9	13.7
Other	2.15	2.04	-5.1	2.32	13.7
Total Equipment	36.93	36.29	-1.7	43.99	21.2
Korea	8.67	6.69	-22.8	8.74	30.6
Taiwan	9.53	10.43	9.4	10.62	1.8
North America	8.15	8.04	-1.3	8.75	8.8
Japan	3.42	3.8	11.1	4.61	21.3
Europe	2.55	2.35	-7.8	4.21	79.1
China	2.5	2.81	12.4	5.11	81.9
Rest of world	2.1	2.17	3.3	1.94	-10.5
Total Equipment	36.92	36.29	-1.7	43.98	21.2

Totals may not add due to rounding
Source: EMDS, SEMI

한편 세계반도체무역통계기구(WSTS)는 올해 전 세계 반도체 chip 시장 규모가 작년에 비해 2977억 6600만 달러에 이를 것으로 전망했다. LED 등과 같은 광전자 부문과 sensor, analog, logic memory 제품군은 모두 시장 규모가 확대될 수 있을 것으로 전망했다. 또한 smart phone, tablets, 자동차에 탑재된 반도체 판매량이 안정적으로 성장하면 시장이 호전될 것으로 보인다고 예측하였다^[16].

〈표 1〉에서 국제반도체장비재료협회(SEMI)는 SEMI 장비 시장 보고서를 인용해 내년 반도체 장비 시장 매출액이 올해 보다 21% 증가한 439억 8000만 달러에 이를 것이라고 전망했다. 올해 장비 매출액은 369억9000만 달러로 작년 대비 1.7% 축소될 것으로 SEMI는 예상했다. 지난 2년간 주요 반도체 제조업체들이 설비 투자를 보수적으로 했기 때문으로 생각된다. 하지만 내년에는 삼성전자의 중국 NAND Flash 공장 투자 및 도시바/샌디스크의 일본 NAND Flash 공장 투자, 아일랜드 공장을 포함한 인텔의 투자 등이 장비 매출 성장을 이끌 것이라 관측했다. 이에 따라 세계 대부분의 주요 지역에서 반도체 장비 매출이

확대될 것으로 전망된다. 2014년 전공정 wafer 가공 장비의 매출은 2013년 287억 달러에서 355억 9000만 달러에 이를 전망이다^[18].

Test와 assembly 및 packaging 장비도 내년에 각각 31억 8000만 달러와 29억 달러로 증가될 전망이다.

VI. Lithography 장비 기술 동향

Photolithography 공정 중에 expose(노광)은 회로가 설계된 mask에 빛을 투과시켜 wafer 위의 증착된 막에 회로 pattern을 만드는 과정으로 반도체 공정에 있어서 중요한 작업이다.

반도체 expose 장비는 단계적으로 회로 선폭이 점점 축소 됨에 따라 단파장 영역에서 436nm(g-line)과 365nm(i-line)을 사용했으나 더 미세한 패턴을 형성하기 위해 248nm(KrF LASER) 및 193nm(ArF LASER)를이용하였다.

Expose 장비는 광원의 파장으로 성능을 결정한다. 파장이 짧으면 미세한 pattern을 형성하는데 유리하다. 반도체 expose 장비는 단계적으로 memory와 MPU의 회로 선폭이 점점 축소 됨에 따라 단파장 영역에서 436nm의 g-line과 365nm의 i-line 성분을 사용했다. 또한 더 미세한 pattern을 형성하기 위해 248nm의 KrF LASER 및 193nm의 ArF LASER를 이용하였다.

〈표 2〉에서 알 수 있듯이 다양한 photolithography

〈표 2〉 ITRS Lithography Projections^[19]

	2001year	2003year	2005year	2008year	2011year	2014year
Dense line half-pitch(nm)	150	120	100	70	50	35
Worst-case alignment tolerance mean +3σ(nm)	52	42	35	25	20	15
Minimum feature size(nm) Microprocessor gate width	100	80	65	45	30	20
Critical Dimension control(nm) Meam+3σ-Post etching	9	8	6	4	3	2
Equivalent oxide thickness(nm)	1.5-1.9	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Lithograph technology options	248nm DUV	248nm+193PSM	193nm+PSM	157nm+PSM	EUV	EUV
		193nm DUV	157nm	E-beam projection	E-beam projection	E-beam projection
			E-beam projection	E-beam direct write	E-beam direct write	E-beam direct write
			Proximity x-ray	EUV	Ion projection	Ion projection
			Ion projection	Proximity x-ray		
			Ion projection			

*DUV : deep ultraviolet *EUV : extreme ultraviolet *PSM : phase shift mask

자료 : Introduction Microelectronic Fabrication 2nd edition

방법들이 개발되었다. E-beam은 0.1nm 점에 집중시킬 수 있어서 전자 감광지에 IC pattern을 바로 쓰는데 사용한다. 그러나 이 방법은 상대적으로 느리다. 따라서 pattern은 각각의 die site에 다시 써야 한다. 그리고 e-beam system에서의 처리량은 IC를 제조하기에는 충분하지 않다. 그러나 stepper system은 1X에서 10X를 생산하는데 매우 좋은 기술이다. 그리고 e-beam lithography는 mask를 제작하는 데 매우 중요한 기술이다. 한편 0.1에서 5keV 범위의 energy를 가지는 X-ray는 10nm에서 0.3nm의 파장을 가진다. 이 X-ray를 사용하면 아주 정교한 크리라고 여러 개의 파장을 사용하여 만들어 낼 수 있다. X-ray lithography를 사용하면 mask를 제작하는데 어렵다. 금 같이 무거운 금속들이 x-ray lithography의 mask의 재료로 사용한다. 그러나 실제적으로 x-ray 파장들은 0.4nm에서 2nm로 제한되어 있다. 이 외에도 저항이나 조명 그리고 배열 기술 같은 새로운 장치들을 필요로 한다. EUV, e-beam direct write, e-beam projection, proximity x-ray, ion projection 등은 앞으로 lithography 장비의 가능성을 보여 줄 수 있다¹⁹⁾.

현재는 10nm에서 30nm 범위의 반도체 공정에서 사용되는 장비는 193nm의 ArF LASER에서 개선되어 발전한 immersion ArF 이다. 이 immersion ArF는 lens에 물을 넣어 빛의 굴절률을 높이고 파장을 줄인 방식이다. 그러나 이 immersion ArF 장비로 pattern 할 수 있는 물리적 선포의 한계치는 38nm까지 이다. 서론 언급한 바와 같이 인텔, 삼성전자, SK하이닉스, TSMC 등의 주요 업체들은 immersion ArF로 회로 pattern을 두 번에 나누어 형성시키는 double patterning 기술을 도입해 30nm, 20nm의 선폭을 patterning 했다. 비교적 설계 구조가 간단한 NAND flash memory의 경우 이미 immersion Arf 노광 장비 + double patterning 조합의 한계치인 19nm 제품이 양산 중이다. Double patterning을 도입한 2010에서

2011년 사이에는 업체에서 곧 미세공정이 한계가 올 것이라고 예측하기도 했다. 이것은 ArF LASER 장비와 double patterning 기술로 구현할 수 있는 회로 미세화 pattern 기술은 한계점에 왔다는 것이다. 아울러 16nm의 NAND flash를 만드는 업체는 double patterning에서 발전된 quad patterning 기술을 적용할 계획이라 한다. 그러나 설계가 복잡한 logic 제품이나 DRAM에 이 공정을 적용할 경우 공정 수가 늘어나 원가 측면에서 높아지기 때문에 부정적이다. 이러한 점 때문에 대안으로 주목 받는 것이 EUV(Extreme Ultraviolet)이다. 이 EUV는 파장이 13.5nm로 회로 선폭이 10nm 이하인 차세대 반도체 제조공정에 사용될 것으로 예상된다. 다만 현재 생산되고 있는 EUV는

광원의 energy가 부족하여 wafer 생산량이 떨어지는 것이 문제이다. 이 EUV의 광원 energy가 지난 3년간 많이 커졌지만 아직까지 1000Watt까지 강해지려면 시간이 더 걸릴

것이다. 또한 wafer 처리량도 시간당 30장에서 100장 이상은 되어야 한다. ASML 회사는 연구개발은 꾸준히 하여 2014년에는 wafer 처리량을 시간당 70장으로, 2016년에는 125장으로 처리할 계획을 세우고 있다²⁰⁾.

본 동향보고서에는 장비 구조 및 종류, 막질의 종류에 따른 etch와 리소 그래피 기술과 개발 및 시장 동향에 대하여 정리해 보았다.

VII. 결론

본 동향보고서에는 장비 구조 및 종류, 막질의 종류에 따른 etch와 lithography 기술과 개발 및 시장 동향에 대하여 정리해 보았다. 국내외 현황에 따른 기술발전 및 전망을 살펴보자.

첫째 memory 반도체는 제조 기술의 한계로 신개념 차세대 소자의 연구개발 경쟁이 격화되고 main memory 중심에서 대용량 storage 시장이 급격히 성장될 것으로 전망하며 3차원(3D) cell 기술 적용 제품의 출현이 예상된다. DRAM과 NAND flash를 생산하는 업체들은 lithography 공정의 미세화 한계를 혁신적인

설계로 적층 방식의 새로운 설계 구조를 도입해 추진할 계획을 세우고 있다. 또한 NAND flash는 chip을 수직으로 쌓는 3D 적층 방식들 개발하고 있다. 이 기술이 상용화 되면 16nm 전후 공정의 다음 세대 주력 상품인 3D NAND flash가 될 것이다. 그러나 해결해야 할 기술적 문제는 적층을 하면 공정수가 많이 늘어난다. 이것은 원가 상승과 생산성 저하를 가지고 올 수 있다. 그리고 또 하나의 문제는 적층이 되면 memory의 cell의 특성도 변하기 때문에 controller 기술도 개발되어야 한다. 한편 DRAM은 전하의 저장 유무로 0과 1을 판단하는 capacitor 용량을 유지하는 것이 과제이다. 이는 EUV의 성능 개선에 따른 지연과는 별개의 문제이다. Pattern이 미세화 되면 될수록 cell 면적은 좁아진다. 지금까지는 좁아진 cell 면

적 위에 capacitor를 수직으로 높게 늘어 올리는 방법으로 용량을 유지하였다. Capacitor 용량이 줄어들면 data 보관 시간이 짧아져서 전력 누출량은 증가해 불량율이 높아진다. 용량 유지는 무조건 이루어져야 한다. 현재 기술 그대로 10nm로 들어 갈 경우 원통형 capacitor의 aspect

ratio(A/R)은 100이 넘을 것이라는 예측을 하고 있다. 예를 들면 지구상에 있는 높이가 828m인 162층의 두바이 부르즈하리파 건물의 A./S는 단지 6정도에 불과한데, A/R이 100인 capacitor은 비교도 할 수 없이 높은 것이다. 미세화의 한계와 capacitor의 용량 유지 문제를 해결 하기 위한 또 다른 기술로는 Micron Technology 회사가 개발한 HMC(Hybrid Memory Cube)이다. 이 HMC는 super computer에 필요한 memory에 저 energy의 고대역폭 접속이 필요한 용도를 위해 설계되었으며, 다른 용도로는 data packet 처리, data packet buffering, storage, processor 가속이 있다. 또 HMC는 TSV(through-Silicon Via)으로 DRAM을 적층 하는 새로운 설계표준이다. 이 개발은 전 세계 많은 기업과 연구 기관이 이러한 설계구조를

상용화 하기 위한 연구를 진행하고 있다. 그러나 TSV는 아직 비용 효율화가 이루어지지 않은 기술이며 wafer를 한번 더 가공해야 하는 문제 있어 원가가 높아질 수 있다. Memory들은 2015년에서 2016년 시이 미세공정 수준이 10nm에 이르러 더 이상 개발이 힘들 경우를 대비해 STT-M RAM(Spin Transfer Torque-Magnetic RAM ; 스핀주입자화반전 메모리), 3D Re RAM(3D Resistive RAM : 저항변화 메모리), PC RAM(Phase-Change RAM : 상변화 메모리), Ferroelectric RAM, Magnetic RAM, Single electron memory, Carbon nano tube RAM, Holographic memory, Modular memory의 연구가 진행 중이다.

둘째 logic 반도체는 고성능, 저전력 logic 반도체 구현을 위한 새로운 구조 및 재료를 사용한 소자 미세공정 설계를 위한 process design 개발 등이 중요해 질 것으로 전망할 수 있다. 셋째 반도체 제조 공정 및 장비는 미세화, EUV, 450mm 대구경화 기술 및 3D packaging 기술 개발에 따른 투자비 부담과 risk 부담 경감을 위해 국제 consortium을 통한 공동 개발이

활발히 진행 중에 있다. 소자 선평의 감소 및 EUV 공정 적용으로 dry etch의 중요도가 더욱 커지고 있어, 높은 공정 능력과 공정 균일도 및 throughput 향상을 위한 관점에서 다양한 연구가 진행되고 있다. Etch 장비의 경우 G450C 중심의 450mm 대구경화 장비 공동 개발 및 SEMATECH, IMEC 중심의 EUV lithography 장비를 공동으로 개발하려 한다. 그리고 다기능화, 소형화, 고성능화, 저전력화 등을 위해 TSV 공정기술이 활발히 연구 진행 중이다. 또한 etch 장비 회사는 LAM Research, AM, TEL등 미국과 일본 기업이 시장의 대부분을 독점하고 있으나, 국내 업체들과 중국 업체들의 시장 점유율이 상승할 것으로 예상된다.

끝으로 반도체 장비는 독자적인 연구 개발은 투자부담과 risk가 작용하므로 동반성장을 위하여 반도체 소

Etch 장비의 경우 G450C 중심의 450mm 대구경화 장비 공동 개발 및 SEMATECH, IMEC 중심의 EUV 리소그래피 장비를 공동으로 개발하며 TSV 공정기술이 활발히 연구 진행 중이다. 또한 etch 장비회사는 미국, 일본등 독점하고 있으나 국내 업체들과 중국 업체들의 시장 점유율이 상승할 것으로 예상된다.



자기업과 장비기업간의 공동 개발을 할 필요가 있다. 또한 원천기술 확보와 차세대 선도 제품을 개발하기 위해서는 대학, 연구기관, 기업체가 유기적으로 연구기반을 마련하여 추진해 나아가야 한다.

참고 문헌

[1] 산업융합원천 R&D 전략, 반도체공정/장비 발표자료(2012년), keit, 최리노.

[2] Solid State Equipment Corporation(2011)

[3] www.etnews.com, "450mm 웨이퍼 장비 본격 개발, 테스트용 팹 'CNSE' 3월 완공", 오은지(2013년)

[4] www.ddaily.co.kr, "450mm 웨이퍼 전환 '반대파(?)'의 주장과 요구", 한주엽(2013년)

[5] Lithography Vendors Expand Immersion Roadmaps, Semiconductor Manufacturing & Design Community(2012)

[6] www.ddaily.co.kr, "니콘,2017년 450mm Immersion 노광 장비 출하 목표", 한주엽(2013년)

[7] 반도체 연구조합, 토러스 투자증권 반도체/디스플레이 시장 분석(2012)

[8] Analyst & Investor Meeting, Lam Research Corporation, (2012년)

[9] 300mm 반도체 공정기술

[10] Etch 장비 기술 동향, 김홍습 주성엔지니어링

[11] Etch 장비의 기술 동향, 권기청 주성엔지니어링

[12] Dry Etch 기술 동향 및 전망

[13] SEMATECH Symposium(2011)

[14] www.dt.co.kr, "반도체 장비업체들 향후 4년 미리 대비 글로벌 업체와 맞장", 김승룡 (2013년)

[15] 2011 VLSI Research Inc.

[16] www.ddaily.co.kr, "반도체 시장 회복에 장비 시장 전망도 상향조정", 한주엽(2013년)

[17] Gartner, KTB투자증권

[18] www.ddaily.co.kr, "내년 반도체 장비 시장 규모 21% 증가", 한주엽(2013년)

[19] Modular Series on Solid State Devices vol. V, Introduction Microelectronic Fabrication 2nd edition, Richard C. Jaeger

[20] 키움증권 시장분석 반도체 장비(2010년)



이종근

1988년 2월 인하대학교 공과대학 응용물리학과 (공학사)

1991년 2월 인하대학교 공과대학 응용물리학과 (공학석사)

1998년 2월 인하대학교 공과대학 전자재료공학과 (공학박사)

1998년 3월~1999년 8월 인하대학교 플라즈마센터 연구원

1999년 9월~2001년 8월 에디벤처 연구개발부장

2001년 9월~2002년 8월 인하대학교 반도체 및 박막기술연구소 박사후연구원

2002년 9월~2004년 7월 네오칩스 수석연구원

2004년 8월~현재 부천대학교 전자공학과 교수

<관심분야>
반도체 설계 및 공정/장비, VHDL 및 FPGA설계