

# 고정 위상 동작 인버터를 포함하는 위상천이 풀 브리지 DC/DC 컨버터

김진호<sup>1</sup>, 박재성<sup>1</sup>, 김홍권<sup>1</sup>, 박준우<sup>1</sup>, 신용생<sup>2</sup>, 지상근<sup>3</sup>, 조상호<sup>3</sup>, 노정욱<sup>4</sup>, 홍성수<sup>†</sup>

## Phase-Shift Full-Bridge DC/DC Converter with Fixed-Phase Operation Inverter

Jin-Ho Kim<sup>1</sup>, Jae-Sung Park<sup>1</sup>, Hong-Kwon Kim<sup>1</sup>, Jun-Woo Park<sup>1</sup>,  
Yong-Saeng Shin<sup>2</sup>, Sang-Keun Ji<sup>3</sup>, Sang-Ho Cho<sup>3</sup>, Chung-Wook Roh<sup>4</sup>, and Sung-Soo Hong<sup>†</sup>

**Abstract** - In this paper, the phase-shift full-bridge DC/DC converter with fixed-phase operation inverter is proposed. The proposed circuit consists of two full-bridge inverters which are connected in parallel. While one full-bridge inverter operates as the fixed-phase, it regulates the output voltage by adjusting the phase of the other inverter. During the normal operation period, the proposed circuit makes the less amount of conduction loss of the primary switches and secondary synchronous rectifiers, as well as the less amount of the current ripple of the output inductor, than the conventional phase-shift full-bridge DC/DC converter does. Also, it achieves high efficiency by reducing the snubber loss of the secondary synchronous rectifier. To sum up, the present inquiry analyzes the theoretical characteristics of the proposed circuit, and shows the experimental results from a prototype for 450W power supply.

**Keywords:** fixed phase inverter, phase shift full bridge converter, bus converter, network power, low current ripple, low ringing voltage, PSFB

### 1. 서 론

최근 부하장치(고성능 마이크로프로세서 등)들이 요구하는 출력 전류가 증가함에 따라 대용량 전력변환회로에 적합한 위상천이 풀 브리지 컨버터가 주로 채용되고 있고, 이에 대한 많은 연구가 이루어지고 있다<sup>[1][2][3][4]</sup>. 위상천이 풀 브리지 컨버터는 높은 스위칭 주파수로 동작하면서도 영전압 스위칭이 가능하여 스위칭 손실이 적고, EMI 측면에서도 비교적 유리하다. RRH(Radio Remote Head) 전원장치와 같이 입력 전압이 낮은 사양의 네트워크 장비용 전원회로에서는 고효율 동작을 위하여 그림 1과 같이 스위치가 병렬로 사용된 위상천이

풀 브리지 컨버터를 주로 사용한다.

기존 위상천이 풀 브리지 컨버터는 입력 전압 변동에 대한 동작 마진과 순간 정전 시의 동작을 고려하여 설계하기 때문에 정상상태 구동 시비율이 30~35% 정도로 작고, 이로 인해서 환류구간 발생에 의한 도통 손실 증가, 출력 인덕터의 전류 리플 증가 등의 문제점을 발생시킨다<sup>[5][6][7]</sup>. 본 논문에서는 이러한 문제점을 해결하고 고효율을 달성하기 위하여 고정 위상 동작 인버터를 포함하는 위상천이 풀 브리지 컨버터를 제안한다.

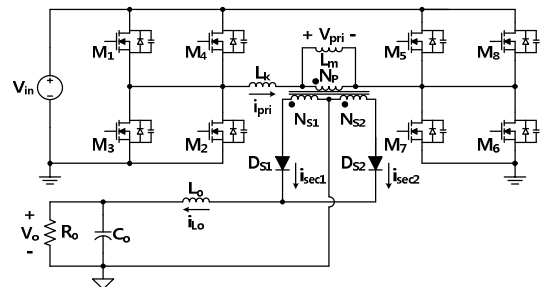


Fig. 1 Conventional Phase-Shift Full-Bridge DC/DC Converter

Paper number: TKPE-2013-18-2-3 ISSN: 1229-2214

<sup>†</sup> Corresponding author: hongss@kookmin.ac.kr, Division of Electrical Eng., Kookmin University

<sup>1</sup> Div. of Electrical Eng., Kookmin University

<sup>2</sup> R&D Team, Telecom Sys., Samsung Electronics

<sup>3</sup> CDS Circuit Tech. Group, Samsung Electro-Mechanics

<sup>4</sup> Dept. of Electrical Eng., Kookmin University

Manuscript received Sep. 14, 2012; accepted Dec. 29, 2012

— 본 논문은 2012년 전력전자학술대회 우수추천논문임

## 2. 고정 위상 동작 인버터를 포함하는 위상천이 풀 브리지 DC/DC 컨버터

그림 3은 제안된 고정 위상 동작 인버터를 포함하는 위상천이 풀 브리지 DC/DC 컨버터의 회로도를 나타내고 있다. 제안된 회로는 1차 측에 풀 브리지 인버터 2개가 병렬로 연결되어 있고, 두 개의 트랜스포머와 2차 측 정류기, 그리고 출력 LC 필터로 구성되어 있다.  $M_1 \sim M_4$ 가 하나의 풀 브리지 인버터이고,  $M_5 \sim M_8$ 이 다른 하나의 풀 브리지 인버터이다. 이 두 풀 브리지 인버터는 입력 전압에 병렬로 연결 되어있고, 변압기 2차 측은 직렬로 연결되어 있는 구조이다.

### 2.1 제안 회로의 동작 원리

제안 회로는 4개의 스위치가 각각 하나의 위상천이 풀 브리지 인버터를 구성하는 구조로 이루어져 있다. 8개의 인버터 스위치는 각각 50%의 시비율로 동작하며, 그림 4에서 나타낸 바와 같이  $M_1/M_3$  스위치와  $M_2/M_4$  스위치의 위상 차이를  $\phi_a$ 로 정의하고,  $M_5/M_7$  스위치와  $M_6/M_8$  스위치의 위상 차이를  $\phi_b$ 로 정의한다. 초기 기동시 제안회로는  $\phi_b=180^\circ$  인 조건에서  $\phi_a$ 를 점진적으로 변화시켜 낮은 입출력 전압 변환비에서 동작시키며, 정

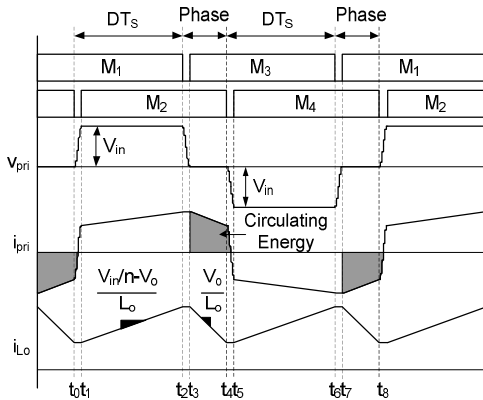


Fig. 2 Key operation waveforms of conventional phase-shift full-bridge DC/DC converter

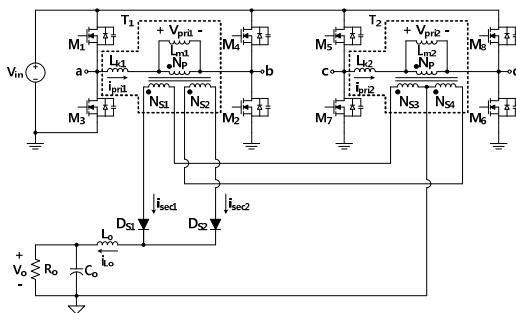


Fig. 3 Schematic of proposed Phase-Shift Full-Bridge DC/DC Converter with Fixed-Phase Operation Inverter

상동작 시  $\phi_a=0^\circ$  인 조건에서  $\phi_b$ 만을 조절하여 출력전압을 제어한다. 따라서 제안회로는 출력 인덕터의 전류리플을 최소화 할 수 있어, 출력 인덕터의 동손 및 철손을 줄일 수 있고, 1차 측 스위치 및 2차 측 동기 정류기의 스위칭 손실을 줄일 수 있다. 뿐만 아니라 2차 측 동기 정류기 양단의 공진 전압도 작아져 스너버의 부담이 줄어들어 고효율화에 유리하며, 경우에 따라 1차 측 스위치들의 영전압 스위칭 동작이 가능한 장점이 있다.

### 2.2 제안된 회로의 정상상태 모드분석

제안된 회로의 모드별 주요 동작 파형을 그림 4에 나타내었으며, 정상상태 모드분석에 앞서 다음과 같은 가정을 둔다.

- 입력 및 출력 전압은  $V_{in}$  및  $V_o$ 로 일정하다.
- $M_1 \sim M_8$  스위치는 50% 고정 시비율로 동작한다.
- 누설 인덕터  $L_{k1,2}$ 는 자화 인덕터  $L_{m1,2}$ 에 비해 매우 작다.
- 자화 인덕턴스  $L_{m1}$ 과  $L_{m2}$ 는 같고, 누설 인덕턴스  $L_{k1}$ 과  $L_{k2}$ 는 같다.
- $N_{S1}, N_{S2}, N_{S3}, N_{S4}$ 는 모두 같은 턴 수이다.
- 턴 비  $n=N_p/2N_{S1}$ 로 정의 한다.

**모드 1 [ $t_0 \sim t_1$ ]** :  $t_0$  이전 시점에서  $M_8$  스위치는 도통되어 있는 상태이고,  $t_0$  시점에서  $M_1, M_2$  그리고  $M_5$  스

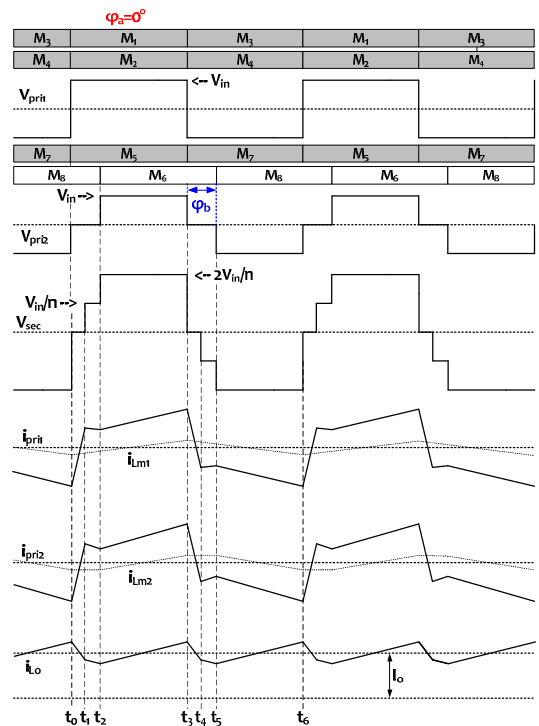


Fig. 4 Key operation waveforms of Phase-Shift Full-Bridge DC/DC Converter with Fixed-Phase Operation Inverter

위치가 도통 된다. 이 모드는 2차 측 다이오드  $D_{S1}$ 과  $D_{S2}$ 가 모두 도통하고 있는 commutation 구간으로서 변압기  $T_1$ 의 1차 측 전압  $V_{ab}$ 에는  $V_{in}$  전압이 인가되고, 변압기  $T_2$ 의 1차 측 전압  $V_{cd}$ 에는 0V가 인가된다. 변압기 2차 측이 직렬 연결되어 있으므로  $i_{pri1}$ 은  $i_{pri2}$ 와 같다. 따라서 각 부 주요 전류는 아래 수식과 같이 나타낼 수 있다.

$$V_{Lk1} = \frac{L_{k1} V_{in}}{L_{k1} + L_{k2}} \quad (1)$$

$$V_{Lm1} = V_{Lm2} = -V_{Lk2} = \frac{L_{k2} V_{in}}{L_{k1} + L_{k2}} \quad (2)$$

$$i_{Lo}(t) = i_{Lo}(t_0) - \frac{V_o}{L_o} t \quad (3)$$

**모드 2 [ $t_1 \sim t_2$ ]** : 스위치는 이전 모드와 같은  $M_1$ ,  $M_2$ ,  $M_5$  그리고  $M_8$  스위치가 도통 되어 있는 상태에서 2차 측 정류 다이오드  $D_{S1}$ 의 전류가 출력 인덕터 전류와 같아지는 시점에서 commutation 구간이 끝나고, 모드 2가 시작 된다. 모드 1과 마찬가지로 변압기  $T_1$ 의 1차 측 전압  $V_{ab}$ 에는  $V_{in}$  전압이 인가되고, 변압기  $T_2$ 의 1차 측 전압  $V_{cd}$ 에는 0V가 인가된다. 변압기  $T_1$ 의 자화 인덕터 전류  $i_{Lm1}$ 은  $V_{in}/L_{m1}$ 의 기울기를 가지며, 변압기  $T_2$ 의 자화 인덕터 전류  $i_{Lm2}$ 는 0의 기울기를 갖는다. 이때, 출력 인덕터 양단 전압은  $(V_{in}/n - V_o)$  이므로, 출력 인덕터 전류는 식 (8)과 같으며, 1차 측 전류  $i_{pri1}$ 과  $i_{pri2}$ 는 아래 식 (6), (7)과 같이 자화 인덕터 전류와 출력 인덕터 전류를 이용하여 나타낼 수 있다.

$$i_{Lm1}(t) = i_{Lm1}(t_1) + \frac{V_{in}}{L_{m1}}(t - t_1) \quad (4)$$

$$i_{Lm2}(t) = i_{Lm2}(t_1) \quad (5)$$

$$i_{pri1}(t) = i_{Lm1}(t) + \frac{N_p}{N_s} i_{Lo}(t) \quad (6)$$

$$i_{pri2}(t) = i_{Lm2}(t) + \frac{N_p}{N_s} i_{Lo}(t) \quad (7)$$

$$i_{Lo}(t) = i_{Lo}(t_1) + \left( \frac{V_{in}}{n} - V_o \right) \frac{(t - t_1)}{L_o} \quad (8)$$

**모드 3 [ $t_2 \sim t_3$ ]** : 스위치  $M_8$ 이 차단되고, 스위치  $M_6$ 이 도통되면, 모드 3이 시작된다. 변압기  $T_1$ 의 1차 측 전압  $V_{ab}$ 에는  $V_{in}$  전압이 인가되고, 변압기  $T_2$ 의 1차 측 전압  $V_{cd}$ 에도  $V_{in}$  전압이 인가된다. 따라서 변압기  $T_1$ 의 자화 인덕터 전류  $i_{Lm1}$ 은  $V_{in}/L_{m1}$ 의 기울기를 가지며, 변압기  $T_2$ 의 자화 인덕터 전류  $i_{Lm2}$ 는  $V_{in}/L_{m2}$ 의 기울기를 갖는다. 이때 1차 측 전류  $i_{pri1}$ 과  $i_{pri2}$ 는 모드 2와 같이 자화 인덕터 전류와 출력 인덕터 전류를 이용하여 나타낼 수 있다. 출력 인덕터 양단 전압은  $(2V_{in}/n - V_o)$  이므로, 출력 인덕터 전류는 식 (11)과 같다.

$$i_{Lm1}(t) = i_{Lm1}(t_2) + \frac{V_{in}}{L_{m1}}(t - t_2) \quad (9)$$

$$i_{Lm2}(t) = i_{Lm2}(t_2) + \frac{V_{in}}{L_{m2}}(t - t_2) \quad (10)$$

$$i_{Lo}(t) = i_{Lo}(t_2) + \left( 2 \frac{V_{in}}{n} - V_o \right) \frac{(t - t_2)}{L_o} \quad (11)$$

이후 모드 1과 모드 2와 모드 3이 계속 반복된다.

### 2.3 입출력 전압변환비 및 출력 인덕터 전류 리플율

제안된 회로는 제안회로는  $M_1$ ,  $M_3$  스위치와  $M_2$ ,  $M_4$  스위치의 위상차이  $\phi_a$  또는,  $M_5$ ,  $M_7$  스위치와  $M_6$ ,  $M_8$  스위치의 위상차이  $\phi_b$ 을 조절하여 출력전압을 제어한다. 따라서 위상차이  $\phi_a$ 와 위상차이  $\phi_b$ 에 따라 입출력 전압 변환비 및 출력 인덕터 전류의 리플이 달라진다. 해석에 앞서 다음과 같은 가정을 한다.

- 누설 인덕턴스  $L_{k1}$ 과  $L_{k2}$ 는 무시한다.
- 1차 측 스위치 간의 dead time은 무시한다.

각각의 경우에 따라 입출력 전압변환비 및 출력 인덕터 전류 리플율을 구해보면 다음과 같다.

**조건 1** : 위상차이  $\phi_a = 0^\circ$ 인 조건 (정상상태)

출력 인덕터에서 ‘전압-시간 곱 평형’을 이용하여 입출력 전압변환비를 구할 수 있고, 전력전달 구간동안의 전류 변화량을 통하여 출력 인덕터 전류 리플율을 구할 수 있으며 이는 식 (12)와 식 (13)과 같다.

$$\frac{n V_o}{V_{in}} = \left( 1 - \frac{\phi_b}{360} \right) \quad (12)$$

$$r = \frac{\Delta i_{Lo}}{I_o} = \left( 0.5 - \frac{\phi_b}{360} \right) \times \left( \frac{2 \frac{\phi_b}{360}}{1 - \frac{\phi_b}{360}} \right) \times \frac{R_o T_S}{2 L_o} \quad (13)$$

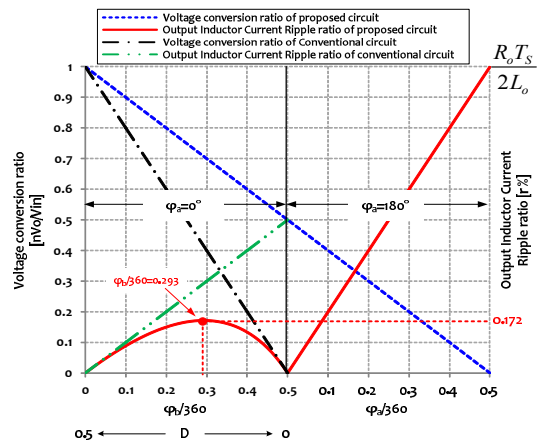


Fig. 5 Input/Output voltage conversion ratio and output inductor current ripple ratio of conventional circuit and proposed circuit

**조건 2 :** 위상차이  $\phi_b=180^\circ$ 인 조건 (초기 기동 시)

조건 1에서와 같은 방법으로 입출력 전압 변환비 및 출력 인덕터 전류의 리플율을 구할 수 있으며, 이는 식 (14), 식 (15)와 같다.

$$\frac{nV_o}{V_{in}} = \left(0.5 - \frac{\phi_a}{360}\right) \quad (14)$$

$$r = \frac{\Delta i_{L_o}}{I_o} = \frac{\phi_a}{360} \times \frac{R_o T_S}{2L_o} \quad (15)$$

Table 1 Comparison output inductor current ripple ratio

	Conventional PSFB	Proposed converter
$\phi_b=105.44^\circ$	$0.29*(R_o*T_S)/(2*L_o)$	$0.17*(R_o*T_S)/(2*L_o)$
$\phi_b=180^\circ$	$0.5*(R_o*T_S)/(2*L_o)$	0

표 1은 기존 위상천이 폴 브리지 컨버터와 제안 방식의 출력 인덕터 전류 리플율이 가장 클 때와 가장 작을 때를 비교한 표이다.

그림 5는 기존 회로와 제안 회로의 입출력 전압 변환비 및 출력 인덕터 전류 리플율을 그래프로 도시한 것이다.

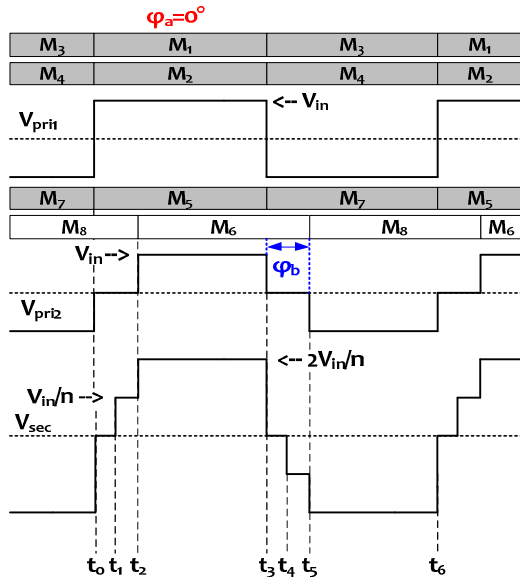


Fig. 6 Transformer secondary-side across voltage waveforms

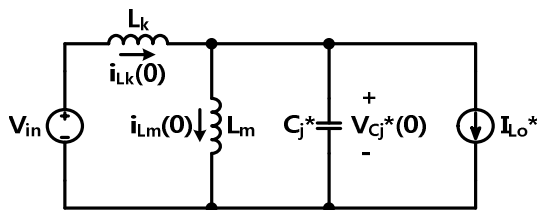


Fig. 7 Equivalent circuit at  $t_1$

기존 위상천이 폴 브리지 컨버터의 경우 위상차이에 따라 선형함수의 형태를 갖는 것에 반해, 제안된 방식은 위상차이  $\phi_a$ 가 0 인 구간에서 위상차이  $\phi_b$ 에 따라 2차 함수의 형태를 가지므로, 출력 인덕터 전류 리플이 매우 작은 특징이 있다. 위에서 구한 수식을 이용하여 위상차이  $\phi_a$ 가 0인 구간에서 출력 인덕터 전류 리플율의 최댓값을 구하면 위상차이  $\phi_b=105.44^\circ$ 에서  $0.17*(R_o*T_S)/(2*L_o)$ 로 매우 작다. 제안된 방식은 위상차이  $\phi_b$ 가  $180^\circ$ 일 경우, 이론적인 출력 인덕터 전류 리플이 0 으로, 기존 위상천이 폴 브리지 컨버터에 비해 매우 작다.

**2.4 2차 측 동기 정류기 스위치 양단 전압 스트레스**

제안회로는 그림 6과 같이 반주기 동안 2차 측 정류기 양단에 2번의 공진 전압이 나타나게 되고, 각각의 경우에 2차 측 정류기 양단 전압을 다음과 같이 구할 수 있다.

**첫 번째 공진 [ $t_1$  시점] :** 스위치  $M_8$ 이 도통되어 있는 상태에서, 스위치  $M_1, M_2, M_5$ 가 도통되기 시작할 때 발생한다. 첫 번째 공진이 일어나는  $t_1$  시점에서의 등가 회로를 그림 7에 나타내었다.

그림 7의 등가 회로를 이용하여 차단되는 정류 스위치 양단 전압을 구하면 식 (18)과 같다.

$$v_{C_j}^*(t) = \frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} + \sqrt{\{i_{Lk1}(0) - i_{L_o}^*(0) - i_{Lm1}(0)\}^2 \frac{L_{m1}L_{k1}}{C_j^*(L_{m1} + L_{k1})} + \left\{\frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} - v_{C_j}^*(0)\right\}^2} \times \sin\left\{\sqrt{\frac{L_{m1} + L_{k1}}{C_j^*L_{m1}L_{k1}}}t + \alpha\right\} \quad (16)$$

여기서,

$$\alpha = \cos^{-1} \left[ \frac{\{i_{Lk1}(0) - i_{L_o}^*(0) - i_{Lm1}(0)\} \sqrt{\frac{L_{m1}L_{k1}}{C_j^*(L_{m1} + L_{k1})}}}{\sqrt{\{i_{Lk1}(0) - i_{L_o}^*(0) - i_{Lm1}(0)\}^2 \frac{L_{m1}L_{k1}}{C_j^*(L_{m1} + L_{k1})} + \left\{\frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} - v_{C_j}^*(0)\right\}^2}} \right] \quad (17)$$

따라서,

$$v_{C_j}(t) \approx \frac{N_{S1}}{N_P} \left( V_{in} + \sqrt{\{V_{in} - v_{C_j}^*(0)\}^2} \sin\left\{\sqrt{\frac{1}{C_j^*L_{k1}}}t + \alpha\right\} \right) \quad (18)$$

이 시점에서의 공진은 변압기 하나의 영향만을 받는 형태로 나타나게 되므로, 기존 위상천이 폴 브리지 컨버터에 비해 2차 측 정류기의 공진 전압이 작다.

**두 번째 공진 [ $t_2$  시점] :** 스위치  $M_1, M_2, M_5$ 가 도통되어 있는 상태에서 스위치  $M_6$ 가 도통되기 시작할 때 발생한다. 두 번째 공진이 일어나는  $t_2$  시점에서의 등가 회로를 그림 8에 나타내었다.

그림 8의 등가 회로를 이용하여 차단되어 있는 2차

측 정류 스위치 양단 전압을 구하면 식(21)과 같다.

$$v_{Cj}^*(t) = \frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} + \frac{L_{m2}V_{in}}{L_{m2} + L_{k2}} - \left\{ \frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} + \frac{L_{m2}V_{in}}{L_{m2} + L_{k2}} - v_{Cj}^*(0) \right\} \cos(Zt) + \left\{ \frac{L_{m1}L_{k1}}{L_{m1} + L_{k1}} (i_{Lk1}(0) - i_{Lm1}(0) - i_{Lo}^*(0)) \right\} Z \sin(Zt) + \left\{ \frac{L_{m2}L_{k2}}{L_{m2} + L_{k2}} (i_{Lk2}(0) - i_{Lm2}(0) - i_{Lo}^*(0)) \right\} Z \sin(Zt) \quad (19)$$

여기서,

$$Z = \sqrt{\frac{(L_{m1} + L_{k1})(L_{m2} + L_{k2})}{C_j^*(L_{m1}L_{k1}L_{m2} + L_{m1}L_{k1}L_{k2} + L_{m1}L_{m2}L_{k2} + L_{k1}L_{m2}L_{k2})}} \quad (20)$$

따라서,

$$v_{Cj}^*(t) \approx \frac{N_{S2}}{N_P} \left( 2V_{in} + \sqrt{\{2V_{in} - v_{Cj}^*(0)\}^2} \right) \sin(Zt + \beta) \quad (21)$$

여기서,

$$\beta = \cos^{-1} \left[ \frac{\left\{ \frac{L_{m1}L_{k1}}{L_{m1} + L_{k1}} (i_{Lk1}(0) - i_{Lm1}(0) - i_{Lo}^*(0)) \right\} + Z}{\sqrt{\left( \frac{L_{m1}V_{in}}{L_{m1} + L_{k1}} - v_{Cj}^*(0) \right)^2 + \left( \frac{L_{m2}V_{in}}{L_{m2} + L_{k2}} - v_{Cj}^*(0) \right)^2 + \left\{ \frac{L_{m1}L_{k1}}{L_{m1} + L_{k1}} (i_{Lk1}(0) - i_{Lm1}(0) - i_{Lo}^*(0)) \right\}^2 + \left\{ \frac{L_{m2}L_{k2}}{L_{m2} + L_{k2}} (i_{Lk2}(0) - i_{Lm2}(0) - i_{Lo}^*(0)) \right\}^2}} \right] \quad (22)$$

이전 첫 번째 공진을 통하여 2차 측 정류기 양단 전압은  $V_{in}N_{S1}/N_P$ 의 초기 전압을 갖고 있는 상태에서 두 번째 공진이 발생하기 시작하므로, 기존 위상천이 풀 브리지 컨버터에 비해 공진전압이 작아질 수 있다. 이로 인하여 2차 측 동기 정류기의 스너버 손실을 줄일 수 있다.

### 3. 모의실험 및 실험결과

#### 3.1 모의실험

제안된 회로의 동작 원리 및 타당성을 검증하기 위하여 PSIM 소프트웨어를 사용하여 모의실험을 수행하였다.

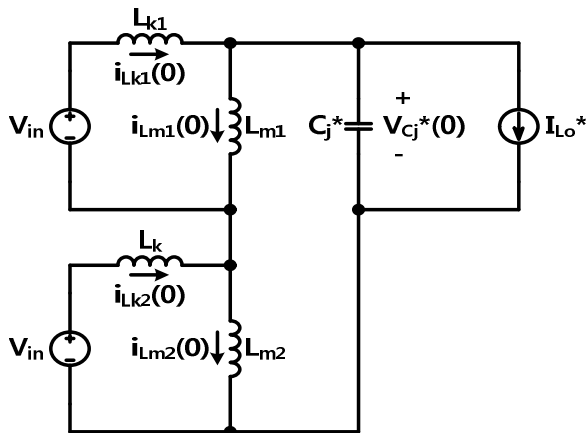


Fig. 8 Equivalent circuit at  $t_2$

Table 2 Design specification and parameters for Phase-Shift Full-Bridge DC/DC Converter with Fixed-Phase Operation Inverter

Item	Value	Item	Value
Input Voltage	35V ~ 60V	Transformer Turn-ratio	4:2:2
Output Voltage	30V	Magnetizing Inductance	80uH
Maximum Output Power	450W	Leakage Inductance	250nH
Switching Frequency	200kHz	Output Inductance	5.3uH

모의실험 조건은 450W급 통신용 전원장치를 대상으로 하며, 표 2에 설계 사양을 나타내었다.

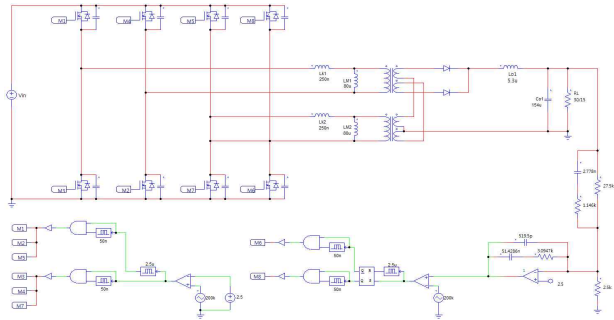
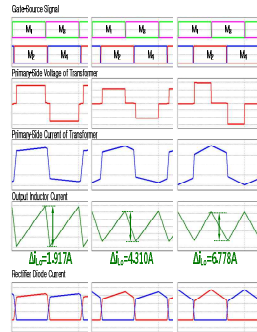
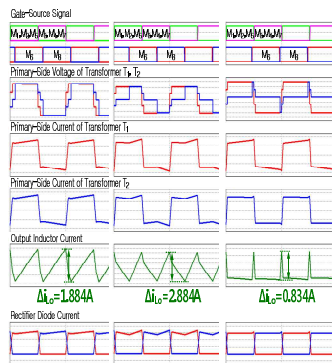


Fig. 9 PSIM scheme of proposed circuit



(a) Conventional Phase-Shift Full-Bridge Converter



(b) Proposed circuit

Fig. 10 Key waveforms of conventional circuit and proposed circuit

Table 3 Comparison output inductor current ripple of conventional PSFB converter and proposed circuit

	$V_{in,min}$ (35V)	$\phi_b=99.55^\circ$ (44V)	$V_{in,max}$ (60V)
Conventional PSFB	1.917A	4.310A	6.778A
Proposed Converter	1.884A	2.884A	0.834A

그림 10은 기존 위상천이 폴 브리지 컨버터와 제안된 고정 위상 동작 인버터를 포함하는 위상천이 폴 브리지 DC/DC 컨버터의 모의실험을 통한 주요 결과 파형을 나타내고 있다.

또한 표 3에 각 입력 전압 조건에서의 출력 인덕터 리플 전류 값을 나타내었다. 출력 인덕터 전류 리플이 가장 큰 조건인 입력 전압 44V일 때 제안된 회로는 2.884A의 전류 리플을 보였고, 최소 입력 전압인 35V와 최대 입력 전압인 60V에서도 각각 1.884A와 0.834A로 기존의 위상천이 폴 브리지 컨버터에 비하여 매우 작은 것을 PSIM 모의실험을 통하여 확인하였다.

3.1 실험결과

제안회로의 동작원리 및 특성을 확인하기 위하여 시작품을 제작하여 실험을 수행하였다. 실험 사양은 표 2와 같고, 1차 측 스위치  $M_1 \sim M_8$ 는 Vishay사의 SIR878DP를 사용하였고, 변압기 코어는 ER 32/5/21(부피 4172mm<sup>3</sup>, EPCOS)를 사용하였으며, 2차 측 동기정류기는 Infineon사의 IPB200N25N3G를 사용하여 실험을 진행하였다.

그림 11은 입력 전압에 따른 주요 동작 파형을 나타내고 있다. 각각 변압기 1차 측 전압  $V_{pri1}$ ,  $V_{pri2}$ 와 출력 인덕터 전류  $I_{Lo}$ 를 나타내고 있으며, 입력 전압에 따라

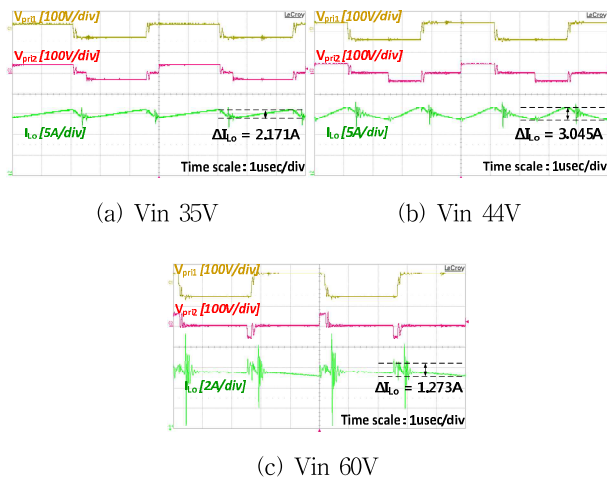


Fig. 11 Transformer primary-side voltage and output inductor current waveforms of proposed converter

부만 위상차이를 조절하고 있음을 알 수 있다. 실험결과 출력 전압을 제어하기 위하여 하나의 폴 브리지 인버터 출력 인덕터 전류 리플율이 가장 큰 상황인 44V<sub>in</sub> 조건에서도 출력 인덕터 전류 리플의 크기가 3.045A이고, 입력 전압 35V와 60V에서도 출력 인덕터 전류 리플의 크기가 2.171A, 1.273A로 매우 작음을 확인하였다.

그림 12는 기존 컨버터와 제안회로의 입력 전압 및 부하별 측정 효율을 나타내고 있다. 제안된 컨버터는 일반적인 위상천이 폴 브리지 DC/DC 컨버터에서와 같이 입력 전압이 높을수록 circulating 전류가 증가함으로서 1차 측 스위치의 도통손실이 증가한다. 또한 턴비에 의한 2차 측 정류기로 투영된 전압이 증가함으로서 공진 전압이 커지면서 스너버에서 소모하는 전력 손실이 증가한다. 따라서 입력 전압 높을수록 시스템 효율이 낮은 특징을 가지고 있다. 제안 회로는 최대부하( $I_o=15A$ )시 전 입력 전압 범위에서 89.90% 이상의 효율의 고효율 동작이 가능하며, 입력 전압 35V, 50% 부하조건에서 최고 94.28%의 고효율 동작이 가능한 특성을 확인하였다.

4. 결론

본 논문에서는 고정 위상 동작 인버터를 포함하는 위상천이 폴 브리지 컨버터를 제안하였다. 제안회로는 기존 위상천이 폴 브리지 컨버터에 비해 출력 인덕터의 리플 전류가 작으므로 출력 인덕터의 동손 및 철손을 줄일 수 있고, 1차 측 스위치 및 2차 측 동기 정류기의 스위칭 손실을 줄일 수 있다. 또한, 2차 측 정류기의 공진 전압이 기존 회로보다 작아 스너버의 손실을 최소화할 수 있는 장점이 있다. 제안회로의 동작특성을 확인하기 위하여 450W급 시작품을 제작하여 실험을 진행하였으며, 이를 통하여 제안회로의 동작 및 우수성을 확인하였다.

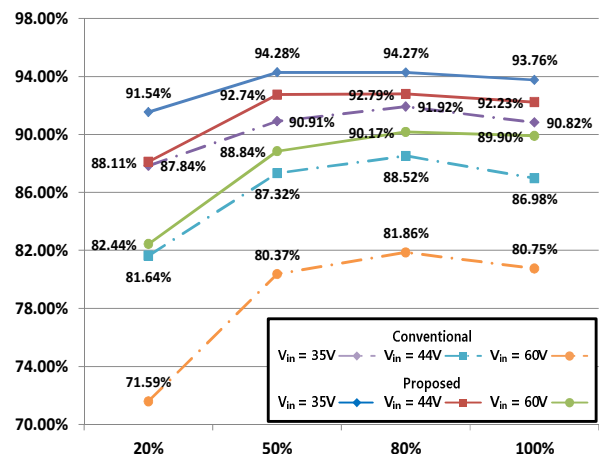


Fig. 12 Input voltage/load measurement efficiency of conventional circuit and proposed circuit

이 논문은 지식경제부, 2012년 국민대학교 교내 연구비 지원 및 정보통신 연구진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음 (NIPA-201 2-H0301-12-2007)

**참 고 문 헌**

[1] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F. C. Lee, and B. H. Cho, "Design considerations for high-voltage high power full-bridge zero-voltage-switched PWM converter," *in Proc. IEEE APEC*, pp. 275-284, 1990.

[2] D. M. Sable and F. C. Lee, "The operation of a full-bridge zero-voltage-switched PWM converter," *in Proc. VPEC Semin.*, pp. 92-97, 1989.

[3] Y. S. Shin, Y. S. Jang, C. W. Roh, S. S. Hong, D. J. Kim, H. Y. Kim, D. S. Kim, H. B. Lee, and S. K. Han, "Double-Ended Active Clamp Full Bridge DC/DC Converter," *in Power Electronics Annual Conference*, pp. 394-396, July 2008.

[4] Y. S. Shin, C. W. Roh, S. S. Hong, and S. K. Han, "A New Mode Changable Asymmetric Full Bridge DC/DC Converter having 0 ~ 100 % Duty Ratio," *in The Trans. of The KIPE*, Vol. 15, No. 2, pp. 103-110, Apr. 2010.

[5] P. K. Jain, W. Kang, H. Soin, and Y. Xi, "Analysis and design considerations of a load and line independent zero voltage switching full bridge DC/DC converter topology," *IEEE Trans. Power Electron.*, Vol. 17, pp. 649-657, Sep. 2002.

[6] L. H. Mweene, C. A. Wright, M. F. Schlecht, "A 1 kW 500 kHz front-end converter for a distributed power supply system," *IEEE Trans. Power Electron.*, Vol. 6, pp. 398-407, Jul. 1991.

[7] J. M. Zhang, X. G. Xie, X. K. Wu and Z. Qian, "Comparison study of phase-shifted full bridge ZVS converters," *in Proc. Annu. IEEE PESC*, pp. 533-539, 2004.



**김진호(金辰鎬)**

1985년 1월 7일생. 2010년 국민대 공과대학 전자정보통신대학 전자공학부 졸업. 2010년~현재 동 대학원 전자공학과 석사과정.



**박재성(朴載成)**

1982년 9월 13일생. 2009년 국민대 전자정보통신대학 전자공학부 졸업. 2011년 동 대학원 전자공학과 졸업(석사). 2011년~현재 동 대학원 전자공학과 박사과정.



**김홍권(金洪權)**

1986년 11월 1일생. 2011년 국민대 전자정보통신대학 전자공학부 졸업. 2011년~현재 동 대학원 전자공학과 석사과정.



**박준우(朴俊佑)**

1987년 8월 29일생. 2011년 국민대 전자정보통신대학 전자공학부 졸업. 2011년~현재 동 대학원 전자공학과 석박사통합과정.



**신용생(慎龍生)**

1982년 8월 31일생. 2007년 국민대 공과대학 전자정보통신대학 전자공학부 졸업. 2009년 동 대학원 전자공학과 졸업(석사). 2012년 동 대학원 전자공학과 졸업(공학박). 2012년~현재 삼성전자 네트워크사업부 선임연구원.



**지상근(池常根)**

1981년 10월 5일생. 2007년 국민대 전자정보통신대학 전자공학부 졸업. 2009년 동 대학원 전자공학과 졸업(석사). 2012년 동 대학원 전자공학과 졸업(공학박). 2012년~현재 삼성전기 책임연구원.



**조상호(朴載成)**

1982년 1월 2일생. 2006년 국민대 전자정보통신대학 전자공학부 졸업. 2012년 동 대학원 전자공학과 졸업(공학박). 2012년~현재 삼성전기 책임연구원.



**노정욱(盧政煜)**

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수. 당 학회 편집위원.



**홍성수(洪成洙)**

1961년 1월 25일생. 1984년 서울대 전기공학부 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학박). 1984년~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 교수.