

## 바디 구동 차동 입력단과 Self-cascode 구조를 이용한 0.5 V 2단 연산증폭기 설계 및 제작

김정민<sup>1</sup>, 이대환<sup>1</sup>, 백기주<sup>1</sup>, 나기열<sup>2</sup>, 김영석<sup>1,a</sup>

<sup>1</sup> 충북대학교 반도체공학과

<sup>2</sup> 충북도립대학 반도체전자전공

### Design and Fabrication of 0.5 V Two Stage Operational Amplifier Using Body-driven Differential Input Stage and Self-cascode Structure

Jeong-Min Gim<sup>1</sup>, Dae-Hwan Lee<sup>1</sup>, Ki-Ju Baek<sup>1</sup>, Kee-Yeol Na<sup>2</sup>, and Yeong-Seuk Kim<sup>1,a</sup>

<sup>1</sup> Department of Semiconductor Engineering, Chungbuk National University, Cheongju 361-763, Korea

<sup>2</sup> Department of Semiconductor Electronics, Chungbuk Provincial College, Okcheon 363-806, Korea

(Received January 9 2013; Revised March 24, 2013; Accepted March 24, 2013)

**Abstract:** This paper presents a design and fabrication of 0.5 V two stage operational amplifier. The proposed operational amplifier utilizes body-driven differential input stage and self-cascode current mirror structure. Cadence Virtuoso is used for layout and the layout data is verified by LVS through Mentor Calibre. The proposed two stage operational amplifier is fabricated using 0.13  $\mu\text{m}$  CMOS process and operation at 0.5 V is confirmed. Measured low frequency small signal gain of operational amplifier is 50 dB, power consumption is 29  $\mu\text{W}$  and chip area is 75  $\mu\text{m} \times 90 \mu\text{m}$ .

**Keywords:** Operational amplifier, Body driven, Self-cascode, Low voltage, Low power

#### 1. 서 론

최근 스마트폰, 노트북 등 휴대용 기기들의 주요 성능 중의 하나가 배터리의 지속 시간이다. 이와 같이 배터리를 장시간 사용하기 위해서는 휴대용 기기의 주요 칩들이 저전압 및 저전력 설계를 필요로 한다 [1]. 주변 환경을 모니터링하기 위한 센서 네트워크

는 주변 환경으로부터 에너지를 추출하여 사용하는 경우가 많다. 이런 경우에는 낮은 동작전압 및 적은 전력 소모가 요구된다. 또한 최근 연구가 활발히 이루어지는 태양전지의 경우 한 개 태양 전지 셀의 경우 약 0.5 V 정도이기 때문에 시스템 동작 전압도 여기에 맞출 필요가 있다.

본 논문에서는 단일 공급전압 0.5 V에서 동작하는 2단 연산 증폭기를 제안한다. 실험 방법에서 저전압에서 동작할 수 있는 회로 구조와, 제안된 저전압 회로의 최적화 과정을 설명하고, 결과 및 고찰에서 제안된 연산 증폭기의 시뮬레이션 결과와 레이아웃 및 측정 결과를 설명한다. 그리고 마지막에 결론을 맺게 된다.

a. Corresponding author; kimys@cbu.ac.kr

## 2. 실험 방법

### 2.1 바디 구동 (body-driven) 차동 증폭기 입력단

MOSFET을 저전압에서 동작시키기 위해서는 무엇보다도 문턱전압 제한 조건을 피하여야 한다. 이를 위하여 MOSFET의 바디를 이용하는 것이 효과적인 해결책 중의 하나이다 [2].

그림 1은 바디 구동 차동 증폭기 입력단이다.

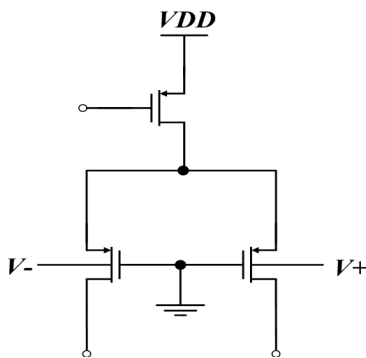


Fig. 1. Body driven differential input stage.

바디 구동 방식은 JFET과 같이 바디 전압에 의해 MOSFET의 채널 아래 공핍층의 두께가 변하게 되고, 채널이 조절됨으로써 흐르는 전류가 변하게 된다.

바디 구동 MOSFET의 장점은 공핍영역의 특성에 의해 역방향 바이어스 전압 및 작은 값의 순방향 바이어스 전압에서도 적절한 DC 채널 전류를 얻을 수 있다는 것이다. 이는 저전압 회로에서 rail-to-rail의 입력 전압 범위를 얻을 수 있으며, 또한 래치업이 발생하지 않는다는 장점이 있다. 그러나, 입력 캐패시턴스가 게이트 구동 차동 증폭기보다 크며 [2], 바디 구동 MOSFET의 트랜스컨덕턴스 (transconductance)인  $g_{mb}$ 가 게이트 구동 MOSFET의 트랜스컨덕턴스인  $g_m$ 보다 작아서 큰 이득이 필요한 경우에 추가적인 회로가 필요하다는 단점이 있다. 바디 구동 MOSFET의  $g_{mb}$ 는 다음 식과 같다 [3].

$$g_{mb} = \frac{di_D}{dv_{BS}} = g_m \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}}} \quad (1)$$

여기서  $\gamma$ 는 기판효과 인자이다.

### 2.2 Self-cascode 전류 거울

그림 2는 캐스코드 전류 거울과 SCCM (self-cascode current mirror) 구조이다. 일반적인 전류거울 구조의 경우 채널의 길이가 짧아지면서 채널 변조 현상의 영향을 받아 출력 저항이 줄어들어, 매우 큰 이득을 요하는 구조에 사용할 수 없다. 그리하여 큰 출력 저항을 갖기 위해 그림 2(a)와 같은 캐스코드 전류 거울 구조가 사용된다. 일반적인 캐스코드 전류거울 구조는 이득을 증가시키기 위하여 사용되지만, 최소 출력 전압 ( $V_{out.min}$ )이  $V_{TH} + 2\Delta V$ 로 출력 신호의 스윙이 감소된다는 단점을 갖고 있다. 또한 와이드 스윙 캐스코드 전류 거울 구조의 경우  $V_{TH} + 2\Delta V$ 의 바이어스 전압이 필요하기 때문에 저전압 회로에는 적합하지 않다. 반면에 아래 그림 2(b)와 같은 SCCM 구조는 출력노드에서  $V_{out.min} \leq 2\Delta V$ 로 일반적인 캐스코드 전류거울 보다 큰 전압을 요하지 않고, 큰 출력 저항을 제공한다 [1].

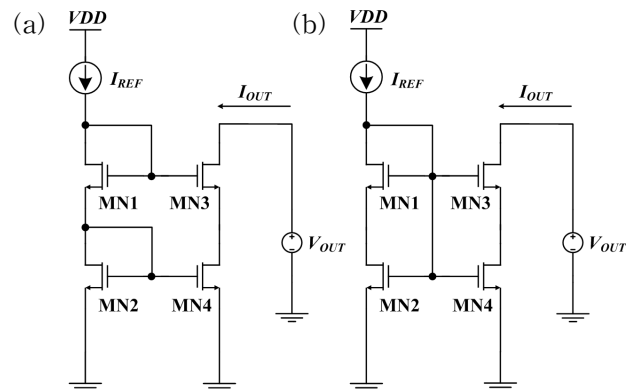


Fig. 2. Current mirror (a) cascode structure, (b) self cascode structure.

SCCM의 출력 저항은 최적의 전류와 게이트의 바이어스 전압 조건 하에서 최대가 될 수 있다. 무엇보다도 MN2, MN4를 포화 영역에서 구동하여야 한다. MN2, MN4를 포화 영역에서 동작시키기 위한 첫 번째 방법으로 MN1 - MN4의 W/L 비율을 조절하는 방법이 있다. 먼저 포화영역 동작을 위해서  $V_{DS} \geq V_{ds.sat} = (V_{GS} - V_{TH})/n$ ,  $n = 1 + \gamma / (2\sqrt{2\Phi_F + V_{SB}})$ 을 만족하여야 한다 [4]. SCCM 회로에서  $I_{D1} = I_{D2}$ ,  $V_{GS1} = V_{GS2} - V_{DS2}$ 를 이용하여  $V_{DS2} = (V_{GS2} - V_{TH})/n$  식을 풀

게 되면 다음의 조건을 얻을 수 있다.

$$\frac{\beta_1}{\beta_2} \geq \frac{n^2}{(n-1)^2} \quad (2)$$

여기서  $\beta = \mu_n C_{ox} W/L$ 이다. 식 (2)의 조건을 만족시키기 위해서는 MN1, MN3을 MN2, MN4에 비하여 훨씬 큰 W/L을 가지게 하면 된다. 이 때 MN2, MN4는 포화 영역에 있으며 MN1, MN3는 선형 영역에서 동작하게 된다.

두 번째 방법은  $V_{TH1} < V_{TH2}$  조건을 만족시키는 것이다 [5]. 그림 2(b)에서, MN2가 포화 영역에 존재하기 위해서는  $V_{DS2} \geq V_{GS2} - V_{TH2}$  을 만족해야하며, 회로에서  $V_{DS2} = V_{GS2} - V_{GS1}$  ( $V_{GS1} = V_{DS,sat1} + V_{TH1}$ )이기 때문에 다음과 같은 조건이 유도된다.

$$V_{TH2} - V_{TH1} \geq V_{DS,sat1} \quad (3)$$

본 논문에서는 두 번째 방법을 이용하였으며, 식 (3)의 조건을 만족시키기 위하여 MN1, MN3의 바디에 약간의 순방향 전압을 인가하였다.

### 2.3 제안하는 2단 연산증폭기 회로

그림 3은 제안된 바디 구동 차동 증폭 입력단과 SCCM 구조를 채용한 2단 연산 증폭기 회로도이다. PMOS의 문턱전압이 NMOS보다 크다는 조건하에 최소 공급 전원 전압은  $V_{GS,MP1}$ 의  $V_{DS,MP4}$  합으로 아래의 식 (4)와 같이 결정되어 진다.  $V_{GS,MP1}$ 이 문턱 아래 영역에서 동작한다면 공급 전원 전압은 PMOS의 문턱전압보다 더 작아질 수도 있다 [6].

$$V_{DD,min} \geq V_{GS,MP1} + V_{DS,MP4} \quad (4)$$

PMOS MP6-MP9와 NMOS MN1-MN4는 SCCM 구조이다. SCCM 특성상 앞서 언급한  $V_{TH}(upper) < V_{TH}(lower)$ 의 조건을 만족시키면 lower MOSFET이 포화영역에서 동작하여 전류 거울의 출력 저항을 더욱 증가시킬 수 있다. 여기서 upper MOSFET은 MN1, MN3, MP6, MP8이며, lower MOSFET은 MN2, MN4, MP7, MP9이다. 즉, 다음 조건들을 만족하여야 한다.

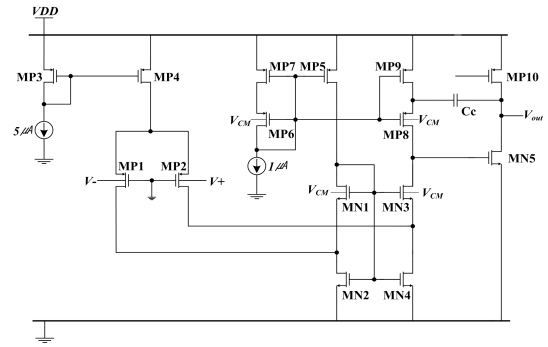


Fig. 3. Proposed two stage operational amplifier.

$$PMOS: V_{TH7} > V_{TH6}, V_{TH7} > V_{TH8} \quad (5)$$

$$NMOS: V_{TH2} > V_{TH1}, V_{TH4} > V_{TH3} \quad (6)$$

회로의 동작은 다음과 같다. 입력 신호가 PMOS MP1, MP2의 바디로 들어가 공통 게이트 증폭기 MN3를 통해 증폭되고, 공통 소스 증폭기 MN5를 통해 추가로 증폭된다. 첫 번째 단의 이득은 NMOS MN3 드레인 노드에서의 출력 저항과 입력단의 트랜스컨덕턴스  $g_{mb1}$ 의 곱으로 나타낼 수 있다. 우선 MN4 드레인 노드에서 NMOS쪽 출력 저항은  $g_{mn3}r_{on3}(r_{op2}/r_{on4})$ 의 크기를 가지고, PMOS쪽 출력 저항은  $g_{mp8}r_{op8}(r_{op9})$ 의 값을 갖는다. 이로써 첫 번째 단의 출력 저항은 PMOS쪽 출력 저항과 NMOS쪽 출력 저항의 병렬이 되며, 그 이득은 이 출력 저항과  $g_{mb1}$ 과의 곱으로 다음과 같다.

$$A_{v1} = g_{mb1} [g_{mn3}r_{on3}(r_{op2}/r_{on4}) / g_{mp8}r_{op8}(r_{op9})] \quad (7)$$

두 번째 단의 이득은 MN5 드레인 노드에서의 출력 저항과  $g_{mn5}$ 의 곱으로  $A_{v2} = g_{mn5}(r_{on5}/r_{op10})$ 으로 나타내어진다. 이로써 제안된 회로의 총 이득은 첫 번째 단의 이득과 두 번째 단의 이득의 곱으로 다음과 같다.

$$A_v = g_{mb1} [g_{mn3}r_{on3}(r_{op2}/r_{on4}) / g_{mp8}r_{op8}(r_{op9})] \times g_{mn5}(r_{on5}/r_{op10}) \quad (8)$$

제안된 회로에서는 MOSFET의 바디를 사용한 입력단과 SCCM 구조를 통해 매우 낮은 전압에서도 회로가 동작하도록 하고, 높은 이득을 갖도록 설계하였다.

### 3. 결과 및 고찰

#### 3.1 시뮬레이션

그림 4는 SCCM 구조의 최적 설계를 위하여 먼저 그림 2(b)의 MN1, MN3 바디 전압의 변화에 따른 출력 저항을 조사하였다. 전류 거울 바이어스 전류 1  $\mu\text{A}$ , 5  $\mu\text{A}$ , 10  $\mu\text{A}$ 의 조건을 이용하였다. 전류 거울 바이어스 전류 5  $\mu\text{A}$ , 10  $\mu\text{A}$ 일 때는 바디 전압이 증가할 때 출력 저항이 증가하며, 바이어스 전류 1  $\mu\text{A}$ 일 경우,  $V_{\text{body}} = 0.2 \text{ V} \sim 0.3 \text{ V}$ 에서 최고의 출력 저항 값을 가짐을 알 수 있다. 이 시뮬레이션을 토대로 연산 증폭기 설계에서는 바이어스 전류 1  $\mu\text{A}$ 를 적용하고 MN1, MN3 바디에  $V_{\text{cm}} = 0.25 \text{ V}$ 를 인가하였다.

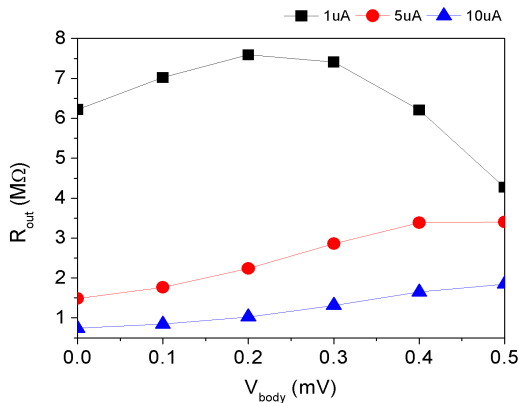


Fig. 4. Output resistance of SCCM versus MN1, MN3 body voltage.

그림 5에서 SCCM MOSFET의 finger 개수 (NF)에 따른 출력 저항을 비교하였다. 바이어스 전류 1  $\mu\text{A}$ , 5  $\mu\text{A}$ , 10  $\mu\text{A}$ 의 경우에 대해서 차이는 있지만, 만약 바이어스 전류를 1  $\mu\text{A}$ 를 선택할 경우 NF= 3이 최적임을 알 수 있다.

SCCM의 출력 저항은 바이어스 전류에 역비례하기 때문에 기존의 간단한 전류 거울 구조와 비교하였다. 그림 6과 같이 바이어스 전류가 증가하면 출력 저항이 감소하고, sub-threshold 영역으로 갈수록 저항이 증가한다. 그림 6(a)에서 바이어스 전류 1  $\mu\text{A}$ 일 경우 기존 전류 거울의 출력 저항은 5.3 MΩ, SCCM의 출력 저항은 7.6 MΩ으로 증가함을 알 수 있다. PMOS SCCM에 대해서도 최적의 회로 조건을 구하였으며, 회로 및 출력 저항은 그림 6(b)와 같다. 바이어스 전

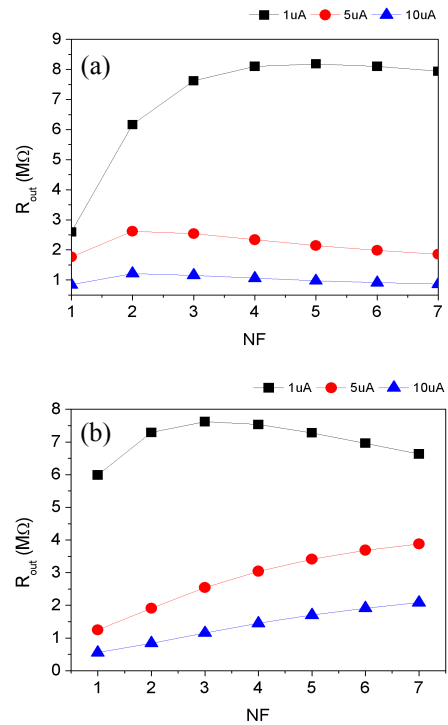


Fig. 5. Output resistance of SCCM versus NF. (a)  $R_{\text{out}}$  vs NF (lower), (b)  $R_{\text{out}}$  vs NF (upper).

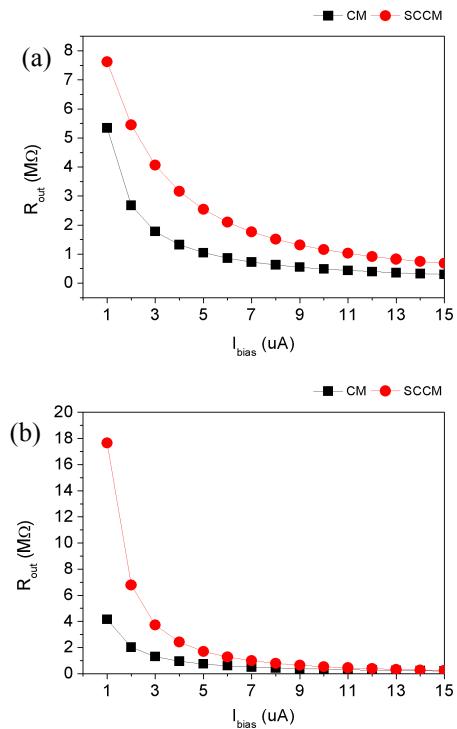


Fig. 6. Output resistances of conventional and SCCM versus bias current. (a) NMOS, (b) PMOS.

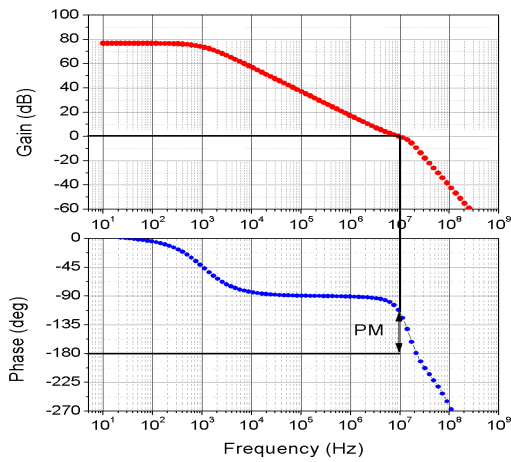


Fig. 7. Simulated small signal gain and phase margin of proposed operational amplifier circuit ( $V_{DD} = 0.5 \text{ V}$ ).

류  $1 \mu\text{A}$ 일 경우 기존 전류 거울의 출력 저항은  $4.5 \text{ M}\Omega$ , SCCM의 출력 저항은  $17.6 \text{ M}\Omega$ 으로 증가함을 알 수 있다.

그림 7은 앞서 언급한 SCCM 구조의 최적화 조건을 적용한, 그림 2의 2단 연산 증폭기 회로의 소신호 이득과 위상여유도 (PM)을 나타낸 그림이다. 전원 전압  $V_{DD} = 0.5 \text{ V}$ 이다. 소신호 이득은 약  $76 \text{ dB}$ 이고, PM은 약  $60^\circ$ , CMRR은  $48 \text{ dB}$ 로 나타났다.

### 3.2 레이아웃

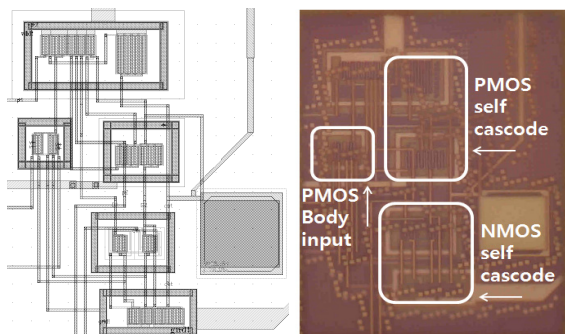


Fig. 8. Layout and chip microphotograph of proposed circuit.

시뮬레이션을 통해 검증된 회로는 Cadence Virtuoso를 이용하여 레이아웃 되었으며, 레이아웃된 데이터는

Mentor Calibre를 이용한 LVS를 통하여 확인하였다. 사용된 공정 라이브러리는 삼성  $0.13 \mu\text{m}$  CMOS 공정이다. 소자는  $1.2 \text{ V}$  NMOS 및 PMOS를 사용하였고, 칩 면적은  $75 \mu\text{m} * 90 \mu\text{m}$ 이다. 그림 8은 레이아웃과 제작된 칩 사진이다.

### 3.3 측정 결과

삼성  $0.13 \mu\text{m}$  CMOS MPW 공정으로 제작된 2단 연산 증폭기의 특성을 측정하였다.

그림 9는 증폭기의 DC 전달 특성을 측정하기 위한 회로와 측정 결과이다. 연산 증폭기의 반전 단자의 입력 전압은  $V_{DD}/2 = 0.25 \text{ V}$ 로 고정하고, 비반전 단자의 입력 전압을  $0 \text{ V} - 0.5 \text{ V}$ 까지 변화하면서 출력 전압을 측정하였다. 측정된 전달 특성의 기울기는 연산 증폭기의 소신호 이득을 나타낸다. 출력 전압  $10 \text{ mV} \sim 480 \text{ mV}$ 의 범위에서 정상적인 동작을 함을 알 수 있다.

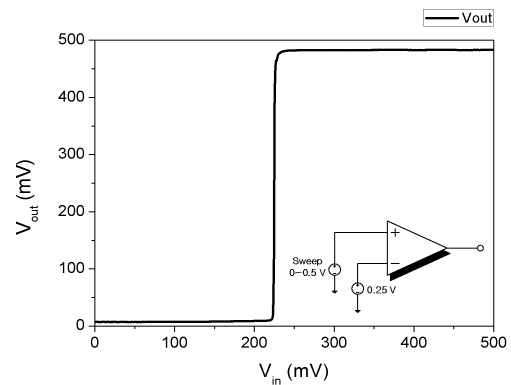


Fig. 9. DC transfer characteristics of fabricated 2 stage operational amplifier.

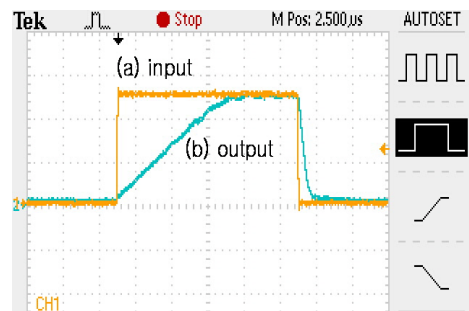


Fig. 10. Characteristic of square wave in operational amplifier.

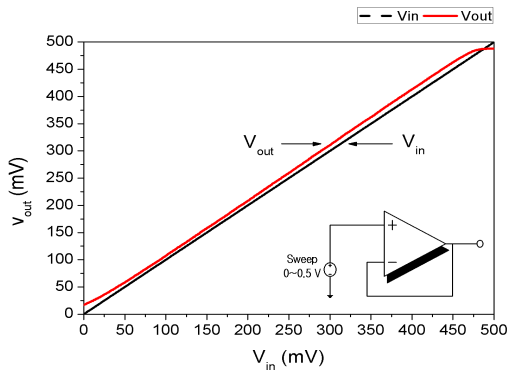


Fig. 11. Characteristic of DC in operational amplifier.

그림 10은 제작된 연산 증폭기를 전압 이득 1의 전압 버퍼로 구성하여 측정된 입력 및 출력 신호를 보여 주고 있다. 그림 10에서 파형 (a)는 입력 신호이며 파형 (b)는 출력 신호이다. 입력신호는 0 mV ~ 250 mV의 사각 파형을 인가하였으며, 이때의 출력파형을 확인할 수 있고, 출력파형의 기울기로 슬루율을 확인할 수 있다.

다음 그림 11은 제작된 2단 연산 증폭기를 전압 이득 1의 전압버퍼를 구성하여, 비 반전 입력단을 0 V ~ 0.5 V까지 변화시킨 그래프이다. 오프셋 전압이 약 8 mV로 측정되었고, 출력 전압 10 mV ~ 480 mV의 범위에서 정상적으로 동작함을 알 수 있다.

다음 표 1은 제작된 2단 증폭기의 측정 결과를 요약하여 정리하였다.

Table 1. Measurement results of fabricated 2 stage operational amplifier.

CMOS technology	0.13 $\mu\text{m}$	
Area	75 $\mu\text{m}$ * 90 $\mu\text{m}$	
DC gain	50 dB	
Power supply	0.5 V	
Output voltage range	min	10 mV
	max	480 mV
Slew rate (rising)	0.14 V/ $\mu\text{s}$	
Power consumption	25 $\mu\text{W}$	
Offset voltage	8 mV	
$C_c$	350 fF	
$C_L$	15 pF	

#### 4. 결론

본 논문에서는 PMOS의 바디입력을 통한 2단 연산 증폭기 회로를 제안하였다. 기존의 게이트 구동과 다르게 바디 입력을 사용함으로써, 문턱전압제한 효과를 극복하여 공급전압이 0.5 V로 아주 낮은 전압에서도 동작함을 확인하였다. 증폭기의 이득은 50 dB, 전력소모는 29  $\mu\text{W}$ 로 매우 낮음을 알 수 있다. 제안된 연산 증폭기는 전원 전압 0.5 V의 아주 낮은 전압에서도 동작하기 때문에, 저전압 아날로그 및 혼성 회로 등에 사용할 수가 있을 것이다.

#### 감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (2011-0006764).

#### REFERENCES

- [1] S. Yan and E. Sanchez-Sinencio, *IEICE Trans. Analog Integrated Circuits and Systems*, **E00-A**, 1 (2000).
- [2] B. J. Blalock, P. E. Allen, and G. A. Tincon-Mora, *IEEE Trans. Circuits Syst. II*, **45**, 769 (1998).
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuits* (McGraw-Hill, U.S.A., 2003) p. 35.
- [4] Y. P. Tsividis, *Operation and Modelling of the MOS Transistor* (McGraw-Hill, U.S.A., 1987) p. 161.
- [5] I. Fujimori and T. Sugimoto, *IEEE J. Solid-State Circuits*, **33**, 1863 (1998).
- [6] L. H. C Ferreira, T. C. Pimenta, and R. L. Moreno, *IEEE Trans. Circuits Syst. II*, **54**, 843 (2007).