

산업용 인버터 구동을 위한 고효율 고내압 Field-stop IGBT 최적화 설계에 관한 연구

이명환¹, 김범준¹, 정은식², 정현석¹, 강이구^{1,a}

¹ 극동대학교 에너지반도체학과

² 메이플 반도체(주)

Study on Industrial Inverters for Driving High-efficiency High-voltage Field-stop IGBT Optimization Design

Myung Hwan Lee¹, Bum June Kim¹, Eun Sik Jung², Hun Suk Jung¹, and Ey Goo Kang^{1,a}

¹ Department of Materials Engineering, Far East University, Eumseong 369-700, Korea

² Maple Semiconductor, Incorporated, Bucheon 421-150, Korea

(Received January 22, 2013; Revised March 4, 2013; Accepted March 13, 2013)

Abstract: In this paper, Solar, Wind, fuel cell used in a Power conversion devices and industrial inverter motor to increase the efficiency of energy consumption, which is a core part of high-efficiency, high-voltage Trench Gate Field Stop IGBT was studied. For this purpose Planar type NPT IGBT and Planar type Field Stop IGBT have designed a basic structure designed to Trench Gate Field Stop IGBT based on the completed structure by analyzing the energy consumption of electrical characteristics, efficiency is a key part, high-efficiency and high-voltage inverter for industry regarding the optimization design for Trench Gate Field Stop IGBT.

Keywords: IGBT, Trench, Planar, Field-stop, NPT

1. 서론

최근 에너지 절감이 큰 사회적 문제로 대두되면서, 신재생 에너지인 태양광, 풍력, 연료전지 등의 분산 발전과 에너지 절감을 위한 인버터 채택이 급증하고 있다. 이러한 전력용 반도체 모듈은 분산 발전용 전

력 변환장치 (power conditioning unit, PCU), 산업용 인버터 (uninterruptible power supply, UPS), 대용량 power supply 등의 핵심 부품으로 최근 시장의 급성장에 따라 수요량이 급격히 증가되고 있다. 본 논문에서는 태양광, 풍력, 연료전지 등 분산발전용 전력변환 장치와 전동기 에너지 소비 효율을 높이는 산업용 인버터의 핵심 부품인 고효율·고전압 trench gate field stop IGBT를 연구하였다.

a. Corresponding author; keg@kdu.ac.kr

Copyright ©2013 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

2. 실험 방법

2.1 1,200 V planar type NPT IGBT 기본설계

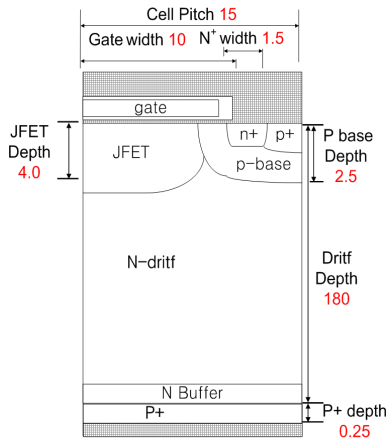


Fig. 1. Planar NPT IGBT.

Table 1. Basic process.

Parameter	Process condition
P-base	dose $8.0e13 \text{ cm}^{-2}$
P+ Emitter	dose $3.0e15 \text{ cm}^{-2}$
N JFET	dose $7.0e11 \text{ cm}^{-2}$
N+ Emitter	dose $1.0e16 \text{ cm}^{-2}$
P+ collector	dose $1.0e17 \text{ cm}^{-2}$
Wafer resistivity	60 Ωcm

1,200 V planar type NPT IGBT를 설계하는데 우선적으로 고려해야할 사항은 웨이퍼의 비저항 및 설계할 소자의 드리프트층의 두께이다. 이를 위하여 표 1의 공정 조건으로 그림 1과 같은 구조를 가지는 IGBT를 설계하였다.

2.2 드리프트층 두께에 따른 항복전압 시뮬레이션

드리프트층 두께가 증가할수록 항복전압은 증가하지만 200 μm 이상이면 증가폭이 현저히 감소하게 된다. 여기서 공핍층의 최대 길이는 157 μm 로 이보다 적은 경우 펀치스루 현상이 발생하게 된다. 또한 드리프트층 두께에 따라 온 저항이 증가하여 서로 트레이드오프 관계임을 알 수 있었다.

펀치스루 현상을 피하고 목표치 항복전압을 달성하기 위해 드리프트층 두께를 180 μm , 웨이퍼의 비저항을 60 Ωcm 결정하였으며 이때 목표항복 전압과 낮은 온 상태 전압강하를 가지므로 1,200 V planar NPT IGBT 설계에 적합하였다.

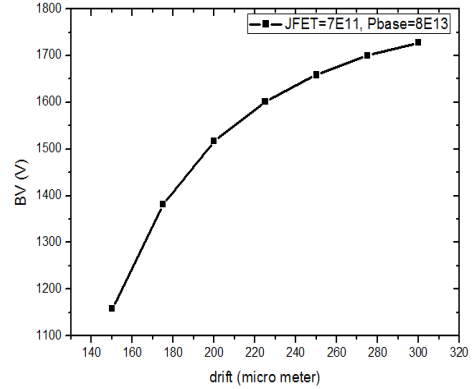


Fig. 2. Drift depth by BV.

Table 2. Drift depth by BV

Drift depth μm	150	175	200	225	250	275	300
BV	1,150	1,382	1,517	1,602	1,659	1,700	1,728

2.3 P베이스_JFET 도즈량에 따른 시뮬레이션

웨이퍼 비저항 및 드리프트층 두께를 설정한 후, planar type NPT IGBT의 최적화를 위하여 N JFET과 P베이스의 도즈량을 각각 $1e11 \sim 4e11 \text{ cm}^{-2}$, $5e13 \sim 8e13 \text{ cm}^{-2}$ 으로 변화시키면서 시뮬레이션을 실시하였다. 이때 문턱전압은 약 5.5 V를 목표로 하였고 이를 위하여 JFET과 P베이스의 도즈량에 따라서 문턱전압이 변화하는 것을 확인하였으며 P베이스 도즈량이 높을수록 게이트에서 끌어들이는 전압이 높아져 문턱전압이 상승하는 것을 고려하여 $6e13 \text{ cm}^{-2}$ 으로 결정하였다.

JFET 도즈량이 증가할수록 JFET영역에서의 저항이 감소하기 때문에 온 상태 전압강하가 낮아질 것이라고 예상하였지만 큰 영향을 미치지 않는 것이다. 이는 JFET 영역의 농도가 충분히 높아서 JFET 저항이 매우 낮기 때문이다. P베이스 도즈량과 관련된 변수들에 관하여 시뮬레이션으로 최적화된 공정 변수를 설정하였으며 이에 따른 문턱전압은 5.5 V, 온 상태 전압강하는 2.35 V (100 A 기준), 항복전압은 1,425 V 나오는 것을 확인하였다.

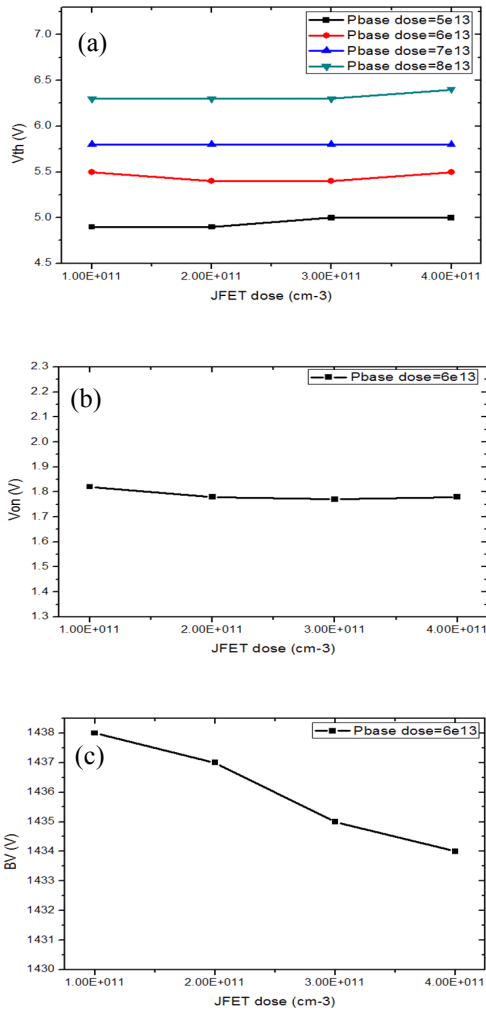


Fig. 3. JFET dose by Vth and Vce-sat, BV (a) Vth, (b) Vce-sat, (c) BV.

Table 3. Planar NPT IGBT final process.

Parameter	Process condition
Wafer	Resistivity 60 Ωcm Depth 180 μm
Cell pitch(half)	15 μm
P-base	Dose 6.5e13cm ⁻² Depth 2.5 μm
P+ Emitter	Dose 5.0e14cm ⁻² Width 4.9 μm
N JFET	Dose 1.0e12cm ⁻² Depth 4.0 μm
N+ Emitter	Dose 5.0e15cm ⁻² Width 1.5 μm
P+ collector	Dose 1.0e17cm ⁻² Depth 0.5 μm
Poly Gate	width 10 μm

2.4 1,200 V planar type FS IGBT 기본설계

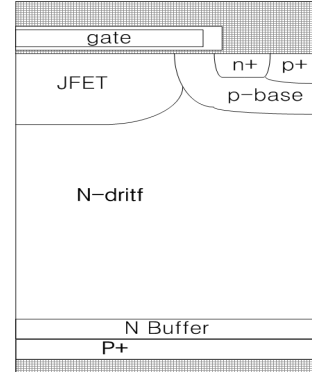


Fig. 4. Planar FS IGBT.

Table 4. FS IGBT basic process.

Parameter	Process condition
N Buffer	Depth 2.5 μm Resistivity 1 Ωcm ²
P+ collector	Dose 8.0e14cm ⁻² Depth 0.5 μm

1,200 V planar type NPT IGBT 설계 기술을 토대로 planar type FS IGBT의 설계를 진행하였다. 최적화된 planar type NPT IGBT의 드리프트층 두께를 감소시켜 펀치스루가 발생하도록 유도한 후, N 버퍼층 삽입을 통한 전계의 급격한 하강을 유도하여 펀치스루의 발생을 방지하였다. 이때 삽입한 N 버퍼층은 웨이퍼 back 공정이 아닌 시뮬레이션 상 균일한 농도를 갖고 두께 2.5 μm의 층을 가정하였다.

2.5 N 드리프트 두께에 따른 시뮬레이션

앞서 설계한 NPT IGBT의 여유 드리프트층의 두께는 22 μm이기 때문에 N 버퍼 삽입에 따른 항복전압의 증가를 관찰하기 위해서는 드리프트층 두께는 157 μm 이하를 만족해야 한다.

Table 5. Drift depth by electrical characteristics.

Drift depth	Wafer resistivity 60 Ωcm
60 μm	1.31 / 916
80 μm	1.43 / 1,163
110 μm	1.61 / 1,453
140 μm	1.77 / 1,500 more
180 μm(NPT)	2.35 / 1,425 more

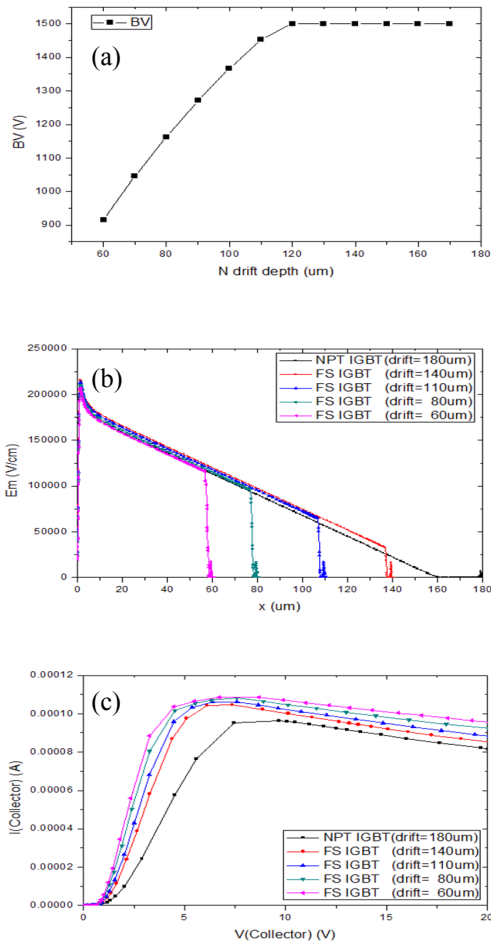


Fig. 5. Drift depth by BV and field-effect I-V characteristic (a) BV, (b) field-effect, (c) I-V characteristic.

우선적으로 가정한 N 버퍼의 농도와 길이에서 N 드리프트층의 두께가 감소할수록 항복전압과 온 상태 전압강하가 같이 감소하는 트레이드오프 관계임을 확인하였으며 목표치의 달성을 위하여 드리프트 두께를 110 μm로 결정하였다.

2.6 N버퍼 두께 및 도즈량과 p+컬렉터 도즈량에 따른 시뮬레이션

앞에서 실험한 결과 값을 고정한 후 N 버퍼의 두께를 조정하였다, 그림 6의 a, b에서 볼 수 있듯이 버퍼 층의 두께에 따라서는 항복전압은 거의 변하지 않고 버퍼 층의 두께가 줄어들수록 온 상태 전압강하는 감소하는 것을 알 수 있었다. 또한 그림 6의 c, d에서

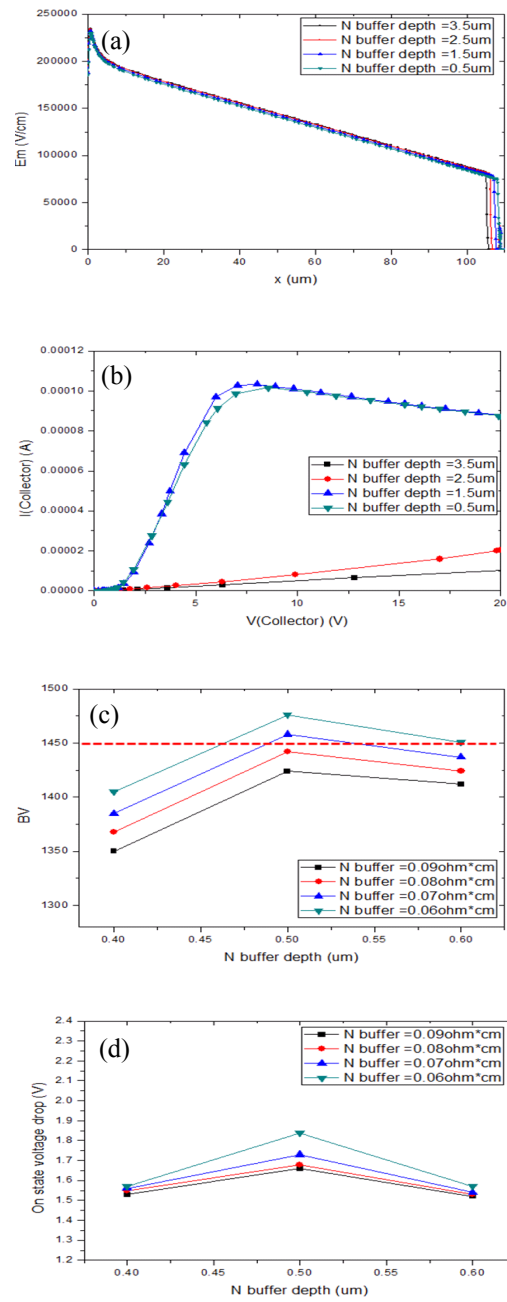


Fig. 6. Change by buffer depth and dose (a) field-effect, (b) I-V characteristic, (c) BV, (d) Vce-sat.

볼 수 있듯이 버퍼 층의 두께가 0.5 μm에서 목표치 항복전압은 만족하지만, 온 상태 전압강하에서는 다소 높은 값을 가지는 것을 알 수 있었다.

두께와 농도를 변화시킨 후 P+ 컬렉터에서의 홀 주입효율이 매우 작아지고 도전을 변조효과가 감소하

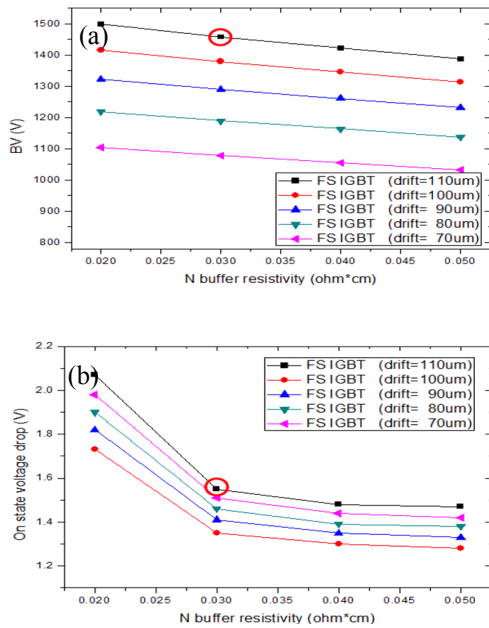


Fig. 7. N nuffer dose and drift depth by BV and Vce-sat (a) BV, (b) Vce-sat.

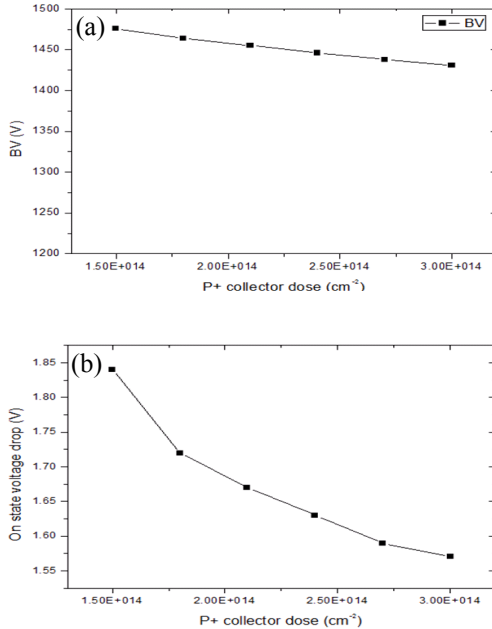


Fig. 8. p+ collector dose by BV and Vce-sat (a) BV, (b) Vce-sat.

게 되면서 온 상태 전압강하가 매우 커지게 됨을 알 수 있었다. 이에 따라서 버퍼 농도 0.06 Ωcm와 버퍼

두께 0.5 μm의 구조에서 P+ 컬렉터 농도를 변화시킨 결과 홀의 주입효율이 높아서 온 상태 전압강하는 감소하였다. 그러나 P+ 컬렉터 농도 증가로 인하여 N 버퍼 층의 두께가 감소하면서 내부 차지량이 감소하게 되고 결국 N 버퍼 층에 걸리는 전계의 최대점이 감소하면서 항복전압은 낮아짐을 알 수 있었다. 이때 그림 8의 결과를 보듯이 P+ 컬렉터 농도를 조절할 결과 항복전압과 온 상태 전압강하 간의 트레이드오프 최적점을 구할 수 있다는 것을 알았으며 더 좋은 특성을 얻기 위하여 낮은 N 버퍼 농도와 두께를 적용하였다. 최적화 시뮬레이션 결과 드리프트 두께 110 μm, 버퍼 비저항 0.03 Ωcm, 버퍼 두께 0.5 μm, P+ 컬렉터 도즈량 1e15 cm⁻²에서 항복전압 1,458 V, 온 상태 전압강하 1.55 V의 값을 얻을 수 있었다.

2.7 1,200 V trench type FS IGBT 개발

1,200 V planar type FS IGBT 설계 기술을 토대로 trench type FS IGBT를 설계하였고, NPT IGBT 및 planar type FS IGBT와의 전기적 특성을 비교하였다.

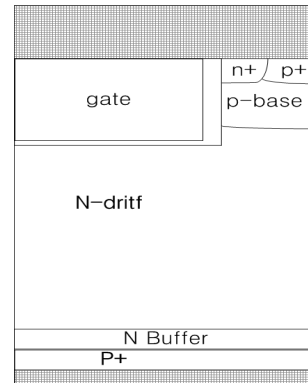


Fig. 9. Planar trench FS IGBT.

Table 6. Trench type FS IGBT process.

Parameter	Process condition
N Buffer	Dose 1.4e14 cm ⁻² Depth 0.5 μm
Wafer	Resistivity 60Ωcm Depth 110 μm
P-Base	Dose 1.3e13 cm ⁻² Depth 2.9 μm
P+ Emitter	Dose 5.0e14 cm ⁻² Width 3.5 μm
N+ Emitter	Dose 5.0e15 cm ⁻² Width 1.5 μm

Table 7. Trench gate width and depth by electrical characteristics.

Gate depth	3 μm	4 μm	5 μm
Gate width			
9 μm	1.33 / 1,459	1.45 / 1,450	
10 μm	1.40 / 1,457	1.43 / 1,449	1.44 / 1,436

이때 문턱전압 5.5 V로 맞추었고 이를 위한 P베이스의 도즈량은 $8.0 \times 10^{13} \text{ cm}^{-2}$ 고정하였다. Trench type FS IGBT의 버퍼 시뮬레이션 조건은 planar type IGBT에서의 조건과 같다. 단, trench 게이트의 폭과 깊이에 따른 시뮬레이션을 실시하여 표 7에 정리하였다. 이때 온 상태 전압강하는 trench gate의 폭은 변화가 없고 게이트 깊이가 깊을수록 작아진다. 이는 trench gate 하단에서의 전계집중 현상이 게이트 깊이가 깊을수록 강해지기 때문이다.

3. 결과 및 고찰

각 소자마다 최적화된 구조를 설계 완료하였으며 각각의 IGBT의 전기적 특성을 비교한 결과는 다음 표 8과 같다.

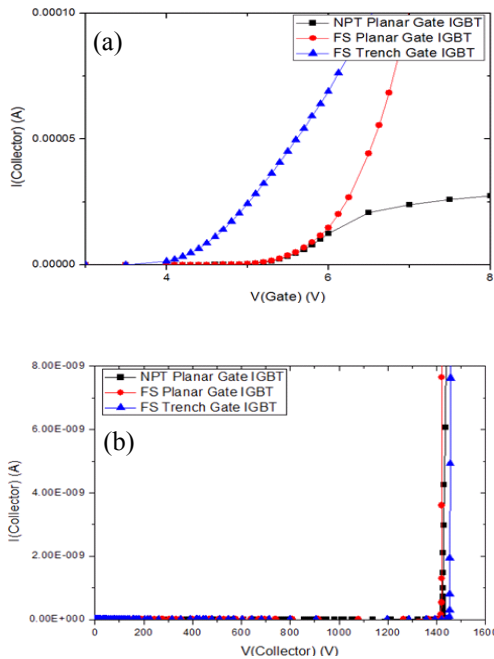


Fig. 10. Planar NPT IGBT VS planar FS IGBT VS trench FS IGBT (a) V_{th} , (b) BV, (c) V_{ce-sat} .

Table 8. Planar NPT IGBT VS planar FS IGBT VS trench FS IGBT.

	$V_{th}(V)$	$V_{ce-sat}(V)$	BV(V)
Planar NPT IGBT	5.5	2.35	1,425
Planar FS IGBT	5.5	1.55	1,458
Trench FS IGBT	5.1	1.33	1,459

표 8에서 보듯이 planar FS IGBT가 planar NPT IGBT에 비하여 문턱전압은 떨어졌으며 항복전압은 높고 V_{ce-sat} 이 낮아짐을 볼 수 있었다.

4. 결론

본 논문에서는 planar type NPT IGBT와 planar type FS IGBT 기본구조를 설계하였고 이를 토대로 trench gate field stop IGBT를 설계하였으며 완성된 구조의 전기적 특성을 분석하였다. 시뮬레이션 결과 planar FS IGBT가 planar NPT IGBT보다 V_{ce-sat} 가 감소된 것을 알 수 있었고 결과적으로 다른 구조에 비하여 trench gate field stop IGBT 최적화된다는 것을 알 수 있었다.

감사의 글

본 논문은 한국연구재단의 지역대학 우수과학자 사업으로 수행된 연구 결과입니다.

REFERENCES

- [1] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, USA, 2008)
- [2] E. G. Kang, B. S. Ahn, and T. J. Nam, *J. KIEEME*, **23**, 273 (2010).
- [3] J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **19**, 912 (2006).
- [4] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).