

Cascaded H-bridge PWM 멀티레벨인버터의 스위칭 손실 저감을 위한 효율적인 스위칭 패턴

Efficient Switching Pattern to Decrease Switching Losses in Cascaded H-bridge PWM Multilevel Inverter

정 보 창* · 김 선 필** · 김 광 수* · 박 성 준** · 강 필 순*

(Bo Chang Jeong · Sun-pil Kim · Kwang Soo Kim · Sung-Jun Park · Feel-soon Kang)

Abstract - It presents an efficient switching pattern, which expects a reduction of switching losses in a cascaded H-bridge PWM multilevel inverter. By the proposed switching scheme, the lower H-bridge module operates at low frequency of 60[Hz] because it assigns to transfer most load power. The upper H-bridge module operates at high frequency of PWM switching to improve THD of output voltage. The proposed switching pattern applies to cascaded H-bridge multilevel inverter with PD, APOD, bipolar, and unipolar switching methods. By computer-aided simulations, we verify the validity of the proposed switching scheme. Finally, we prove that the proposed PD and APOD switching patterns are better than those of the conventional one in efficiency.

Key Words : APOD (alternative phase opposition disposition), Bipolar switching, Efficiency, Inverters, CHML (cascaded H-bridge multilevel), Multilevel systems, PD (phase disposition), PWM (pulse width modulation), SPWM (sinusoidal pulse width modulation), THD (total harmonic distortion), Unipolar switching

1. 서 론

CHML 인버터는 출력전압 레벨 수를 증가시키기에 가장 효율적인 방법으로 알려져 있으며, 동일한 H-bridge 모듈을 사용함으로써 유지 보수가 간편하고 높은 신뢰성을 가진다. 그러나 CHML 인버터의 경우도 Diode-Clamped, Flying capacitor 방식과 마찬가지로 출력전압의 레벨 수를 크게 증가시키기에는 구조적 문제가 존재한다[1]-[5]. 특히 출력전압의 레벨 증가를 위해 H-bridge 모듈과 각 모듈이 반드시 요구하게 되는 독립된 입력전압원의 확보는 레벨 수 증가에 있어 제한 요소로 작용한다. 따라서 실제 응용에 있어서는 레벨 수를 크게 증가시키는 방법보다는 두 대의 H-bridge 모듈의 출력단을 직렬 결합시킨 5레벨 인버터의 구조에 PWM 스위칭 기법을 적용한 방식을 활용하고 있다[6]-[9].

출력전압에 PWM 스위칭 없는 5레벨만을 생성하는 경우 레벨 간 전압차에 따른 저차 고조파로 인해 5[%] 미만의 일반적인 전압 THD 기준 값을 만족시키기 어렵다. 따라서 출력단에 LC 필터를 삽입하여 출력전압 THD를 만족시키도록 하지만 이 경우 필터 사이즈가 커지는 문제점이 존재한다. 따라서 PWM 스위칭 패턴을 적용하게 되면 출력단의

필터 사이즈를 크게 저감시킬 수 있는 장점을 가질 수 있다. 하지만 기존 PWM 스위칭 방식은 상, 하단의 H-bridge에 존재하는 모든 스위치가 고주파의 스위칭 동작을 수행하게 된다. 따라서 dv/dt 스트레스 측면에서는 기존의 2레벨 PWM 인버터에 비해 우수한 특성을 확보할 수 있지만 PWM 스위칭으로 인한 스위칭 손실 측면에서는 크게 개선된 점을 찾기 어렵다. 그러므로 CHML 인버터의 모듈 수를 최소화 한 구조에 PWM 스위칭 패턴을 적용하여 출력전압의 THD를 개선하고자 하는 경우 스위칭 손실에 따른 시스템 효율 저하를 최소화 시킬 필요가 있다[10],[11].

본 논문에서는 정현 펄스폭 변조방식(SPWM)을 통해 제어되는 Cascaded H-bridge PWM 멀티레벨인버터의 스위칭 손실을 저감시켜 인버터 효율을 개선시킬 수 있는 스위칭 패턴을 제안한다. 두 대의 동일한 H-bridge 모듈의 다단 결합으로 5레벨의 출력전압을 생성할 수 있는 CHML 인버터를 대상으로 한다. 기존 PWM 방법의 경우, H-bridge의 상단과 하단의 모든 스위치들이 PWM 파형 생성을 위해 고주파 스위칭을 수행하게 된다. 또한 CHML 인버터의 특성상 상단과 하단이 담당하는 부하전력의 차이가 있으며, 이는 출력전압의 면적에 비례한다. 따라서 기본 전압레벨을 형성하는 하단 H-bridge의 PWM 스위칭 손실이 상대적으로 작은 부하전력을 담당하는 상단 H-bridge 모듈에 비해 높은 스위칭 손실이 발생된다. 이러한 관점에서 제안하는 스위칭 패턴은 하단 H-bridge 모듈의 스위치는 기본 출력전압 레벨을 형성하도록 저주파 스위칭 상태로 동작시키며, 상단 H-bridge의 스위치를 고주파의 PWM 스위칭 동작을 수행하도록 하여 상단 H-bridge의 출력 값이 하단 H-bridge에 의해 생성되는 기본 전압레벨에 가감되어 PWM 출력전압을

* Dept. of Electronics and Control Engineering, Hanbat National University, Korea

** Dept. of Electrical Engineering, Chonnam National University, Korea

† Corresponding Author : Dept. of Electronics and Control Engineering, Hanbat National University, Korea

E-mail : feelsoon@hanbat.ac.kr

Received : November 16, 2012; Accepted : March 25, 2013

생성하도록 동작시킨다.

제안하는 스위칭 방법은 정현 펄스폭 변조방식(SPWM)에 해당되며, 현재 산업용 멀티레벨 인버터에서 가장 많이 사용되는 기법으로 정현파 형태의 기준 신호와 삼각파 형태의 반송파와 비교하여 스위칭 하는 방식이다. SPWM 방식의 PD, APOD, Bipolar, Unipolar 스위칭 방식에 따라 변형된 스위칭 패턴을 제시하고 시뮬레이션을 통해 타당성을 검증한다. 마지막으로 PD, APOD 방식의 제안된 스위칭 패턴을 기존 스위칭 방법과 비교하여 각 스위칭 방법에서 제안하는 스위칭 패턴이 효율 개선에 보다 우수한 특성을 가짐을 실험을 통해 증명한다.

2. 제안하는 Cascaded H-bridge PWM 멀티레벨인버터의 효율개선을 위한 스위칭 패턴

2.1 5-레벨 출력전압 생성을 위한 Cascaded H-bridge 멀티레벨 인버터

본 논문에서 제안하는 스위칭 패턴은 CHML 인버터 중 그림 1과 같이 출력전압에 5레벨을 형성할 수 있는 두 개의 H-bridge 모듈을 가지는 회로 구조를 대상으로 한다.

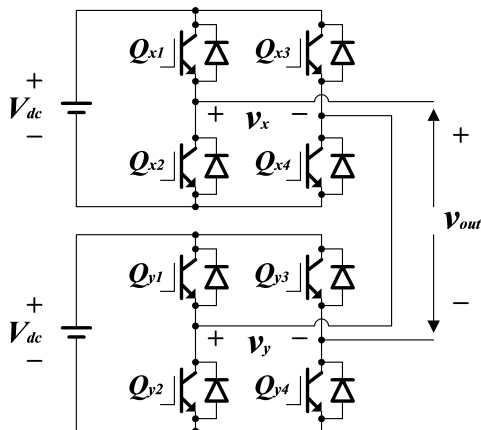


그림 1 5레벨 출력전압 생성을 위한 CHML 인버터의 구조
Fig. 1 Circuit configuration of cascaded H-bridge multilevel inverter for 5 output voltage levels

그림 1의 회로에서 알 수 있듯이 5레벨의 출력전압의 형성을 위해서는 두 대의 H-bridge 모듈이 요구되며 각 H-bridge 모듈의 출력은 직렬 결합된다. 따라서 출력전압은 각 모듈의 단자 출력전압을 더한 값으로 식 (1)과 같이 표현된다.

$$v_{out} = v_x + v_y \quad (1)$$

출력전압에 5레벨을 형성하기 위해 상단 인버터의 출력전압 v_x 는 $-V_{dc}, 0, V_{dc}$ 의 3레벨을 형성하고 하단 인버터의 출력 v_y 역시 동일한 $-V_{dc}, 0, V_{dc}$ 의 3레벨을 생성하게 된다. 식 (1)과 같이 최종 출력전압은 두 인버터 출력의 가감에 의해 $-2V_{dc}, -V_{dc}, 0, V_{dc}, 2V_{dc}$ 의 총 5레벨을 형성하게 된다. 입력전압원인 V_{dc} 가 동일하므로 출력전압의 최대값은 $2V_{dc}$

가 되며 각 H-bridge 모듈이 동일한 입력 전압 크기를 가진다면 생성 가능한 출력전압의 레벨 수는 식 (2)에 의해 정의된다.

$$N = 2m + 1 \quad (2)$$

여기서 N 은 출력전압의 레벨 수, m 은 H-bridge 개수를 의미한다. 그림 1은 두 개의 H-bridge 모듈을 가지므로 $N=5$ 가 되어 5레벨 출력 생성이 가능함을 알 수 있다. 단상 풀-브리지 인버터의 스위칭 함수는 다음의 식 (3)과 같이 표현되므로 인버터의 출력전압 v_{out} 은 식 (4)와 같다.

$$\begin{aligned} & Q_{x(y)1}, Q_{x(y)4} = \text{on then } S_{FB} = 1 \\ & Q_{x(y)1}, Q_{x(y)3} = \text{on then } S_{FB} = 0 \\ \text{or } & Q_{x(y)2}, Q_{x(y)4} = \text{on then } S_{FB} = 0 \\ & Q_{x(y)2}, Q_{x(y)3} = \text{on then } S_{FB} = -1 \end{aligned} \quad (3)$$

$$v_{out} = (S_{FB-up} + S_{FB-down})V_{dc} \quad (4)$$

단, $S_{FBn} \in \{1, 0, -1\}$.

여기서 $Q_{x(y)n}$ 은 그림 1의 회로 상에 주어진 스위치의 번호를 의미한다. Q_{xn} 은 상단 스위치, Q_{yn} 은 하단 스위치를 의미하며, n 은 각 스위치의 위치에 따라 주어진 번호이다. 그리고 S_{FB-up} 은 상단 풀-브리지 인버터의 스위칭 함수이며, $S_{FB-down}$ 은 하단 풀-브리지 인버터의 스위칭 함수이다.

2.2 5레벨 출력전압 생성을 위한 SPWM 기반의 스위칭 방법

본 절에서는 2.1절에 설명된 5레벨 출력전압 생성이 가능한 CHML 인버터의 스위칭 방법 중 SPWM 스위칭 방법에 기반을 둔 기존의 PD 스위칭 방법에 대해 설명하고 제안하는 스위칭 방법을 PD, APOD, Unipolar, Bipolar 방법에 따라 제시한다 [12],[13].

2.2.1 기존의 PD 방법에 의한 스위칭 패턴

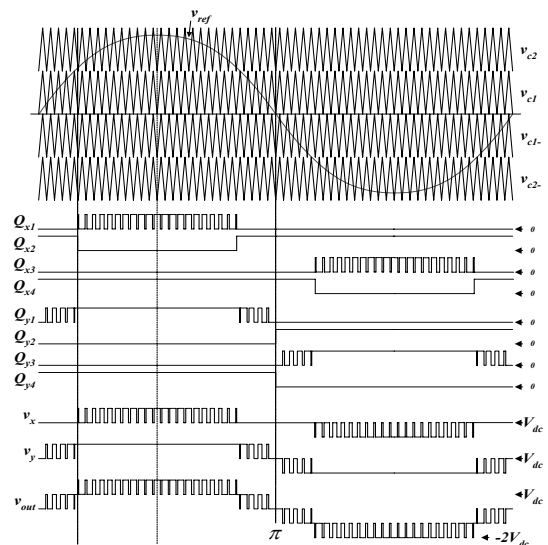


그림 2 기존 PD 스위칭 패턴
Fig. 2 Conventional PD switching pattern

그림 2는 기존의 PD 스위칭 패턴 ($Q_{x1}-Q_{x4}$, $Q_{y1}-Q_{y4}$), 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out})을 보여준다. PD 방식은 기준전압(v_{ref})과 4개의 반송파(v_{c1} , v_{c2} , v_{c1-} , v_{c2-})가 필요하다. 기준전압과 반송파를 비교하여 표 1에 따라 PD 스위칭 패턴을 생성할 수 있다. 그림 2에서 알 수 있듯이 기존 PD 스위칭 패턴은 4개의 스위칭 소자가 고주파의 PWM 동작을 수행하며 나머지 스위치들이 제로 레벨 또는 V_{dc} 레벨을 형성시키기 위해 동작한다. 따라서 부하전력이 상대적으로 큰 하단 H-bridge 모듈의 스위치에 의한 스위칭 손실이 커지는 문제점을 가진다.

표 1 기존 PD 스위칭 패턴

Table 1 Conventional PD switching pattern

$v_{ref} > v_{c1}$	$Q_{y1} = \text{on (PWM)}$	$Q_{y4} = \text{on}$	<i>zero-level</i>
	$Q_{x2} = \text{on}$	$Q_{x4} = \text{on}$	
$v_{ref} > v_{c2}$	$Q_{x1} = \text{on (PWM)}$	$Q_{x4} = \text{on}$	V_{dc} -level
	$Q_{y1} = \text{on}$	$Q_{y4} = \text{on}$	
$v_{ref} < v_{c1-}$	$Q_{y3} = \text{on (PWM)}$	$Q_{y2} = \text{on}$	<i>zero-level</i>
	$Q_{x2} = \text{on}$	$Q_{x4} = \text{on}$	
$v_{ref} < v_{c2-}$	$Q_{x3} = \text{on (PWM)}$	$Q_{x2} = \text{on}$	$-V_{dc}$ -level
	$Q_{y3} = \text{on}$	$Q_{y2} = \text{on}$	

2.2.2. 제안하는 PD 방법에 의한 스위칭 패턴

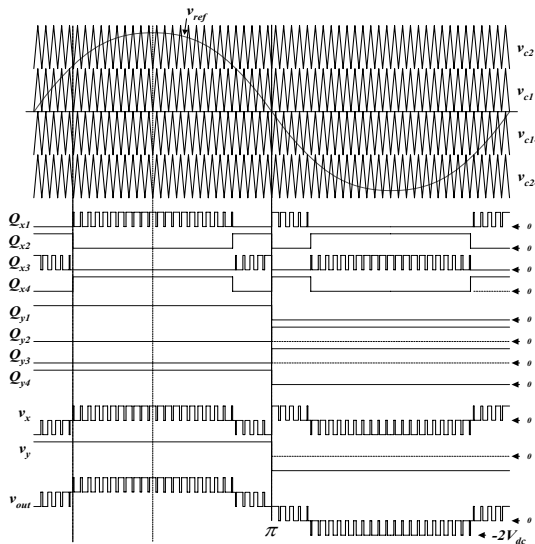


그림 3 제안하는 PD 스위칭 패턴

Fig. 3 Proposed PD switching pattern

기존의 PD 방식에 따른 스위칭 패턴은 상단, 하단의 H-bridge 모듈의 부하당 전력량을 고려하지 않고 모든 스위치가 고주파 동작을 수행하게 되어 부하전력이 상대적으로 큰 하단 H-bridge 모듈의 스위칭 손실이 증가하게 된다. 스위칭 손실을 저감시키면서 동일한 PWM 출력전압을 형성하기 위해 담당하는 부하전력량이 큰 하단 H-bridge 모듈은

저주파 동작을 수행하도록 하고 담당하는 부하 전력량이 상대적으로 작은 상단 H-bridge 모듈이 고주파의 스위칭 동작을 수행하도록 스위칭 방법을 변형한다.

그림 3은 제안하는 PD 스위칭 패턴($Q_{x1}-Q_{x4}$, $Q_{y1}-Q_{y4}$), 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out})을 보여준다. 기준전압이 반송파보다 작은 경우 Q_{x3} 는 ON/OFF 동작을 반복 수행하여 PWM 펄스를 생성하게 된다. 기준전압과 반송파를 비교하여 표 2에 따라 PD 스위칭 패턴을 생성한다. 상단 2개의 스위치만 고주파 스위칭 동작을 수행하며 나머지 하단 모듈의 스위치들은 V_{dc} 형성을 위한 저주파 스위칭 동작을 수행한다. 입력전원에서 부하로 전달되는 전력은 전압 파형의 면적에 비례하므로 대부분의 전력은 하단 모듈을 통해서 부하로 전달되어 제안하는 스위칭 패턴이 스위칭 손실 개선 차원에서 유리하게 된다.

표 2 제안하는 PD 스위칭 패턴

Table 2 Proposed PD switching pattern

$v_{ref} < v_{c1}$	$Q_{x3} = \text{on (PWM)}$	$Q_{x2} = \text{on}$	<i>voltage cancellation</i>
$v_{ref} < v_{c2}$	$Q_{x1} = \text{on (PWM)}$	$Q_{x4} = \text{on}$	<i>voltage addition</i>
$v_{ref} > 0$	$Q_{y1} = \text{on}$	$Q_{y4} = \text{on}$	V_{dc} -level
$v_{ref} < 0$	$Q_{y3} = \text{on}$	$Q_{y2} = \text{on}$	$-V_{dc}$ -level

2.2.3. 제안하는 스위칭 방법의 APOD, Bipolar, Unipolar 스위칭 패턴 구현

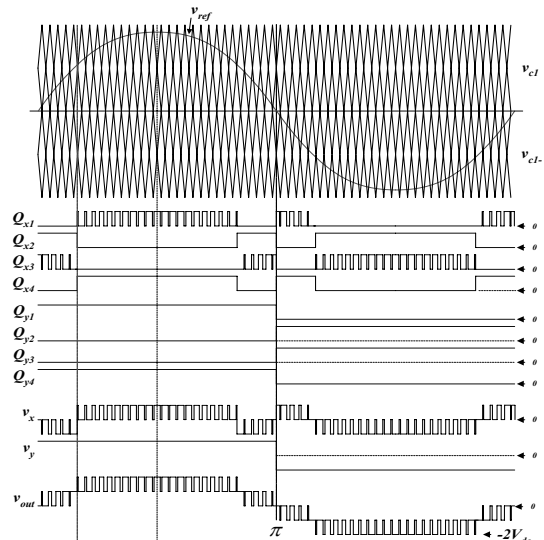
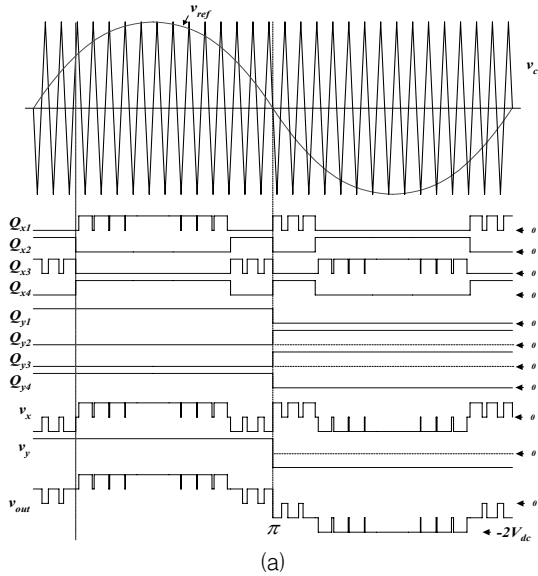


그림 4 제안하는 APOD 스위칭 패턴

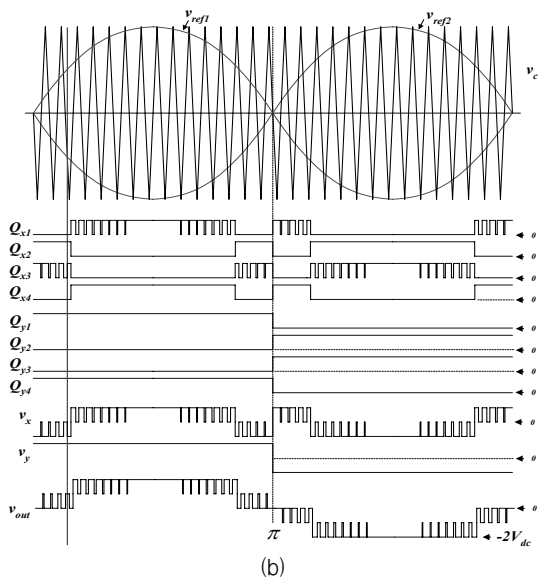
Fig. 4 Proposed APOD switching pattern

제안하는 스위칭 패턴은 APOD, Bipolar, Unipolar 방식에 의해서도 구현이 가능하다. 그림 4와 그림 5는 제안하는 스위칭 패턴을 APOD, Bipolar, Unipolar 방식으로 구현한 파

형을 보여준다. PD, APOD 방식과 비교하여 Bipolar, Unipolar 방식의 가장 큰 차이점은 단일 반송파를 이용하여 구현할 수 있다는 점이다. 그러나 하나의 반송파로 인해 PWM 펄스폭이 선형적으로 증가하게 되어 레벨 천이구간에 THD가 악화되는 문제가 발생한다 [13].



(a)



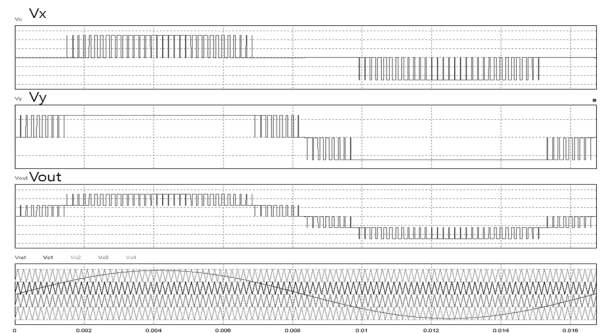
(b)

그림 5 제안하는 스위칭 패턴의 구현, (a) Bipolar 스위칭, (b) Unipolar 스위칭
 Fig. 5 Realization of the proposed switching pattern, (a) Bipolar switching, (b) Unipolar switching

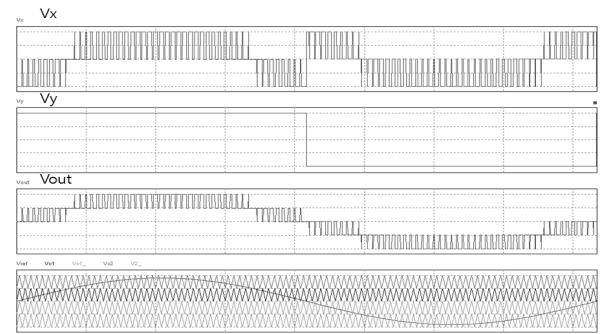
3. 시뮬레이션 결과

기존의 스위칭 패턴과 제안하는 방식의 비교를 위해 기존 PD 스위칭 패턴과 제안하는 스위칭 패턴의 PD, APOD, Bipolar, Unipolar 방법에 대한 PSIM 시뮬레이션 결과를 제시한다. 독립된 입력전원을 갖는 두 대의 인버터 모듈을 사용하고 순수 저항만을 부하로 고려한다.

그림 6(a)는 기존의 PD 방법을 이용하여 생성된 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out}), 기준전압(v_{ref})과 4개의 반송파(v_{c1} , v_{c2} , v_{c3} , v_{c4})를 보여준다. 기준전압과 반송파를 비교하여 표 1에 따라 PD 스위칭 패턴을 생성하고 있음을 확인할 수 있다. 그림 6(a)에서 알 수 있듯이 기존 PD 스위칭 패턴은 상단과 하단의 모든 스위칭 소자가 고주파의 PWM 동작을 수행하며 나머지 스위치들이 제로 레벨 또는 V_{dc} 레벨을 형성시키기 위해 동작한다. 따라서 부하전력이 상대적으로 큰 하단 H-bridge 모듈의 스위치에 의한 스위칭 손실이 부하의 증가량에 비례하여 증가함을 예상할 수 있다.



(a)



(b)

그림 6 시뮬레이션 결과, 위에서부터 상단 H-bridge 출력전압 (v_x), 하단 H-bridge 출력전압 (v_y), 출력전압 (v_{out}), 기준파 (v_{ref})와 반송파 (v_c), (a) 기존 PD 스위칭 패턴, (b) 제안하는 PD 스위칭 패턴
 Fig. 6 Simulation results, from the upper to lower, output voltage of the upper H-bridge (v_x), output voltage of the lower H-bridge (v_y), output voltage (v_{out}), reference voltage (v_{ref}) and carrier wave (v_c), (a) conventional PD switching pattern, (b) proposed PD switching pattern

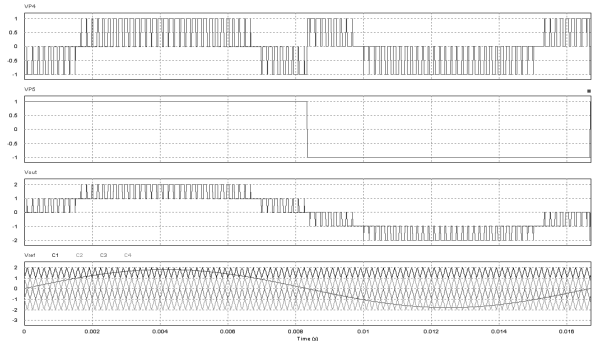
그림 6(b)는 제안하는 PD 스위칭 패턴에서의 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out}), 기준전압과 반송파의 파형을 보여준다. 기준전압과 반송파를 비교하여 기준전압이 반송파보다 작은 경우 Q_{x3} 는 ON/OFF 동작을 반복 수행하여 PWM

펄스를 생성하게 된다. 상단 H-bridge 모듈의 출력전압(v_x)에서 알 수 있듯이 제안하는 방식은 V_{dc} 레벨, $-V_{dc}$ 레벨의 경우 기본 출력 파형에서 v_x 전압을 빼주는 형태이고 $2V_{dc}$ 레벨, $-2V_{dc}$ 레벨의 경우는 기본 출력 파형에 v_x 전압을 더해서 PWM 파형을 생성하는 방법이다. 결국 상단 2개의 스위치만 고주파 스위칭 동작을 수행하며 나머지 하단 모듈의 스위치들은 V_{dc} 형성을 위한 저주파 스위칭 동작을 수행한다. 입력전원에서 부하로 전달되는 전력은 전압 파형의 면적에 비례하므로 대부분의 전력은 하단 모듈을 통해서 부하로 전달되어 제안하는 스위칭 패턴이 스위칭 손실 개선 차원에서 유리하다.

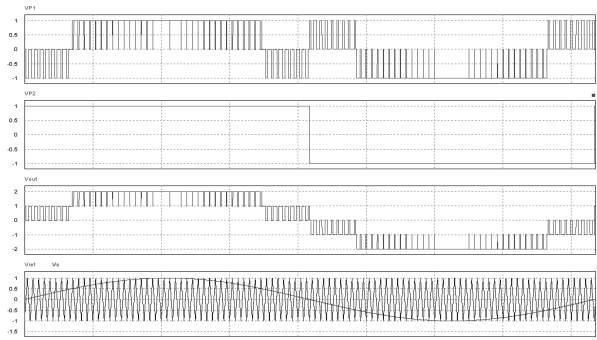
그림 7은 제안하는 스위칭 패턴을 APOD, Bipolar, Unipolar 스위칭 방법에 의해 구현한 결과를 보여준다. 그림 7(a)는 제안하는 APOD 스위칭 패턴에서의 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out}), 기준전압과 반송파의 파형을 보여준다. APOD 방식에서 양(+)과 음(-)의 극성의 반송파는 동일한 극성을 가지며 제로 레벨을 기준으로 각각의 반송파 극성은 반대이다. 따라서 반송파에 대한 고조파 성분은 출력 전압에 나타나지 않으며 반송파의 기수 고조파 성분의 양측대파만 나타나는 특징이 있다. 상단 H-bridge 모듈의 출력전압(v_x)에서 알 수 있듯이 APOD 방법도 PD 방법과 동일하게 V_{dc} 레벨, $-V_{dc}$ 레벨의 경우 기본 출력 파형에서 v_x 전압을 빼주는 형태이고 $2V_{dc}$ 레벨, $-2V_{dc}$ 레벨의 경우는 기본 출력 파형에 v_x 전압을 더해서 PWM 파형을 생성하는 방법이다. 결국 PD 방법과 동일하게 상단 2개의 스위치만 고주파 스위칭 동작을 수행하며 나머지 하단 모듈의 스위치들은 V_{dc} 형성을 위한 저주파 스위칭 동작을 수행한다. 입력전원에서 부하로 전달되는 전력은 전압 파형의 면적에 비례하므로 대부분의 전력은 하단 모듈을 통해서 부하로 전달되어 제안하는 APOD 스위칭 패턴도 기존의 APOD 스위칭 방법과 비교해 볼 때 스위칭 손실 개선 차원에서 유리하게 된다.

그림 7(b)는 제안하는 스위칭 패턴의 Bipolar 방식의 구현에서 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out}), 기준전압과 반송파의 파형을 보여준다. PD, APOD 방식과 비교하여 Bipolar 스위칭 방식의 가장 큰 차이점은 단일 반송파를 이용하여 구현할 수 있다는 점이다. 그러나 하나의 반송파로 인해 PWM 펄스폭이 선형적으로 증가하게 되어 레벨의 천이구간에 THD가 악화되는 문제가 발생한다. 그림 7(c)는 제안하는 스위칭 패턴의 Unipolar 방식의 구현에서 상단 H-bridge 모듈의 출력전압(v_x), 하단 H-bridge 모듈의 출력전압(v_y), 출력전압(v_{out}), 기준전압과 반송파의 파형을 보여준다. Bipolar 스위칭 방식과 마찬가지로 단일 반송파를 이용하여 구현할 수 있지만 하나의 반송파로 인해 PWM 펄스폭이 선형적으로 증가하게 되어 레벨 천이구간에 THD가 악화되는 문제가 발생한다.

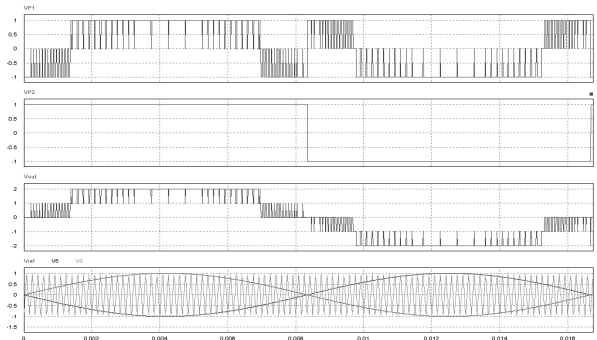
그림 6과 그림 7에 제시된 시뮬레이션 결과 파형에서 보여주듯이 기존의 스위칭 패턴이 상단과 하단 모두 고주파의 PWM 스위칭 패턴을 가지는 반면 제안하는 스위칭 패턴은 상단의 모듈만 고주파 스위칭을 하게 되고 하단의 모듈은 저주파 스위칭을 하게 된다. 결국 입력 전원에서 부하로 전달되는 전력은 전압 파형의 면적에 비례하므로 대부분의 전



(a)



(b)



(c)

그림 7 시뮬레이션 결과, 위에서부터 상단 H-bridge 출력전압 (v_x), 하단 H-bridge 출력전압 (v_y), 출력전압 (v_{out}), 기준파 (v_{ref})와 반송파 (v_c), (a) 제안하는 APOD 스위칭 패턴, (b) 제안하는 Bipolar 스위칭 패턴, (c) 제안하는 Unipolar 스위칭 패턴

Fig. 7 Simulation results, from the upper to lower, output voltage of the upper H-bridge (v_x), output voltage of the lower H-bridge (v_y), output voltage (v_{out}), reference voltage (v_{ref}) and carrier wave (v_c), (a) proposed APOD switching pattern, (b) proposed bipolar switching pattern, (c) proposed unipolar switching pattern

력은 하단 모듈을 통해서 부하로 전달되어 제안하는 스위칭 패턴이 기존 스위칭 방법에 비해 스위칭 손실의 개선 차원에서 유리하게 된다.

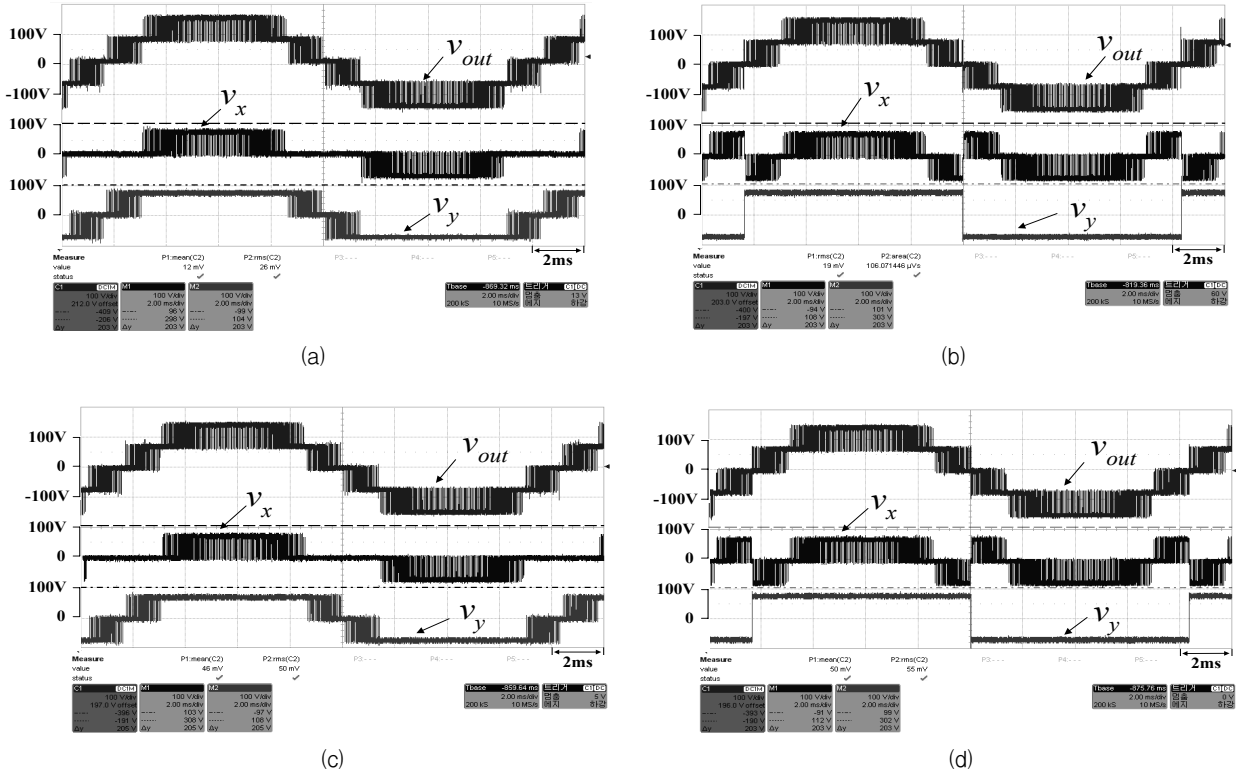


그림 8 실험 결과, 상단 H-bridge 출력전압 (v_x), 하단 H-bridge 출력전압 (v_y), 출력전압 (v_{out}), (a) 기존 PD 스위칭 패턴, (b) 제안하는 PD 스위칭 패턴, (c) 기존 APOD 스위칭 패턴, (d) 제안하는 APOD 스위칭 패턴

Fig. 8 Experiment results, output voltage of the upper H-bridge (v_x), output voltage of the lower H-bridge (v_y), output voltage (v_{out}), (a) prior PD switching pattern, (b) proposed PD switching pattern, (c) prior APOD switching pattern, (d) proposed APOD switching pattern

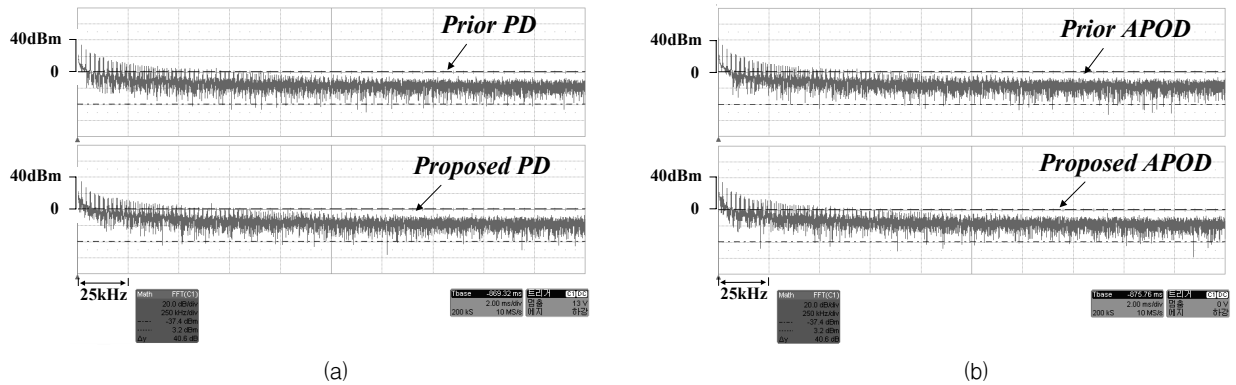


그림 9 출력전압 (v_{out}) FFT 결과, (a) PD 스위칭 패턴, (b) APOD 스위칭 패턴

Fig. 9 FFT results of output voltage (v_{out}), (a) PD switching pattern, (b) APOD switching pattern

4. 실험 결과

제안하는 스위칭 패턴의 실질적인 효율개선 효과를 검증하기 위해 시작품을 제작하고 실험을 수행한다. 실험에서 H-bridge 모듈의 독립 입력전압은 배터리 직렬연결을 이용하여 각각 DC 72[V]로 구성하며 AC 110[V], 60[Hz] 출력전압을 생성하도록 설계하였다. 각 H-bridge 모듈의 스위칭 소자는 Power MOSFET IRF360PBA를 사용하며, ATMEL사의 AT90CAN128을 기반으로 한 제어기를 구성하여 20

[kHz]의 PWM 스위칭 패턴을 생성한다. 시뮬레이션 결과로부터 Bipolar와 Unipolar 방식은 하나의 반송파를 이용하기 때문에 PWM 펄스폭이 선형적으로 증가하게 되어 레벨의 천이구간에 THD가 악화되는 문제가 발생됨을 확인하였다. 따라서 실험에서는 PD, APOD 방법에 대해서만 기존 스위칭 패턴과 제안하는 스위칭 패턴을 비교한다. 각각의 스위칭 방법에 따라 200[W]급에서 1[kW]급까지의 부하 조건에서 실험을 수행한다.

그림 8은 기존의 PD, APOD 스위칭 패턴과 제안하는

PD, APOD 스위칭 패턴의 실험 결과를 보여준다. 기존의 PD, APOD 스위칭 패턴이 상단과 하단 모두 PWM 스위칭 패턴을 가지는 반면 제안하는 PD, APOD 스위칭 패턴은 상단의 모듈만 고주파 스위칭을 하게 되고 하단의 모듈은 저주파 스위칭을 하게 된다. 그림 8(b)와 그림 8(d)의 실험 과정에서 알 수 있듯 제안하는 스위칭 패턴은 상단 H-bridge 모듈의 스위치는 20 [kHz]의 고주파 스위칭 동작을 수행하고 하단 H-bridge 모듈은 기본 주파수인 60[Hz] 스위칭을 하기 때문에 기존 스위칭 패턴에 비해 스위칭 손실이 개선된다. 특히 입력 전원에서 부하로 전달되는 전력은 전압 파형의 면적에 비례하므로 대부분의 전력은 하단 모듈을 통해서 부하로 전달되어 제안하는 스위칭 패턴이 스위칭 손실의 개선 차원에서 유리하게 된다.

그림 9는 기존의 PD, APOD 스위칭 패턴과 제안하는 PD, APOD 스위칭 패턴의 출력전압에 대한 FFT 결과를 보여준다. 결과적으로 4개의 조건에 대한 FFT 결과가 약 40[dBm]의 변동 범위 내의 거의 동일한 결과를 보여주는 데 이는 스위칭 패턴 생성 방법과 크게 상관없이 최종 출력전압의 파형은 거의 동일하게 생성되기 때문이다.

그림 10은 부하 상태에 따른 각 스위칭 패턴의 효율을 비교한다. 그림 10(a)는 PD 스위칭 패턴에 대한 비교 결과로 전 부하영역에서 제안하는 스위칭 패턴이 효율 개선 효과가 있음을 보여준다. 400[W]에서 최대 3.93[%]의 효율 개선 효과

가 있으며, 900[W]에서 최소 0.14[%]의 효율 개선 효과가 계속되어 평균 1.84[%]의 효율 개선 효과를 확인하였다. 그림 10(b)는 APOD 스위칭 패턴에 대한 비교 결과로 PD 스위칭 패턴과 같이 전 부하영역에서 제안하는 스위칭 패턴이 효율 개선 효과가 있음을 보여준다. 400[W]에서 최대 3.89[%], 1[kW]에서 최소 1.21[%]의 효율 개선 효과가 계속되어 평균 2.65[%]의 효율 개선 효과를 확인할 수 있다. 그림 10의 그래프에서 알 수 있듯이 부하량이 증가할수록 기존 방식과 제안하는 방식의 효율이 비슷해지는 결과를 보인다. 이처럼 부하량 증가에 따라 효율 개선 효과가 저감되는 이유는 부하량이 증가할수록 스위칭 손실에 의한 영향보다는 부하 전류 증가에 따른 스위치, 도선 등에 발생하는 도통 손실의 증가, ESR(Equivalent Series Resistance), ESL(Equivalent Series Reactance) 등에 의한 출력 필터 인덕터의 손실 성분 등에 더 크게 영향을 받기 때문이다.

5. 결론

본 논문에서는 두 개의 H-Bridge 모듈을 가지는 Cascaded H-bridge PWM 멀티레벨 인버터의 스위칭 손실 저감을 위해 SPWM 기반의 효율적인 스위칭 패턴을 제안하였다. 제안하는 스위칭 패턴은 하단의 인버터 모듈의 스위치는 기본 출력 전압 레벨을 형성하도록 저주파의 스위칭을 하였으며 상단의 인버터 모듈의 스위치는 고주파 스위칭을 하여 하단의 저주파 기본 출력에 가감하여 출력 전압을 생성하도록 구성하였다. 이는 입력 전원에서 부하로 전달되는 전력이 전압 파형의 면적에 비례하므로 대부분의 부하전력이 하단 H-bridge 모듈을 통해서 부하로 전달되도록 스위칭 패턴을 변형함으로써 효율 개선의 효과를 얻을 수 있는 원리이다. 제안하는 스위칭 방법의 타당성을 검증하기 위해 PD, APOD, Unipolar, Bipolar 스위칭 방법에 대한 기본적인 시뮬레이션을 수행하였고, 실험을 통해 제안하는 스위칭 방법이 기존의 PD 스위칭 방법에 비해 400[W] 부하 조건에서 최대 3.93[%], APOD 방식은 최대 3.89[%]의 효율 개선 효과가 있음을 확인하였다.

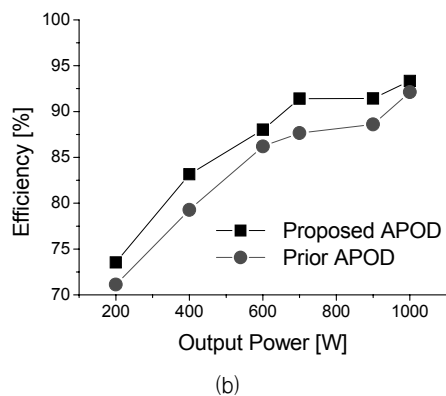
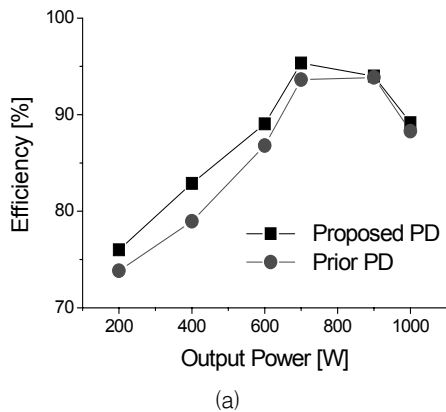


그림 10 부하 상태에 따른 효율비교, (a) PD 스위칭 패턴, (b) APOD 스위칭 패턴

Fig. 10 Comparison of efficiency according to load conditions, (a) PD switching pattern, (b) APOD switching pattern

감사의 글

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임 (No.2012-006120)

References

[1] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Pérez, "A Survey on Cascaded Multilevel Inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2197-2206, July 2010.

[2] H. Abu-Rub, J. Holtz, J. Rodriguez, and Ge Baoming, "Medium-Voltage Multilevel Converters State of the Art, Challenges, and Requirements in Industrial Applications," *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2581-2596, Aug. 2010.

[3] J. Rodriguez, J.-S. Lai, and F. Z. Peng, "Multilevel

inverters: A survey of topologies, controls, and applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724 - 738, Aug. 2002.

- [4] L. G. Franquelo, J. L. Rodriguez, J. Leon, S. Kouro, R. Portillo, and M. A. Prats, "The age of multilevel converters arrives," *IEEE Ind. Electron. Mag.*, vol. 2, no. 2, pp. 28 - 39, Jun. 2008.
- [5] J.-S. Lai and F. Z. Peng, "Multilevel converters—A new breed of power converters," *IEEE Trans. Ind. Appl.*, vol. 32, no. 3, pp. 509-517, May 1996.
- [6] F. S. Kang, S. J. Park, S. E. Cho, C. U. Kim, and T. Ise, "Multilevel PWM inverters suitable for the use of stand-alone photovoltaic power systems," *IEEE Trans. Energy Conv.*, vol. 20, no. 4, pp. 906-915, 2005.
- [7] Hong Un-Taek, Choi Won-Kyun, Kwon Cheol-Soon, Kang Feel-Soon, "Hybrid Multilevel Inverter Connecting a Full-bridge Inverter to a 5-level Inverter in Series", *The Transactions of the Korean Institute of Power Electronics*, vol. 16, no. 1, pp.30-37, 2011.
- [8] Choi Won-Kyun, Kwon Cheol-Soon, Hong Un-Taek, Kang Feel-Soon, "Multilevel Inverter using Two 5-level Inverters Connected in Series", *The Transactions of the Korean Institute of Power Electronics*, vol. 15, no. 5, pp.376-380, 2010.
- [9] Sun Pil Kim, Bo Chang Jung, Feel-Soon Kang, "iconManInfoEfficient switching pattern for cascaded H-bridge multilevel inverter", *KIEE Annual Conference*, pp. 1167-1168, July 2011
- [10] Y. Liu, H. Hong, and A. Q. Huang, "Real-time calculation of switching angles minimizing THD for multilevel inverters with step modulation," *IEEE Trans. Ind. Electron.*, vol. 56, no. 2, pp. 285 - 293, Feb. 2009.
- [11] J. Sun, S. Beineke, and H. Grotstollen, "Optimal PWM based on realtime solution of harmonic elimination equations," *IEEE Trans. Power Electron.*, vol. 11, no. 4, pp. 612 - 621, Jul. 1996.
- [12] B. Velaerts, and P. Mathys, "Study of 2 and 3-level precalculated Modulations," in *Proc. EPE'91 Conf.*, vol. 3, pp. 228-234.
- [13] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters, Applications, and Design*, 2nd Edition, JOHN WILEY & SONS, INC. pp. 202-218, 1995.

저 자 소 개



정 보 창 (鄭保昌)

1979년 8월 20일생. 2010년 한밭대 전자공학과 졸업. 2012년 동 대학원 제어계측공학과 졸업(석사). 2012년 3월~현재 (주)스웰 대리.

Tel : 010-4630-2507

E-mail : sig00sig00@naver.com



김 선 필 (金善必)

1985년 4월 7일생. 2011년 한밭대 제어계측공학과 졸업. 2013년 동대학원 제어계측공학과 졸업(석사). 2013년 3월~현재 전남대 전기공학과 박사과정.

Tel : 010-4116-0670

E-mail : spkim8504@gmail.com



김 광 수 (金光洙)

1972년 2월 19일생. 1996년 서울대 전기공학부 졸업. 1998년 동 대학원 전기공학부 졸업(석사). 2004년 동 대학원 전기컴퓨터공학부 졸업(박사). 2004년 1월~2007년 3월 삼성전자 통신연구소 책임연구원. 2007년 4월~2008년 2월 현대자동차 차량정보기획팀 과장. 2008년 3월~현재 한밭대 전자제어공학과 조교수.

Tel : 042-821-1171

E-mail : kskim@hanbat.ac.kr



박 성 준 (朴晟濬)

1965년 3월 20일생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(박사). 2002년 동 대학원 지능기계공학과 졸업(박사). 1996년~2000년 거제대학 전기과 조교수. 2000년~2003년 동명대학 전기과 조교수. 2003년 8월~현재 전남대학교 전기공학과 교수.

Tel : 062-530-1741

E-mail : sjpark1@chonnam.ac.kr



강 필 순 (姜弼淳)

1973년 9월 5일생. 1998년 경상대 전기공학과 졸업. 2000년 부산대 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(박사). 2003년 3월~2004년 8월 일본 오사카대학 전기공학과 박사후 과정. 2012년 1월~2013년 1월 미국 콜로라도주립대 전기컴퓨터공학과 방문연구교수. 2004년 9월~현재 한밭대 전자제어공학과 부교수.

Tel : 042-821-1172

E-mail : feelsoon@hanbat.ac.kr