
IEEE 802.15.4g MR-OFDM SUN 표준을 지원하는 0.18- μ m CMOS 기저대역 회로 설계에 관한 연구

배준우* · 김창완**

A 0.18- μ m CMOS Baseband Circuits for the IEEE 802.15.4g MR-OFDM SUN Standard

Jun-woo Bae* · Chang-wan Kim**

이 논문은 2013년도 동아대학교 학술연구비를 지원받았음

요 약

본 논문에서는 IEEE 802.15.4g MR-OFDM SUN 시스템에 적용 가능한 4개의 멀티채널 대역폭 및 최대 84 dB 전압 이득을 제공할 수 있는 기저대역 수신기를 제안한다. 제안하는 기저대역 수신기는 연산증폭기를 이용한 저항 부캐 환 구조의 가변 이득 증폭기 2개와 한 개의 Active-RC 5차 Chebyshev 필터, 그리고 한 개의 DC-offset 제거 회로로 구성된다. 제안하는 기저대역 수신기는 100 kHz, 200 kHz, 400 kHz, 그리고 600 kHz의 1 dB 다중 채널 차단 주파수를 지원하며, +7 dB에서 +84 dB까지 1 dB 단계로 전압 이득을 제공한다. 또한 제안하는 기저대역 수신기는 DC-offset 제거 회로를 사용함으로써 직접 변환 수신기 구조에서 발생하는 DC-offset 문제를 회피하였다. 모의실험 결과 제안하는 수신기는 최대 차동 신호 1.5 V_{pp}의 입력 신호를 받아들일 수 있으며, 5 kHz와 500 kHz에서 42 dB, 37.6 dB 노이즈 지수를 각각 제공한다. 제안하는 I/Q 기저대역 수신기는 0.18- μ m CMOS 공정으로 설계되었으며, 1.8 V의 전압으로 부터 총 17 mW 전력을 소모한다.

ABSTRACT

This paper has proposed a multi-channel and wide gain-range baseband circuit blocks for the IEEE 802.15.4g MR-OFDM SUN systems. The proposed baseband circuit blocks consist of two negative-feedback VGAs, an active-RC 5th-order chebyshev low-pass-filter, and a DC-offset cancellation circuit. The proposed baseband circuit blocks provide 1 dB cut-off frequencies of 100 kHz, 200 kHz, 400 kHz, and 600 kHz respectively, and achieve a wide gain-range of +7 dB~+84 dB with 1 dB step. In addition, a DC-offset cancellation circuit has been adopted to mitigate DC-offset problems in direct-conversion receiver. Simulation results show a maximum input differential voltage of 1.5 V_{pp} and noise figure of 42 dB and 37.6 dB at 5 kHz and 500 kHz, respectively. The proposed I-and Q-path baseband circuits have been implemented in 0.18- μ m CMOS technology and consume 17 mW from a 1.8 V supply voltage.

키워드

CMOS, IEEE 802.15.4g, 지역통과 필터, 스마트 그리드, 가변 이득 증폭기, 무선통신

Key word

CMOS, IEEE 802.15.4g, LPF, Smart Grid, VGA, Wireless communications

* 준회원 : 동아대학교 (주저자)

** 정회원 : 동아대학교 (교신저자, cwkim@dau.ac.kr)

접수일자 : 2012. 10. 18

심사완료일자 : 2012. 11. 19

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.3.685>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

2012년 3월 IEEE 802.15.4g SUN(Smart Utility Network)표준은 기존의 스마트 그리드(Smart Grid)와 연계할 수 있는 새로운 물리계층에 대한 국제 표준으로 결정됨에 따라 이 시스템에 최적화된 RF 송수신기를 시급히 개발할 필요성이 있다[1]. IEEE 802.15.4g SUN 표준은 저속 데이터 전송을 위해서는 FSK(frequency shift keying) 방식을 사용하고 고속 데이터 전송을 위해서는 MR-OFDM (Multi-Rate and Multi-Regional Orthogonal Frequency Division Multiplexing) 방식을 사용할 수 있기 때문에 응용 분야별로 DC 전력 소모를 효율화 할 수 있다.

그림 1은 본 논문에서 제안하는 MR-OFDM SUN 시스템을 위한 RF 수신기의 구성 블록도를 보여 주고 있으며, 집적도를 높이고 칩 면적을 줄이기 위해 직접 변환 방식을 채택하였다. 그림 1의 MR-OFDM SUN 수신기는 기존의 WPAN 계열 수신기들[2-3] 보다 멀티채널, 높은 전압 이득, 그리고 높은 선형특성을 요구한다. 보다 상세하게 설명하면, MR-OFDM SUN 시스템을 지원하는 RF 수신기는 50 kbps에서 800 kbps까지의 다중 데이터 전송 속도를 공급하기 위해 200 kHz, 400 kHz, 800 kHz, 그리고 1.2 MHz까지 4 종류로 채널 대역폭이 가변 될 수 있어야 한다. 따라서 제안하는 MR-OFDM SUN용 직접변환 방식의 기저대역 수신기 회로는 100 kHz, 200 kHz, 400 kHz, 그리고 600 kHz의 다중 채널 차단 주파수가 PVT(Process, Voltage, Temperature) 변화와 관계없이 지원해야 한다. 또한, 제안하는 RF 수신기는 안테나 입력단에서 최저 -103 dBm에서 최대 -20 dBm 크기의 RF 입력 신호를 받아 증폭 및 하향 주파수변환 과정 후, ADC 입력에 차동 신호 1.6 Vpp의 전압 스윙을 늘 일정하게 공급해야 하므로 기저 대역 수신기는 70 dB 이상의 높은 전압 이득과 60 dB 이상의 넓은 이득 범위를 가져야 한다. MR-OFDM 방식에서 +10 dB PAPR (peak-to-average power ratio)가 적용되었기 때문에, 기저대역 수신기는 전류를 적게 소모하면서 높은 선형특성을 확보해야 하는 부담을 가진다.

본 논문에서는 그림 1의 IEEE 802.15.4g SUN 직접변환 방식의 RF 수신기에서, 기저대역 수신부 회로에 대한 설계 방법 및 모의실험 결과에 대해 기술한다.

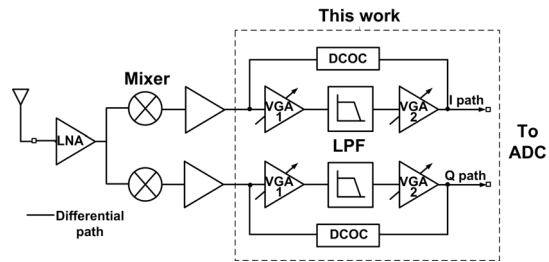


그림 1. MR-OFDM RF 수신기 블록도
Fig. 1 MR-OFDM RF receiver block

II. 본 론

그림 2는 본 논문에서 제안하는 기저대역 회로의 in-phase path 회로만 상세하게 나타낸 그림이다. 그림 2에서 보는 바와 같이 제안하는 저역통과 필터는 SUN(Smart Utility Network) 표준에서 요구하는 감쇄특성을 만족시키기 위해 Active-RC 구조의 5차 Chebyshev 필터 구조로 설계하였다. Chebyshev type의 필터는 Butterworth type의 필터보다 group delay가 크고 passband ripple이 발생하는 단점이 있지만, 적은 차수를 이용하여 보다 높은 감쇄특성을 가진다는 장점이 있어 저전력 설계에 유리하다[4]. 그림 2의 제안하는 저역통과 필터는 100 kHz, 200 kHz, 400 kHz, 그리고 600 kHz의 1 dB 차단 주파수를 제공함으로써 MR-OFDM SUN 표준에서 요구하는 다중 채널 대역폭을 만족한다.

그림 2에서 저역통과 필터의 차단 주파수 f_c 는 저항 (R_s)과 커패시터 ($C_1 \sim C_5$)의 곱에 반비례하여 결정되는데, 본 연구에서는 저항보다 PVT (Process, Voltage, Temperature)변화에 둔감한 커패시터 ($C_1 \sim C_5$) 값을 각각 조정함으로써 차단주파수가 안정되게 가변하도록 설계하였다. 또한, 저역통과 필터의 삽입손실은 입력저항(R_s/K)과 R_s 의 비로 결정되는데 본 연구에서는 칩 사이즈를 고려하여 R_s 를 140 kΩ으로 결정하였다. 폴리 저항을 이용하여 실리콘 상에서 큰 값을 구현 할 때 발생하는 기생 저항과 커패시터 성분을 고려하여 실제 설계에서는 R_s/K 값을 69.4 kΩ, 23.2 kΩ, 5.6 kΩ으로 가변 함으로써 각각 0 dB, 12 dB, 그리고 24 dB의 삽입손실을 가지도록 설계하여 수신단 전체의 이득 조절에 기여하도록 하였다[5].

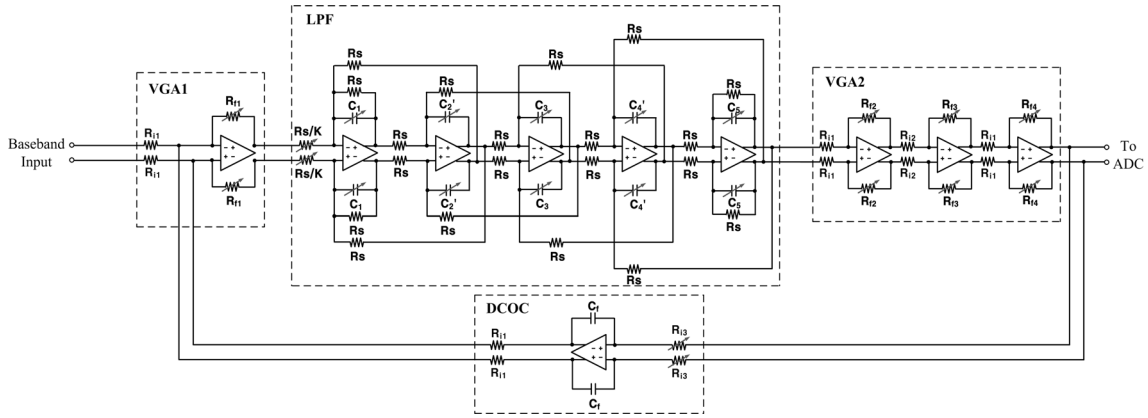


그림 2. 제안하는 기저대역 수신기 구성 블록도
Fig. 2 The proposed baseband circuit block diagram

그림 2의 제안하는 가변 이득 증폭기(VGA1과 VGA2)는 MR-OFDM 통신방식의 +10 dB 수준의 PAPR을 만족하기 위해 선형 특성이 뛰어난 연산증폭기를 활용한 저항 부배환 구조를 채택하였다. 그림 2의 첫 번째 가변 이득 증폭기(VGA1)는 기저대역 수신기의 잡음 특성을 결정하므로 저역통과 필터 및 두 번째 가변 이득 증폭기(VGA2)에서 발생하는 열잡음과 $1/f$ 노이즈를 줄여주기 위해 6 dB의 단계로 0 dB ~ +18 dB 범위의 가변 이득을 제공한다. 또한, $1/f$ 노이즈 영향을 줄이기 위하여, VGA1에 사용된 연산증폭기는 특별히 큰 사이즈의 트랜지스터를 사용하고 낮은 전류를 소모하도록 설계하였다. 그림 2의 두 번째 가변 이득 증폭기(VGA2)는 LPF에서 채널 선택을 한 후 ADC의 입력단으로 차동 신호 $1.6 V_{pp}$ 크기의 신호를 일정하게 전달해야 하므로 높은 이득을 제공해야 한다. 이를 위해 VGA2는 세 개의 부배환 연산증폭기를 이용하여 1 dB 단계로 +7 dB ~ +42 dB의 가변 이득을 제공한다. 그림 2의 제안하는 기저대역 수신기는 저역 통과 필터의 12 dB 단계로 0 dB ~ +24 dB의 가변 이득과 가변 이득 증폭기(VGA1과 VGA2)의 1 dB 단계로 +7 dB ~ +60 dB의 가변 이득을 합쳐서 총 +7 dB ~ +84 dB 가변 이득을 1 dB 단계로 제공할 수 있다.

제안하는 기저대역 수신기는 직접 변환 수신기 구조에 사용되기 때문에 DC-offset 문제를 해결하기 위해 적분기를 이용한 DC-offset 제거 회로를 적용하였다. 그림

2의 DC-offset 제거 회로는 1개의 적분기로 구성되며, 기저대역 수신기의 출력과 입력 사이에 부배환 회로를 구성하여 VGA2 출력 전압 신호를 받아서 적분기 출력단의 R_{i1} 을 통해 전류 신호로 변환하여 VGA1 입력단에 인가한다. 제안하는 DC offset 제거 회로는 적분기의 입력 저항 R_{i3} 을 가변 함으로써 기저대역 수신기의 이득 변화에 따라 항상 1 kHz 이하에서 고역 통과 차단 주파수를 가지도록 설계하였다. MR-OFDM 수신 신호는 1개의 DC에서 5 kHz까지의 대역폭을 가지는 DC sub-carrier를 제공하므로, DC-offset 제거를 위해 기저대역 수신기의 고역 통과 차단 주파수는 설계 마진을 감안하여 1 kHz 이하가 되게 결정하였다.

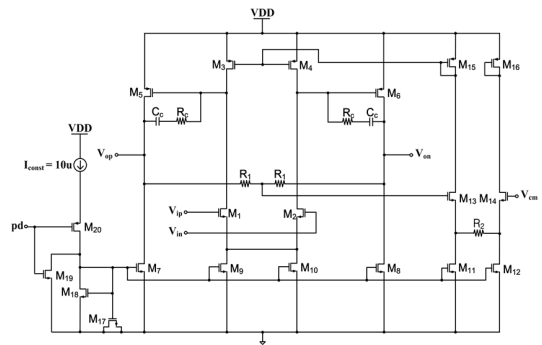


그림 3. 연산증폭기 회로도
Fig. 3 Schematic of operational amplifier

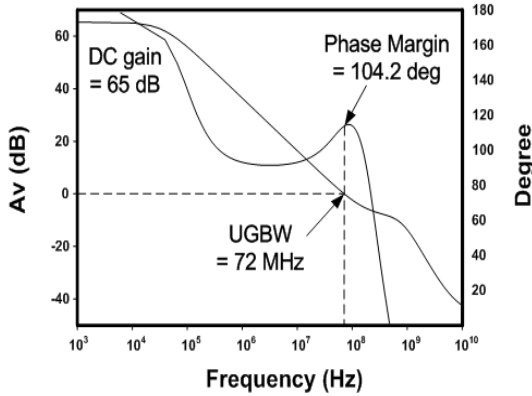


그림 4. 연산 증폭기의 위상 및 이득 특성 곡선
Fig. 4 Phase and gain characteristic curves

그림 3은 그림 2의 VGA2, 적분기, 그리고 LPF에 사용된 본 논문에서 제안한 연산증폭기의 회로도를 보여 준다. 그림 2의 VGA1에 사용된 연산증폭기는 그림 3과 동일한 연산증폭기 구조를 사용하였으나, $1/f$ 노이즈 특성을 개선시키기 위해 입력 트랜지스터 M1-M2의 사이즈와 DC 전류가 최적화 되었다.

그림 3에서 보는 바와 같이, 제안하는 연산증폭기는 높은 DC 이득을 만족시키기 위해 PMOS를 이용한 능동 부하(M_3, M_4)를 사용하였고, 선형특성을 만족시키기 위해서 두 개의 단으로 구성된 연산 증폭기 구조를 채택하였다. 또한, 연산증폭기의 공통 출력 DC 전압 $V_{CM}=0.9V$ 를 안정적으로 확보하기 위해 CMFB (common-mode feedback) 루프를 적용하였고, 61.8° 의 안정적인 위상 여유를 확보 하였다.

그림 3의 제안하는 연산 증폭기는 안정도(Stability) 확보를 위해 첫 번째 단의 출력과 두 번째 단의 출력 사이에 RC 보상회로(R_C, C_C)를 연결하였다. 그림 4는 그림 3의 연산증폭기의 위상 및 이득에 대한 모의실험 결과를 나타낸 그래프이다. 그림 4에서 보는 바와 같이 제안하는 연산증폭기는 65 dB 의 DC 이득 및 $104.2^\circ @ UGBW = 72\text{ MHz}$ 의 위상여유를 가지는 것을 확인 할 수 있다. 그림 3의 연산증폭기의 DC 이득은 65 dB 이며 1.8 V 전원으로 부터 $395\text{ }\mu\text{A}$ 의 전류를 소모한다.

III. 모의실험 결과

본 논문에서 제안하는 기저대역 수신기는 $0.18\text{-}\mu\text{m}$ CMOS 공정을 사용하여 설계되었으며 모의실험을 통하여 성능을 검증하였다. 제안하는 I/Q 기저대역 수신기는 1.8 V 의 전압으로부터 17 mW 의 전력을 소모한다. 그림 5, 6, 7은 그림 2의 제안하는 기저대역 수신기 전체에 대한 모의실험 결과들을 보여 준다.

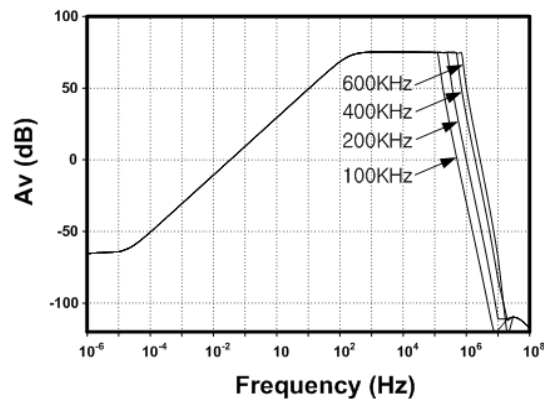


그림 5. 기저대역 수신기의 차단 주파수 특성
Fig. 5 Overall frequency response of baseband circuits

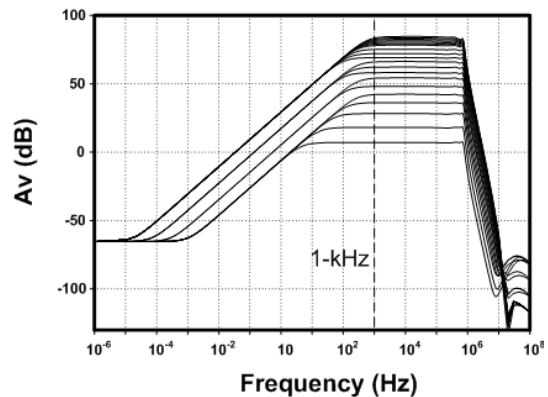


그림 6. 가변 이득 특성 모의실험 결과
Fig. 6 Simulation result of gain response

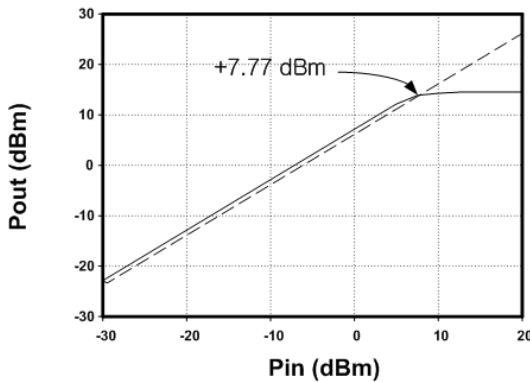


그림 7. 입력 P1dB
Fig. 7 Input P1dB

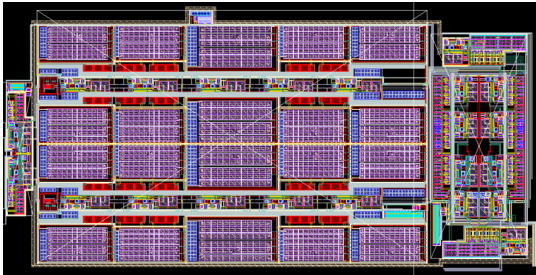


그림 8. 레이아웃
Fig. 8 Layout

그림 5는 기저대역 수신기의 차단 주파수 특성을 나타낸 그림으로서, 100 kHz, 200 kHz, 400 kHz, 그리고 600 kHz의 1 dB 차단 주파수를 제공하는 것을 확인할 수 있다. 특히, 그림 2의 C1 ~ C5은 각각 $\pm\Delta C1 \sim \pm\Delta C5$ 값만큼 추가로 4-bit 제어로 증감이 가능 하도록 구현 되어 있기 때문에, 공정 변화에 의한 차단 주파수의 변화에 대응하였다. 그림 6은 제안하는 기저대역 수신기의 가변 이득 특성에 대한 시뮬레이션 결과를 보여 준다. 그림 6에서 보는 바와 같이 +7 dB ~ +84 dB의 이득 범위와 1 dB의 이득 단계를 가지는 것을 확인할 수 있다. 하지만, TT/FF/SS 모드에 대한 post-layout 시뮬레이션 결과 가변 이득 범위는 최대 2% 이내이며, 1 dB 단계 오차는 ± 0.05 dB 이하이다. 또한 기저대역 수신기의 이득이 변화하여도 1 kHz 이하에서 고역 통과 차단주파수를 갖는 것을 확인할 수 있다.

표 1. 제안하는 기저대역 수신기의 성능 요약
Table. 1 Performance summary

CMOS Technology	0.18- μ m
Supply voltage (V)	1.8
Power consumption (mW) for I/Q path	17
1-dB cut-off frequency (kHz)	100 / 200 / 400 / 600
Baseband DC Gain (dB)	+7 ~ +84 (with 1-dB step)
Passband ripple (dB)	< 1
Stopband attenuation (dB)	> 40 @ $2 \times f_c$
Group delay (μ s)	0.6 ~ 7.05
Maximum differential input voltage (V_{pp})	1.5*
Noise Figure (dB) (Under Input and output is not matched to 50 ohm)	42 dB@ 5 kHz 37.6 dB@ 500 kHz

그림 7은 제안하는 기저대역 수신기의 선형특성에 대한 모의실험 결과이다. 그림 7에서 보는 바와 같이 +7.77 dBm (differential 1.5 V_{pp})의 입력 P1dB를 가짐으로서 우수한 선형성 특성을 갖는 것을 확인할 수 있고 +10 dB PAPR을 갖는 MR-OFDM 방식에 적합함을 알 수 있다. 표1은 본 논문에서 제안하는 기저대역 수신기의 모의실험 결과를 정리하였다.

IV. 결론

본 논문에서는 IEEE 802.15.4g MR-OFDM SUN RF 수신기에 적합한 높은 선형특성 및 저전력 특성을 가지는 다중채널 기저대역 수신기를 제안하였다. 제안하는 기저대역 수신기는 데이터 전송량에 따라 100 kHz, 200 kHz, 400 kHz, 그리고 600 kHz의 가변 1 dB 차단주파수를 제공할 수 있으며, +7 dB ~ +84 dB의 가변 이득을 1 dB 단계로 조정 가능하다. 제안하는 I/Q 기저대역 수신기는 0.18- μ m CMOS 공정을 사용하여 설계되었으며 layout는 그림 8에 나타내었다. 칩 면적은 I path와 Q path를 모두 합쳐서 866 μ m x 1830 μ m 이다.

감사의 글

이 논문은 2013년도 동아대학교 학술연구비를 지원받았음



김창완(Chang-Wan Kim)

1997년 경북대학교
전자공학과 학사 졸업.
2003년 한국정보통신대학교
전자공학과 석사 졸업.

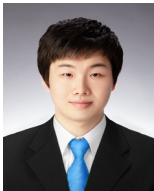
2006년 한국정보통신대학교 전자공학과 박사 졸업.
2006년~2007년 한국전자통신연구원 선임연구원.
2007년~2012년 동아대학교 전자공학과 조교수.
2013년~ 동아대학교 전자공학과 부교수.

※ 관심분야: CMOS RF/Analog IC

참고문헌

- [1] 박민경, 김중명, 이경욱, 김창완, "IEEE 802.15.4g SUN 표준을 지원하는 920MHz 대역 0.18- μ m CMOS RF 송수신단 통합 회로단 설계" 해양정보통신학회 종합학술대회, 추계 15권 2호, 423-424, 2011.
- [2] G. Retz, H. Shanan, K. Mulvaney et al., "A Highly Integrated Low-Power 2.4 GHz Transceiver Using a Direct-Conversion Diversity Receiver in 0.18mm CMOS for IEEE 802.15.4 WPAN," ISSCC Dig.Tech.Papers, pp.414-415, Feb., 2009.
- [3] Wolfram Kluge, Frank Poegel, Hendrik Roller et al., "A Fully integrated 2.4 GHz IEEE 802.15.4 Compliant Transceiver for Zigbee Applications," ISSCC Dig.Tech.Papers, pp.372-373, Feb., 2006.
- [4] 임진업, 최중호, "[특집] 아날로그 필터 IC 설계 기술 동향," 대한전자공학회지, 제 31권 제9호(통권 제244호), 59-69, 2004.
- [5] 이경욱, 김중명, 박민경, 현석봉, 정재호, 김창완, "LTE-Advanced 표준을 지원하는 0.13- μ m CMOS Active-RC 필터 설계," 해양정보통신학회 종합학술대회, 추계 15권 2호, 396-397, 2011.

저자소개



배준우(Jun-Woo Bae)

2011년 동아대학교
전자공학과 학사 졸업.
2013년 동아대학교
전자공학과 석사 졸업.

※ 관심분야: CMOS RF/Analog IC